

适用于 Altera FPGA/CPLD 的模拟技术 设计指南

选用最理想的电源
供应结构 2

Altera FPGA 及
CPLD 的供电
要求简介 3

适用于 FPGA 及
CPLD 的电源管理
解决方案 4-7

可支持 FPGA 及
CPLD 的高速接口
解决方案 8-9

适用于 FPGA 及
CPLD 的 JTAG
测试功能 10-11

可支持 FPGA 及
CPLD 的模/数
转换器 12-13

可支持 FPGA 及
CPLD 的放大器及
模/数转换器
组合 14-15

网上设计工具 16

现场可编程门阵列 (Field Programmable Gate Arrays, FPGA) 及复杂可编程逻辑芯片 (Complex Programmable Logic Device, CPLD) 的结构越趋复杂, 除了内置处理器及高达几千兆位的收发器之外, 还可支持多个不同的输入/输出标准。若需在 FPGA 及 CPLD 周边添加电源管理系统及信号路径 (其中包括模数转换器、运算放大器及接口等环节), 当中涉及的设计问题并非容易解决。

美国国家半导体一直致力为系统设计工程师解决这些设计问题, 而且更特别为 Altera 公司的 FPGA 和 CPLD 提供多种不同的管理及

信号路径解决方案。美国国家半导体一直与 Altera 这家著名 FPGA 厂商密切合作, 明白这些复杂的芯片需要怎样的模拟技术支持, 因此有能力为系统设计工程师提供最先进的工具及集成电路。

这份设计的指南将会简单介绍美国国家半导体专为 Altera 公司 FPGA 芯片开发的电源管理芯片、高速接口、JTAG、模数转换器及放大器。如欲进一步了解有关资料及查询相关的网上设计工具, 可浏览以下网页:

www.national.com/CHS/appinfo/power/alterafpga.html



选用最理想的电源供应结构

哪一种电源供应结构最理想？

线性稳压器

线性稳压器属于设计最简单、也最容易使用的一种稳压器。一般来说，系统只需添加两个外置元件，例如输入及输出电容器，便可确保线性稳压能够正常操作。线性稳压器结构的最大缺点是功率耗散较大。若采用线性稳压器，输出端的多余功率便会作为热能耗散掉。若功率耗散介于 1W 与 2W 之间，稳压器只要采用合适的封装并以表面贴装方式贴上，便无需加设散热器。若功率耗散超过 2W，我们通常不会建议客户采用线性稳压器的结构，因为其它的布局设计可以更有效解决温度上升、系统效率及系统大小的问题。

以线性稳压器来说，功率耗散可以根据以下公式粗略计算出来： $(V_{IN} - V_{OUT}) \times I_{OUT}$ 。若线性稳压器将电压由 5.0V 转为 3.3V，而输出电流为 500 mA，其功率耗散约为： $(5.0 - 3.3) \times 0.5 = 0.85W$ 。一般来说，线性稳压器不会另外加设调节启动速度的功能（软启动），因此若要加设这个功能作为其中一个选项，便必须另外加设外置电路。

开关稳压器

开关稳压器的效率比较稳定，在大部分操作情况下 (V_{IN} , V_{OUT} , I_{OUT})，效率一般都可达 85% 以至 95%。无论是效率还是功率耗散，开关稳压器都比线性稳压器优胜，而且可以执行升压或降压功能，这是线性稳压器所无法做到的。一般来说，开关稳压器除了需要采用输入/输出电容器之外，还要加设电感器。个别的布局设计及功能可能还需要其它的外置元件为其提供支持。

降压稳压器

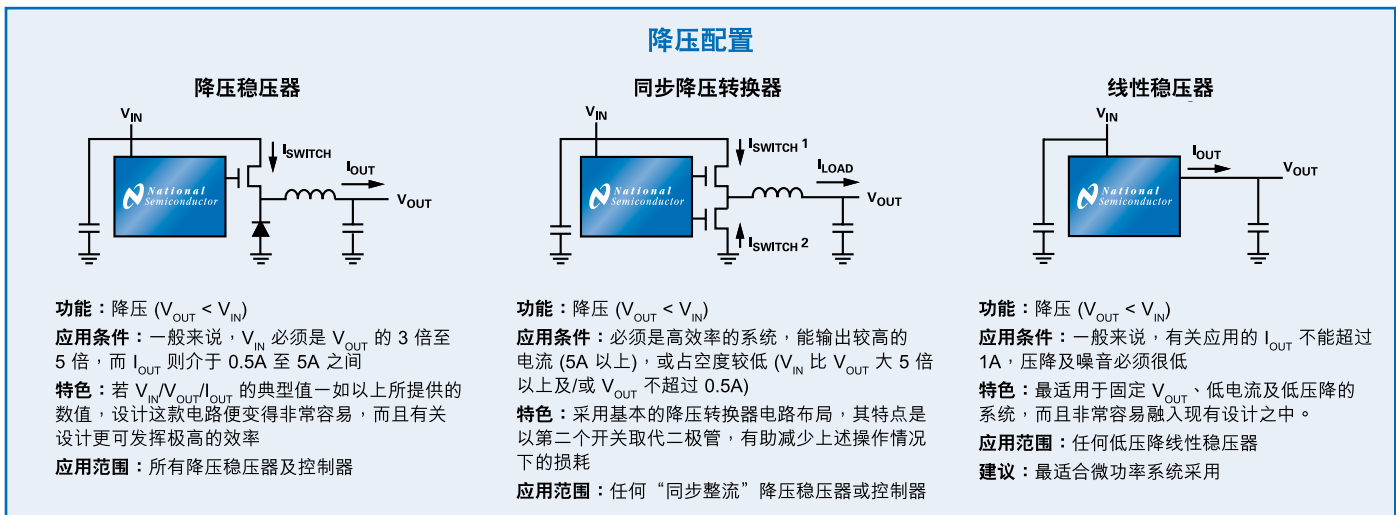
降压稳压器是设计最简单而又具备降压功能的开关稳压器，不但效率较高，而且所需的外置元件也较少，例如只需极少二极管、电感器及输入/输出电容器。大部份美国国家半导体的降压稳压器 — 尤其是 SIMPLE SWITCHER® 系列的开关稳压器 — 提供免费的在线设计工具支持，工程师可在网上为这些稳压器进行电子及热能方面的模拟仿真。

同步降压转换器

具备同步整流功能的降压转换器是在标准降压稳压器的基础上再加以修订而成的转换器。两者的最大分别是同步降压转换器加设了另一个有源开关 (MOSFET 或双极晶体管)，取代设于开关节点与接地之间的二极管 (续流二极管)，以减少二极管的功率损耗。部分稳压器的输出电流较高，二极管会将大量功率作为热能耗散掉，对于这类应用来说，上述减少二极管功耗的设计是一个重要的优点。对于输出电流高于 5A 的应用来说，同步降压转换器是最理想的解决方案。

同步降压转换器与标准降压稳压器同样设有内置的单片式通道晶体管，或采用外置晶体管。若输出电流高于 3A，采用外置通道晶体管 (MOSFET 或双极晶体管) 的理由便更为充分，因为输出电流较高，便需要 $R_{DS(on)}$ 极低的通道晶体管，也需要多一个晶体管将热能耗散到电路板的不同部分，而且这样做成本效益也更为理想。

下图显示上文讨论的三大类可为 FPGA 提供供电的电源供应结构，图内除了分别有简单的介绍之外，还将三者的优劣加以比较。




Altera FPGA 及 CPLD 的供电要求简介


Stratix II 芯片供电要求数字

	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
V_{CCINT} (核心电压)	1.20V	1.20V	1.20V	1.20V	1.20V	1.20V
I_{CCINT} 最高待机电流 (在 85°C 的最坏情况下)	0.67A	0.96A	1.8A	2.7A	3.6A	4.5A
I_{CCINT} 最高动态电流 (核心电流)	动态功耗不会受个别设计影响。建议工程师采用 Altera 的 PowerPlay 耗电估算工具套件，以便作出准确的估算。如欲获得进一步的资料，可浏览 www.altera.com/support/devices/estimator/pow-powerplay.html 网页					
可供选择的 V_{CCIO} 电压 (输入/输出电压)	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V


Stratix 芯片供电要求数字

	EP1S10	EP1S20	EP1S25	EP1S30	EP1S40	EP1S60	EP1S80
V_{CCINT} (核心电压)	1.5V	1.5V	1.5V	1.5V	1.5V	1.5V	1.5V
最高 I_{CCINT} 电流 ⁵ (核心电压)	1.5A	3.5A	4A	5.5A	6A	7.5A	10A
浪涌 I_{CCINT} 电流 (最高启动浪涌电流)	700 mA	1.2A	1.5A	1.9A	2.3A	2.6A	3A
可供选择的 V_{CCIO} 电压 (输入/输出电压)	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V
最高 I_{CCIO} 电流 (输入/输出电流)	12A (全部 8 组)	12A (全部 8 组)	12A (全部 8 组)	12A (全部 8 组)	12A (全部 8 组)	12A (全部 8 组)	12A (全部 8 组)

Cyclone 芯片供电要求数字

	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
V_{CCINT} (核心电压)	1.5V	1.5V	1.5V	1.5V	1.5V
最高 I_{CCINT} 电流 ⁵ (核心电压)	750 mA	1A	1.5A	3A	5A
浪涌 I_{CCINT} 电流 (最高启动浪涌电流)	300 mA	400 mA	500 mA	900 mA	1.2A
可供选择的 V_{CCIO} 电压 (输入/输出电压)	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V
最高 I_{CCIO} 电流 (输入/输出电流)	6A (全部 4 组)	6A (全部 4 组)	6A (全部 4 组)	6A (全部 4 组)	6A (全部 4 组)

MAX II 芯片供电要求数字

	EPM240	EPM240G	EPM570	EPM570G	EPM1270	EPM1270G	EPM2210	EPM2210G
V_{CCINT} (核心电压)	3.3 or 2.5V	1.8V	3.3 or 2.5V	1.8V	3.3 or 2.5V	1.8V	3.3 or 2.5V	1.8V
最高 I_{CCINT} 电流 ⁵ (核心电压)	75 mA	75 mA	125 mA	125 mA	250 mA	250 mA	400 mA	400 mA
浪涌 I_{CCINT} 电流 (最高启动浪涌电流)	65 mA	55 mA	65 mA	55 mA	65 mA	55 mA	65 mA	55 mA
可供选择的 V_{CCIO} 电压 (输入/输出电压)	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V	3.3, 2.5, 1.8, 1.5V
最高 I_{CCIO} 电流 (输入/输出电流)	450 mA (共两组)	450 mA (共两组)	450 mA (共两组)	450 mA (共两组)	900 mA (全部 4 组)	900 mA (全部 4 组)	900 mA (全部 4 组)	900 mA (全部 4 组)

适用于 FPGA 及 CPLD 的电源管理解决方案

为 Stratix II FPGA 而设计的电源管理解决方案

Altera 公司的众多 FPGA 芯片之中，以 Stratix II 这一系列产品的密度及性能为最高。这系列 FPGA 芯片的核心需要 1.20V 的电源供应，而且在正常操作时，这个电压 (V_{CCINT}) 必须介于 1.15V 与 1.25V 之间。核心的耗电量 (I_{CCINT}) 取决于芯片的使用量，例如时钟速度及所采用的内部电路。

这一 FPGA 系列的输入/输出群组可支持多种不同标准，因此其中一组或多组输入/输出都可采用 1.5V、1.8V、2.5V 或 3.3V 供电电压 (V_{CCIO})。这些输入/输出的耗电量同样取

于其使用量，若所有输入/输出同时操作，那么无论输入/输出的供电电压 (V_{CCIO}) 有多大，Stratix II FPGA 的输入/输出耗电量 (I_{CCIO}) 也不会超过 10A。

另一需要解决的电源管理问题是核心供电电压 (V_{CCINT}) 的平滑上升问题。若要确保 FPGA 能够正常操作，这个问题必须解决。虽然很多电源供应系统已有考虑这个问题，但我们建议最好为电源供应系统加设足够的大容量电容器，以便彻底解决这个问题。

		$V_{IN} = 3.3V$	$V_{IN} = 5V$	$V_{IN} = 12V^5$	
V_{CCINT}					
$V_{CCINT} = 1.2V$	$I_{CCINT} < 1000 \text{ mA (LDO)}$	LP3875-Adj	Not applicable ¹	Not applicable ¹	
	$I_{CCINT} < 1000 \text{ mA (SW)}$	LM2734	LM2734	LM2734	
	$I_{CCINT} < 3A$	LM3475	LM3475	LM2673-Adj	
	$I_{CCINT} < 5A$	LM2743	LM2743	LM2679-Adj ² or LM2743 ³	
	$I_{CCINT} > 6A$	LM2743	LM2743 or 1/2 LM2657 ⁴	LM2743 or 1/2 LM2657 ⁴	
V_{CCIO}					
$V_{CCIO} = 1.5V$	$I_{CCIO} < 500 \text{ mA (LDO)}$	LP3874-Adj	LP3874-Adj	Not applicable ¹	
	$I_{CCIO} < 500 \text{ mA (SW)}$	LM3671-1.5	LM3671-1.5	LM2736	
	$I_{CCIO} < 1000 \text{ mA (LDO)}$	LP3875-Adj	Not applicable ¹	Not applicable ¹	
	$I_{CCIO} < 1000 \text{ mA (SW)}$	LM2734	LM2734	LM2734	
	$I_{CCIO} < 3A$	LM3475	LM2599-Adj ² or LM2650-Adj ³	LM2673-Adj ² or LM2650-Adj ³	
	$I_{CCIO} < 5A$	LM2743	LM2743	LM2679-Adj	
$V_{CCIO} = 1.8V$	$I_{CCIO} > 6A$	LM2743	LM2743 or 1/2 LM2657 ⁴	LM2743 or 1/2 LM2657 ⁴	
	$I_{CCIO} < 500 \text{ mA (LDO)}$	LP3874-1.8	LP3874-1.8	Not applicable ¹	
	$I_{CCIO} < 500 \text{ mA (SW)}$	LM3671-1.8	LM3671-1.8	LM2736	
	$I_{CCIO} < 1000 \text{ mA (LDO)}$	LP3875-1.8	Not applicable ¹	Not applicable ¹	
	$I_{CCIO} < 1000 \text{ mA (SW)}$	LM2734	LM2734	LM2734	
	$I_{CCIO} < 3A$	LM3475	LM2599-Adj ² or LM2650-Adj ³	LM2673-Adj ² or LM2650-Adj ³	
$V_{CCIO} = 2.5V$	$I_{CCIO} < 5A$	LM2743	LM2743	LM2679-Adj	
	$I_{CCIO} > 6A$	LM2743	LM2743 or 1/2 LM2657 ⁴	LM2743 or 1/2 LM2657 ⁴	
	$I_{CCIO} < 500 \text{ mA (LDO)}$	LP3874-2.5	LP3874-2.5	Not applicable ¹	
	$I_{CCIO} < 500 \text{ mA (SW)}$	LM3671-Adj	LM3671-Adj	LM2736	
	$I_{CCIO} < 1000 \text{ mA (LDO)}$	LP3875-2.5	LP3875-2.5	Not applicable ¹	
	$I_{CCIO} < 1000 \text{ mA (SW)}$	LM2734	LM2734	LM2734	
$V_{CCIO} = 3.3V$	$I_{CCIO} < 3A$	LM3475	LM2599-Adj ² or LM2650-Adj ³	LM2673-Adj ² or LM2650-Adj ³	
	$I_{CCIO} < 5A$	LM2743	LM2743	LM2679-Adj	
	$I_{CCIO} > 6A$	LM2743	LM2743 or 1/2 LM2657 ⁴	LM2743 or 1/2 LM2657 ⁴	
	$I_{CCIO} < 500 \text{ mA (LDO)}$	—	LP3874-3.3	Not applicable ¹	
	$I_{CCIO} < 500 \text{ mA (SW)}$	—	LM3671-Adj	LM2736	
	$I_{CCIO} < 1000 \text{ mA (LDO)}$	—	LP3875-3.3	Not applicable ¹	
V_{CCPD}	$I_{CCPD} < 1000 \text{ mA (SW)}$	—	LM2734	LM2734	
	$I_{CCPD} < 3A$	—	LM2599-3.3 ³ or LM2650-Adj ³	LM2673-3.3 ³ or LM2650-Adj ³	
	$I_{CCPD} < 5A$	—	LM2743	LM2679-3.3	
	$I_{CCPD} > 6A$	—	LM2743 or 1/2 LM2657 ⁴	LM2743 or 1/2 LM2657 ⁴	
	$V_{CCPD} = 3.3V$	$I_{CCPD} < 300 \text{ mA (LDO)}$	—	LP3981-3.3	Not applicable ¹
	$I_{CCPD} < 300 \text{ mA (SW)}$	—	LM3670-3.3	LM2736	

¹ 由于有关的操作情况对散热能力有较严格的要求，因此并不建议采用低压降稳压器。
² 降压稳压器 — 优点是效率高，容易融入现有系统设计，而且可获 WEBENCH® 设计工具支持。
³ 同步降压转换器 — 优点是效率最高，而且无需加设外接二极管。
⁴ 可利用 LM2657 这类双通道转换器的其中一条通道提供 V_{CCINT} 供电，而另一条通道则用来提供 V_{CCIO} 供电。
⁵ 这些解决方案都适用于 8V 至 14V 的输入电压。

Not applicable: 不适用
 Adj: 可调节电压
 LDO: 低压降稳压器
 SW: 开关稳压器

为 Stratix FPGA 而设计的电源管理解决方案

Stratix FPGA 系列芯片最适用于高带宽的系统。这系列 FPGA 芯片的核心需要 1.5V 的供电，其耗电量 (I_{CCINT}) 取决于芯片的使用量，例如时钟速度及所采用的内部电路，但最高耗电量大约介于 1.5A 与 10A 之间，视乎采用哪一型号的 Stratix 芯片。若要准确计算系统设计的功耗，可采用 Altera 公司的 Power Calculator 工具(参看 www.national.com/CHS/appinfo/power/alterafpga.html)。一般来说，所选用的 V_{CCINT} 核心供电电压其输出电流 I_{OUT} (I_{CCINT}) 必须

介于 I_{CCINT} 浪涌电流与 I_{CCINT} 最高值之间。Altera 器件的浪涌及 I_{CCINT} 数值都一一详列在本指南之内。

另一需要解决的电源管理问题是核心供电电压 (V_{CCINT}) 的平滑上升问题。若要确保 FPGA 能够正常操作，这个问题必情况对散热能力有较严格的要求，因此并不建议采用低压降稳压器。

		$V_{IN} = 3.3V$	$V_{IN} = 5V$	$V_{IN} = 12V^6$
V_{CCINT}				
$V_{CCINT} = 1.5V$	$I_{CCINT} < 1000$ mA (SW)	LM2734	LM2734	LM2734
	$I_{CCINT} < 1000$ mA (LDO)	LP3875-Adj	Not applicable ¹	Not applicable ¹
	$I_{CCINT} < 3A$	LM3475	LM2599-Adj ² or LM2650-Adj ³	LM2673-Adj ² or LM2650-Adj ³
	$I_{CCINT} < 5A$	LM2743	LM2743	LM2679-Adj ² or LM2743 ³
	$I_{CCINT} < 7.5A$	LM2743	LM2743	LM2743 or $1/2$ LM5642 ⁴
	$I_{CCINT} < 10A$	LM2743	LM2743	LM2743 or $1/2$ LM5642 ⁴
V_{CCIO}				
$V_{CCIO} = 1.5V$	$I_{CCIO} < 500$ mA (LDO)	LP3874-Adj	LP3874-Adj	Not applicable ¹
	$I_{CCIO} < 500$ mA (SW)	LM3671-1.5	LM3671-1.5	LM2736
	$I_{CCIO} < 1000$ mA (LDO)	LP3875-Adj	Not applicable ¹	Not applicable ¹
	$I_{CCIO} < 1000$ mA (SW)	LM2734	LM2734	LM2734
	$I_{CCIO} < 3A$	LM3475	LM2599-Adj ² or LM2650-Adj ³	LM2673-Adj ² or LM2650-Adj ³
	$I_{CCIO} < 5A$	LM2743	LM2743	LM2679-Adj ² or LM2743 ³
$V_{CCIO} = 1.8V$	$I_{CCIO} < 500$ mA (LDO)	LP3874-1.8	LP3874-1.8	Not applicable ¹
	$I_{CCIO} < 500$ mA (SW)	LM3671-1.8	LM3671-1.8	LM2736
	$I_{CCIO} < 1000$ mA (LDO)	LP3875-1.8	Not applicable ¹	Not applicable ¹
	$I_{CCIO} < 1000$ mA (SW)	LM2734	LM2734	LM2734
	$I_{CCIO} < 3A$	LM3475	LM2599-Adj ² or LM2650-Adj ³	LM2673-Adj ² or LM2650-Adj ³
	$I_{CCIO} < 5A$	LM2743	LM2743	LM2679-Adj ² or LM2743 ³
$V_{CCIO} = 2.5V$	$I_{CCIO} < 500$ mA (LDO)	LP3874-2.5	LP3874-2.5	Not applicable ¹
	$I_{CCIO} < 500$ mA (SW)	LM3671-Adj	LM3671-Adj	LM2736
	$I_{CCIO} < 1000$ mA (LDO)	LP3875-2.5	LP3875-2.5	Not applicable ¹
	$I_{CCIO} < 1000$ mA (SW)	LM2734	LM2734	LM2734
	$I_{CCIO} < 3A$	LM3475	LM2599-Adj ² or LM2650-Adj ³	LM2673-Adj ² or LM2650-Adj ³
	$I_{CCIO} < 5A$	LM2743	LM2743	LM2679-Adj ² or LM2743 ³
$V_{CCIO} = 3.3V$	$I_{CCIO} < 500$ mA (LDO)	—	LP3874-3.3	Not applicable ¹
	$I_{CCIO} < 500$ mA (SW)	—	LM3671-Adj	LM2736
	$I_{CCIO} < 1000$ mA (LDO)	—	LP3875-3.3	Not applicable ¹
	$I_{CCIO} < 1000$ mA (SW)	—	LM2734	LM2734
	$I_{CCIO} < 3A$	—	LM2599-3.3 ² or LM2650-Adj ³	LM2673-3.3 ² or LM2650-Adj ³
	$I_{CCIO} < 5A$	—	LM2743	LM2679-Adj ² or LM2743 ³
$I_{CCIO} > 6A$	—	LM2743	LM2743 or $1/2$ LM5642 ⁴	

¹ 由于有关的操作情况对散热能力有较严格的要求，因此并不建议采用低压降稳压器。

² 降压稳压器 — 优点是效率高，容易融入现有系统设计，而且可获 WEBENCH® 设计工具支持。

³ 同步降压转换器 — 优点是效率最高，而且无需加设外接二极管。

⁴ 可利用 LM5642 这类双通道转换器的其中一条通道提供 V_{CCINT} 供电，而另一条通道则用来提供 V_{CCIO} 供电。

⁵ 这是估计数值。确实的功耗数值取决于很多不同的操作条件。建议工程师采用 Altera 的 Power Calculator 计算工具准确计算各个别设计的供电要求。

⁶ 这些解决方案都适用于 8V 至 14V 的输入电压。

Not applicable : 不适用

Adj : 可调节电压

LDO : 低压降稳压器

SW : 开关稳压器

适用于 FPGA 及 CPLD 的电源管理解决方案

为 Cyclone FPGA 而设计的电源管理解决方案

Altera 公司的 Cyclone 系列 FPGA 具备可编程逻辑功能，但售价则极具竞争优势，并不逊色于特殊应用集成电路 (ASIC) 及特殊应用标准产品 (ASSP)。

这系列 FPGA 芯片的核心需要 1.5V 的供电，其耗电量 (I_{CCINT}) 取决于芯片的使用量，例如时钟速度及所采用的内部电路，但最高耗电量大约介于 0.75A 与 5A 之间，视乎采用哪一型号的 Cyclone 芯片。若要准确计算系统设计的功耗，可采用 Altera 公司的 Power Calculator 工具 (参看 www.national.com/CHS/appinfo/power/alterafpga.html)。一般来说，

所选用的 V_{CCINT} 核心供电电压其输出电流 $I_{OUT}(I_{CCINT})$ 必须介于 I_{CCINT} 浪涌电流与 I_{CCINT} 最高值之间。Altera 器件的浪涌及 I_{CCINT} 数值都一一详列在本指南之内。

另一需要解决的电源管理问题是核心供电电压 (V_{CCINT}) 的平滑上升问题。若要确保 FPGA 能够正常操作，这个问题必须解决。虽然很多电源供应系统已有考虑这个问题，但我们建议最好为电源供应系统加设足够的大容量电容器，以便彻底解决这个问题。

		$V_{IN} = 3.3V$	$V_{IN} = 5V$	$V_{IN} = 12V^6$
V_{CCINT}				
$V_{CCINT} = 1.5V$	$I_{CCINT} < 500 \text{ mA (LDO)}$	LP3874-Adj	LP3874-Adj	Not applicable ¹
	$I_{CCINT} < 500 \text{ mA (SW)}$	LM3671-1.5	LM3671-1.5	LM2736
	$I_{CCINT} < 1000 \text{ mA (LDO)}$	LP3875-Adj	Not applicable ¹	Not applicable ¹
	$I_{CCINT} < 1000 \text{ mA (SW)}$	LM2734	LM2734	LM2734
	$I_{CCINT} < 3A$	LM3475	LM2599-Adj ² or LM2650-Adj ³	LM2673-Adj ² or LM2650-Adj ³
	$I_{CCINT} < 5A$	LM2743	LM2743	LM2679-Adj ² or LM2743 ³
V_{CCIO}				
$V_{CCIO} = 1.5V$	$I_{CCIO} < 500 \text{ mA (LDO)}$	LP3874-Adj	LP3874-Adj	Not applicable ¹
	$I_{CCIO} < 500 \text{ mA (SW)}$	LM3671-1.5	LM3671-1.5	LM2736
	$I_{CCIO} < 1000 \text{ mA (LDO)}$	LP3875-Adj	Not applicable ¹	Not applicable ¹
	$I_{CCIO} < 1000 \text{ mA (SW)}$	LM2734	LM2734	LM2734
	$I_{CCIO} < 3A$	LM3475	LM2599-Adj ² or LM2650-Adj ³	LM2673-Adj ² or LM2650-Adj ³
	$I_{CCIO} < 5A$	LM2743	LM2743	LM2679-Adj ² or LM2743 ³
	$I_{CCIO} < 6A$	LM2743	LM2743	LM2743 or $\frac{1}{2}$ LM5642 ⁴
$V_{CCIO} = 1.8V$	$I_{CCIO} < 500 \text{ mA (LDO)}$	LP3874-1.8	LP3874-1.8	Not applicable ¹
	$I_{CCIO} < 500 \text{ mA (SW)}$	LM3671-1.8	LM3671-1.8	LM2736
	$I_{CCIO} < 1000 \text{ mA (LDO)}$	LP3875-1.8	Not applicable ¹	Not applicable ¹
	$I_{CCIO} < 1000 \text{ mA (SW)}$	LM2734	LM2734	LM2734
	$I_{CCIO} < 3A$	LM3475	LM2599-Adj ² or LM2650-Adj ³	LM2673-Adj ² or LM2650-Adj ³
	$I_{CCIO} < 5A$	LM2743	LM2743	LM2679-Adj ² or LM2743 ³
$V_{CCIO} = 2.5V$	$I_{CCIO} < 500 \text{ mA (LDO)}$	LP3874-2.5	LP3874-2.5	Not applicable ¹
	$I_{CCIO} < 500 \text{ mA (SW)}$	LM3671-Adj	LM3671-Adj	LM2736
	$I_{CCIO} < 1000 \text{ mA (LDO)}$	LP3875-2.5	LP3875-2.5	Not applicable ¹
	$I_{CCIO} < 1000 \text{ mA (SW)}$	LM2734	LM2734	LM2734
	$I_{CCIO} < 3A$	LM3475	LM2599-Adj ² or LM2650-Adj ³	LM2673-Adj ² or LM2650-Adj ³
	$I_{CCIO} < 5A$	LM2743	LM2743	LM2679-Adj ² or LM2743 ³
$V_{CCIO} = 3.3V$	$I_{CCIO} < 500 \text{ mA (LDO)}$	—	LP3874-3.3	Not applicable ¹
	$I_{CCIO} < 500 \text{ mA (SW)}$	—	LM3671-Adj	LM2736
	$I_{CCIO} < 1000 \text{ mA (LDO)}$	—	LP3875-3.3	Not applicable ¹
	$I_{CCIO} < 1000 \text{ mA (SW)}$	—	LM2734	LM2734
	$I_{CCIO} < 3A$	—	LM2599-3.3 ² or LM2650-Adj ³	LM2673-3.3 ² or LM2650-Adj ³
	$I_{CCIO} < 5A$	—	LM2743	LM2679-Adj ² or LM2743 ³
$I_{CCIO} < 6A$	—	LM2743	LM2743 or $\frac{1}{2}$ LM5642 ⁴	

¹ 由于有关的操作情况对散热能力有较严格的要求，因此并不建议采用低压降稳压器。

² 降压稳压器 — 优点是效率高，容易融入现有系统设计，而且可获 WEBENCH® 设计工具支持。

³ 同步降压转换器 — 优点是效率最高，而且无需加设外接二极管。

⁴ 可利用 LM5642 这类双通道转换器的其中一条通道提供 V_{CCINT} 供电，而另一条通道则用来提供 V_{CCIO} 供电。

⁵ 这是估计数值。确实的功耗数值取决于很多不同的操作条件。建议工程师采用 Altera 的 Power Calculator 计算工具准确计算各个别设计的供电要求。

⁶ 这些解决方案都适用于 8V 至 14V 的输入电压。

Not applicable: 不适用

Adj: 可调节电压

LDO: 低压降稳压器

SW: 开关稳压器

为 MAX II CPLD 而设计的电源管理解决方案

MAX II 系列 CPLD 芯片属于非易失性、即时启动的可编程逻辑系列芯片，由于 MAX II 采用全新的 CPLD 结构，因此功率及密度都比旧型号 MAX 芯片有大幅的改善。

这系列 CPLD 芯片的核心需要 1.8V 的供电，非 G 版的 MAX II 芯片设有内置稳压器，而 V_{CCINT} 引脚则适用于 3.3V 或 2.5V 的电压。这个内置稳压器负责将电压调低至所需的 1.8V。由于 G 版本 MAX II CPLD 芯片的内置稳压器加设了旁路，因此 V_{CCINT} 只需 1.8V。核心耗电量 (I_{CCINT}) 取决于芯片的使用量，例如时钟速度及所采用的内部电路，典型的耗电量介于 30 mA 与 75 mA 之间，而最高的耗电量则介于 75 mA 与 400 mA 之间。一般来说，1.8V 的 G 版本 MAX II 芯片的核心电流 (I_{CCINT}) 会少 10 mA。输入/输出电流 (I_{CCIO}) 也取决于芯片的使用量，典型的耗电量介于 100 mA 与 200 mA 之间，而每一输入/输出群组的最高耗电量则可达 225 mA，

若以 4 个输入/输出群组一起计算，最高耗电量合共可达 900 mA。

若要准确计算系统设计的功耗，我们建议采用 Altera 公司的在线工具 Power Calculator。一般来说，所选用的 V_{CCINT} 核心供电电压其输出电流 I_{OUT} (I_{CCINT}) 必须介于 I_{CCINT} 浪涌电流与 I_{CCINT} 最高值之间。CPLD 与 FPGA 不同，不会就平滑电压上升或 V_{CCINT} 上升时间设置任何特别的规定。由于 MAX II CPLD 芯片的功耗极低，因此最好另外加设低压降稳压器及无需电感器的开关稳压器以作配合。若采用低压降稳压器，最好先查看稳压器的封装及了解其操作环境，以确定其散热装置是否足够。我们不能单靠 V_{IN} 、 V_{OUT} 及 I_{OUT} 的数值便断定某一低压降稳压器是否适用。下表建议采用的低压降稳压器具有较理想的散热能力。

		$V_{IN} = 3.3V$	$V_{IN} = 5V$	$V_{IN} = 12V$
V_{CCINT}				
$V_{CCINT} = 1.8V$	$I_{CCINT} < 100$ mA (LDO)	LP3990-1.8	LP3990-1.8	LP2992-1.8 ⁵
	$I_{CCINT} < 100$ mA (SW)	LM2798-1.8 ⁶	LM2798-1.8 ⁶	LM2736
	$I_{CCINT} < 150$ mA (LDO)	LP3990-1.8	LP3982-1.8	LP2992-1.8 ⁵
	$I_{CCINT} < 150$ mA (SW)	LM3670-1.8 ⁶	LM3670-1.8 ⁶	LM2736
	$I_{CCINT} < 200$ mA (LDO)	LP3982-1.8	LP3982-1.8	Not applicable ¹
	$I_{CCINT} < 200$ mA (SW)	LM3670-1.8 ⁶	LM3670-1.8 ⁶	LM2736
	$I_{CCINT} < 300$ mA (LDO)	LP3982-1.8	LP8345-1.8	Not applicable ¹
	$I_{CCINT} < 300$ mA (SW)	LM3670-1.8 ⁶	LM3670-1.8 ⁶	LM2736
	$I_{CCINT} < 500$ mA (LDO)	LP8345-1.8	LP3874-1.8	Not applicable ¹
	$I_{CCINT} < 500$ mA (SW)	LM3671-1.8 ⁶	LM3671-1.8 ⁶	LM2736
	$I_{CCINT} < 100$ mA (LDO)	LP3990-2.5	LP3990-2.5	LM2937-2.5 or LP2992-2.5 ⁵
	$I_{CCINT} < 100$ mA (SW)	LM3352-2.5 ⁶	LM3352-2.5 ⁶	LM2736
	$I_{CCINT} < 150$ mA (LDO)	LP3990-2.5	LP3982-2.5	LM2937-2.5 or LP2992-2.5 ⁵
	$I_{CCINT} < 150$ mA (SW)	LM3352-2.5 ⁶	LM3352-2.5 ⁶	LM2736
	$I_{CCINT} < 200$ mA (LDO)	LP3982-2.5	LP3982-2.5	LM2937-2.5 or LP2992-2.5 ⁵
$I_{CCINT} < 200$ mA (SW)	LM3352-2.5 ⁶	LM3352-2.5 ⁶	LM2736	
$I_{CCINT} < 300$ mA (LDO)	LP3982-2.5	LP8345-2.5	Not applicable ¹	
$I_{CCINT} < 300$ mA (SW)	LM3670-2.5 ⁶	LM3670-2.5 ⁶	LM2736	
$I_{CCINT} < 500$ mA (LDO)	LP2989-2.5	LP3874-2.5	Not applicable ¹	
$I_{CCINT} < 500$ mA (SW)	LM3671-Adj ⁶	LM3671-Adj ⁶	LM2736	
$I_{CCINT} < 100$ mA (LDO)	—	LP3990-3.3	LM2937-3.3 or LP2986-3.3 ⁵	
$I_{CCINT} < 100$ mA (SW)	—	LM3352-3.3 ⁶	LM2736	
$I_{CCINT} < 150$ mA (LDO)	—	LP3990-3.3	LM2937-3.3 or LP2986-3.3 ⁵	
$I_{CCINT} < 150$ mA (SW)	—	LM3352-3.3 ⁶	LM2736	
$I_{CCINT} < 200$ mA (LDO)	—	LP3982-3.3	LM2937-3.3 or LP2986-3.3 ⁵	
$I_{CCINT} < 200$ mA (SW)	—	LM3352-3.3 ⁶	LM2736	
$I_{CCINT} < 300$ mA (LDO)	—	LP3982-3.3	LM2937-3.3 or LP2986-3.3 ⁵	
$I_{CCINT} < 300$ mA (SW)	—	LM3352-3.3 ⁶	LM2736	
$I_{CCINT} < 500$ mA (LDO)	—	LP3982-3.3	Not applicable ¹	
$I_{CCINT} < 500$ mA (SW)	—	LM3670-3.3 ⁶	LM2736	
$I_{CCINT} < 500$ mA (SW)	—	LP8345-3.3	Not applicable ¹	
$I_{CCINT} < 500$ mA (SW)	—	LM3671-Adj ⁶	LM2736	
V_{CCIO}				
$V_{CCIO} = 1.5V$	$I_{CCIO} < 100$ mA (LDO)	LP3990-1.5	LP3990-1.5	LP2986-Adj ⁵
	$I_{CCIO} < 100$ mA (SW)	LM2798-1.5 ⁶	LM2798-1.5 ⁶	LM2736
	$I_{CCIO} < 200$ mA (LDO)	LP3982-Adj	LP3982-Adj	Not applicable ¹
	$I_{CCIO} < 200$ mA (SW)	LM2770-1.5 ⁶	LM2770-1.5 ⁶	LM2736
	$I_{CCIO} < 300$ mA (LDO)	LP3982-Adj	LP8345-Adj	Not applicable ¹
	$I_{CCIO} < 300$ mA (SW)	LM3670-1.5 ⁶	LM3670-1.5 ⁶	LM2736
	$I_{CCIO} < 500$ mA	LM3671-1.5 ⁶	LM3671-1.5 ⁶	LM2736
	$I_{CCIO} < 750$ mA	LM2736	LM2736	LM2736
	$I_{CCIO} < 1A$	LM2734	LM2734	LM2734
	$I_{CCIO} < 100$ mA (LDO)	LP3990-1.8	LP3990-1.8	LP2992-1.8 ⁵
	$I_{CCIO} < 100$ mA (SW)	LM2798-1.8 ⁶	LM2798-1.8 ⁶	LM2736
	$I_{CCIO} < 200$ mA (LDO)	LP3982-1.8	LP3982-1.8	Not applicable ¹
	$I_{CCIO} < 200$ mA (SW)	LM3670-1.8 ⁶	LM3670-1.8 ⁶	LM2736
	$I_{CCIO} < 300$ mA (LDO)	LP3982-1.8	LP8345-1.8	Not applicable ¹
	$I_{CCIO} < 300$ mA (SW)	LM3670-1.8 ⁶	LM3670-1.8 ⁶	LM2736
$I_{CCIO} < 500$ mA	LM3671-1.8 ⁶	LM3671-1.8 ⁶	LM2736	
$I_{CCIO} < 750$ mA	LM2736	LM2736	LM2736	
$I_{CCIO} < 1A$	LM2734	LM2734	LM2734	
$I_{CCIO} < 100$ mA (LDO)	LP3990-2.5	LP3990-2.5	LM2937-2.5 or LP2992-2.5 ⁵	
$I_{CCIO} < 100$ mA (SW)	LM3352-2.5 ⁶	LM3352-2.5 ⁶	LM2736	
$I_{CCIO} < 200$ mA (LDO)	LP3982-2.5	LP3982-2.5	LM2937-2.5 or LP2992-2.5 ⁵	
$I_{CCIO} < 200$ mA (SW)	LM3352-2.5 ⁶	LM3352-2.5 ⁶	LM2736	
$I_{CCIO} < 300$ mA (LDO)	LP3982-2.5	LP8345-2.5	Not applicable ¹	
$I_{CCIO} < 300$ mA (SW)	LM3670-2.5 ⁶	LM3670-2.5 ⁶	LM2736	
$I_{CCIO} < 500$ mA	LP2989-2.5	LM3671-Adj ⁶	LM2736	
$I_{CCIO} < 750$ mA	LM2736	LM2736	LM2736	
$I_{CCIO} < 1A$	LM2734	LM2734	LM2734	
$I_{CCIO} < 100$ mA (LDO)	—	LP3990-3.3	LM2937-3.3 or LP2986-3.3 ⁵	
$I_{CCIO} < 100$ mA (SW)	—	LM3352-3.3 ⁶	LM2736	
$I_{CCIO} < 200$ mA (LDO)	—	LP3982-3.3	LM2937-3.3 or LP2986-3.3 ⁵	
$I_{CCIO} < 200$ mA (SW)	—	LM3352-3.3 ⁶	LM2736	
$I_{CCIO} < 300$ mA (LDO)	—	LP3982-3.3	Not applicable ¹	
$I_{CCIO} < 300$ mA (SW)	—	LM3670-3.3 ⁶	LM2736	
$I_{CCIO} < 500$ mA	—	LP8345-3.3	LM2736	
$I_{CCIO} < 750$ mA	—	LM2736	LM2736	
$I_{CCIO} < 1A$	—	LM2734	LM2734	

- 由于有关的操作情况对散热能力有较严格的要求，因此并不建议采用低压降稳压器。
- 降压稳压器 — 优点是效率高，容易融入现有系统设计，而且可获 WEBENCH® 设计工具支持。
- 同步降压转换器 — 优点是效率最高，而且无需加设外接二极管。
- 无需加设电感器的开关稳压器。
- 可采用 LLP 封装以便有足够的散热能力。
- 这些解决方案都适用于 8V 至 14V 的输入电压。

Not applicable: 不适用
Adj: 可调节电压
LDO: 低压降稳压器
SW: 开关稳压器

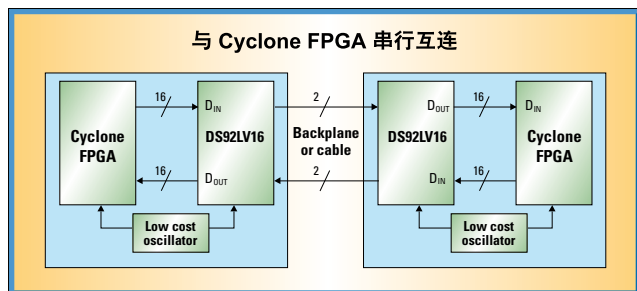
可支持 FPGA 及 CPLD 的高速接口解决方案

美国国家半导体致力为高速接口集成电路开发创新的技术及解决方案，而且在市场上一直居领导地位，虽然多年前已成功开发低电压差分信号传输 (Low Voltage Differential Signal, LVDS) 这种创新技术，但我们至今仍不断努力提升其性能表现，确保新一代的 LVDS 解决方案在性能上有大幅的提升。采用这些高速接口技术在 FPGA 的系统中可大幅提高其数据传送速度。美国国家半导体的 LVDS 芯片不但有助精简高端 FPGA 的设计，而且还可为中、低端型号的 FPGA 添加新功能以及提升其性能。对于任何采用高速 FPGA 的系统来说，LVDS 芯片是具有极高增值能力的解决方案。

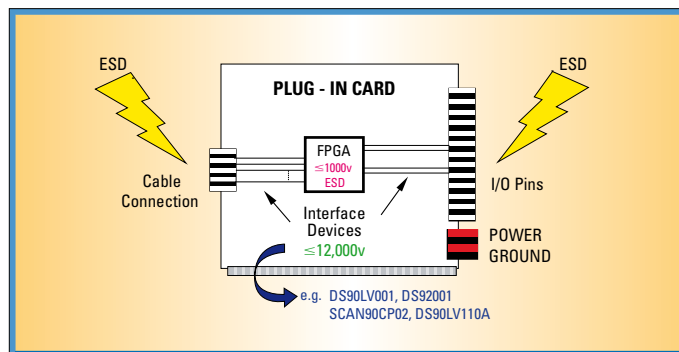
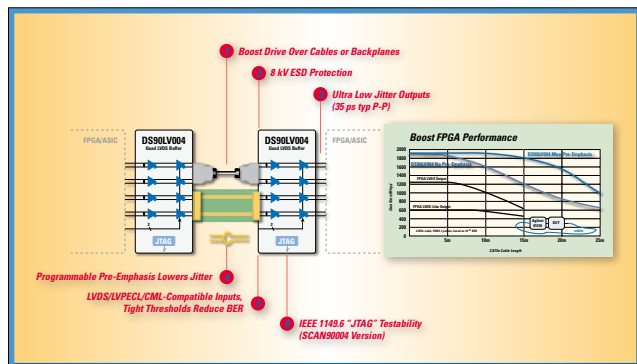
增值能力

为成本低廉的 FPGA 及 CPLD 添加高速的串行/解串功能

美国国家半导体的高速接口串行/解串解决方案可以进一步降低低成本 FPGA 的线路互连成本。只要将 Cyclone™ 及 MAX® 等低成本的 FPGA 及 CPLD 与美国国家半导体的外置串行/解串器及物理层芯片搭配一起，系统便可采用较细小的电线及连接器，线路的传输能力不但不会受影响，甚至可以媲美高端的 FPGA。



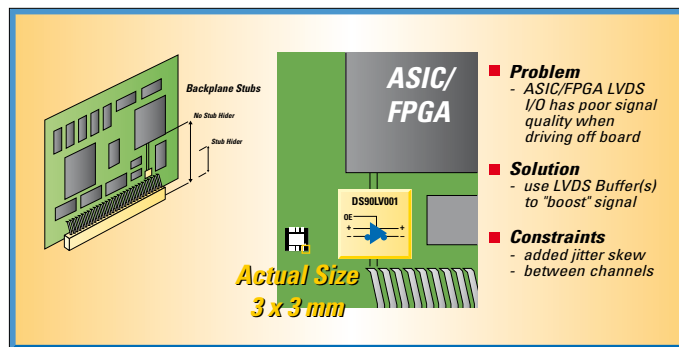
既可提高 FPGA 输入/输出的性能，又可抑制同步开关噪音以及加强抵抗静电释放的保护功能



美国国家半导体的 LVDS 缓冲器应该置于高速 FPGA 输入/输出与连接器之间，以便驱动信号。LVDS 缓冲器除了可以提高信号传送速度及扩大信号传送范围之外，还要负责驱动信号，让 FPGA 输入/输出可以将驱动电流降至最低，这个设计的优点是可将同步开关噪音减至最少。由于 LVDS 缓冲器的静电释放保护功能获得大大加强，因此信号传输速度比大部分 FPGA 输入/输出高 15 至 30 倍，而且具有静电释放保护功能的缓冲器可以确保高速信号完整无缺。

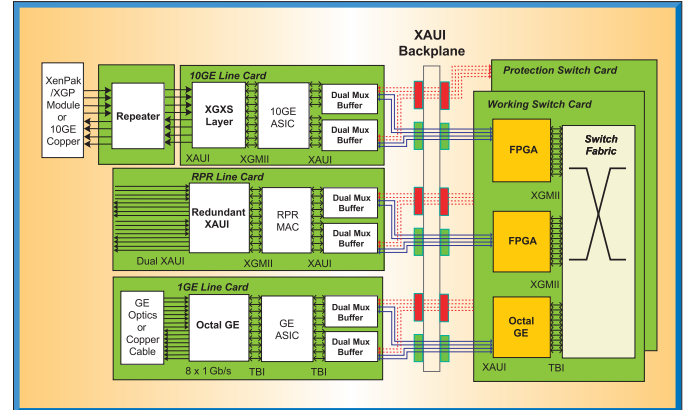
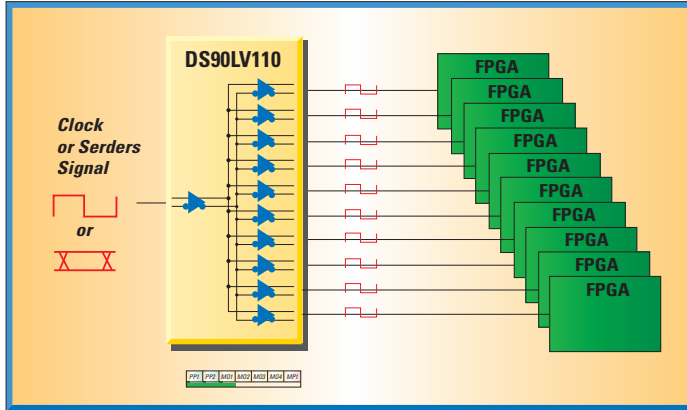
加强多点背板的传送能力

美国国家半导体的总线 LVDS 缓冲器可以为 FPGA 输入/输出添加多点传送功能。总线 LVDS 缓冲器可以利用多点/多站传送总线支持高速的信号传送，每一差分双扭线的传送速度高达 200 Mbps。此外，这些缓冲器还可将其「线头隐藏」起来，以便 FPGA 可以设于远离连接器的位置，避免产生更多电磁干扰或减弱信号。



有助节省 FPGA 宝贵资源的数据及时钟分配产品

美国国家半导体的数据及时钟分配解决方案可以将 FPGA 产生的每一个高速信号同时分发给多个接收点。美国国家半导体的交叉点开关则可以为 FPGA 输入/输出添加冗余的活跃及备用通道。



适用于 Altera FPGA 的接口解决方案：产品介绍

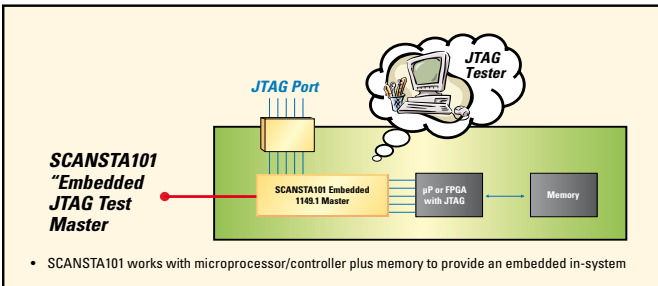
Altera FPGAs			可支持 Altera FPGA 的美国国家半导体高速接口解决方案		
产品系列	真正的低电压差分信号传输 (LVDS)	内置串行/解串器通道	美国国家半导体的接口芯片	低电压差分信号传输 (LVDS) 数据传输率	主要优点
Stratix™ EP1S10-EP1S80	840 Mbps	有	千兆位以上的串行/解串器 - SCAN50C400 四通道 5 Gbps 共模逻辑串行/解串器 (SCAN50C400A) 1.25 至 6.25 Gbps 的均衡器 (EQ50F100)	20 Gbps	将性能提升至与 Stratix-GX 同样的水平
Stratix-II EP2S15-EP1S190	1 Gbps	有			
Cyclone™ EP1C3,4,6,12,20	-	没有			
Cyclone-II EP2C5,8,20,35,50,70	805 Mbps	没有			
Max® II EPM240,570,1270,2210	不获支持	没有	设有嵌入式时钟的串行/解串器 10 位元的 LVDS 串行/解串器 (SCAN921025/26) 16/18 位元的 LVDS 串行/解串器 (DS92LV16/18)	800 Mbps 至 2.5 Gbps	提供高速串行/解串器功能
			设有嵌入式时钟的串行/解串器 10 位元的 LVDS 串行/解串器 (SCAN921025/26) 16/18 位元的 LVDS 串行/解串器 (DS92LV16/18)	800 Mbps 至 2.5 Gbps	将 Cyclone 的速度由 640 Mbps 提升至 1.25 Gbps
			LVDS 驱动器/接收器 DS90LV011/18, DFS90LV027/28/49 DS90LV031/32, DS90LV47/48	400 Mbps	有助降低同时开关时所产生的噪音，改善信号的完整性，及使构思电路板的布局设计时有较大的空间发挥
美国国家半导体解决方案可应用于各 Altera 产品系列			Altera FPGA 全部都获得效能上的提升		
			LVDS 交叉点开关 DS90CP22, SCAN90CP02/04	900 Mbps 至 2.5 Gbps	可以增强及复制 LVDS 信号
			LVDS 通道链路 (并行时钟) 串行/解串器 21,28,48 位元 DS90CR21x,28x,48x	1.3 至 6.4 Gbps	可将宽阔的总线串行一起，有助降低成本
			LVDS 缓冲器及时钟驱动器 DS90LV001 DS90LV110A	800 Mbps 800 Mbps	可助缩短电子线头可节省投放于 FPGA 输入/输出的资源
			总线 LVDS 产品 DS92001 DS92LV040	200 Mbps	可支持多点/多站传送
			FPGA 编程		
系统测试点支持 SCANSTA111/112			不适用	设定多条 JTAG 扫描链路	

适用于 FPGA 及 CPLD 的 JTAG 测试功能

开发新一代硬件设备往往要面对一个难题，那就是怎样才能在生产阶段时测试印刷电路板。一向以来，业界都采用内电路测试仪 (in-circuit tester) 测试较为复杂的电路板。这是旧式的测试方法，而且这种测试仪采用专有技术，成本较为昂贵，开发时间也较长。由于印刷电路板的密度越来越高、电路层也越来越多，其中还有隐藏的节点，加上采用 BGA 封装的芯片内含多个隐蔽的球体，因此要测试印刷电路板的性能便变得更为困难。

JTAG (IEEE 1149.1) 是业界的测试标准，容许自动化测试工具连接芯片以及输入测试向量，以便进行测试。根据这种测试标准的规定，每一芯片引脚的测试点必须设于芯片内，而测试点必须连接 5 线的串行总线。只要采用这个设计，测试程序的设计及落实执行便可在一台设计简单的个人电脑上完成。很多新一代的通信及网络系统都设有涵盖整个系统的 IEEE 1149.1 (JTAG) 测试总线结构。采用测试总线的方法不但确保系统测试可以采用全面性的生命周期方式，而且还有其它的优点，例如 JTAG 总线的应用范围不断扩大，并非只能纯粹用作测试。目前 JTAG 已广泛用于模拟测试、存储器编程以及 CPLD 或 FPGA 配置。

嵌入式 JTAG 测试主机

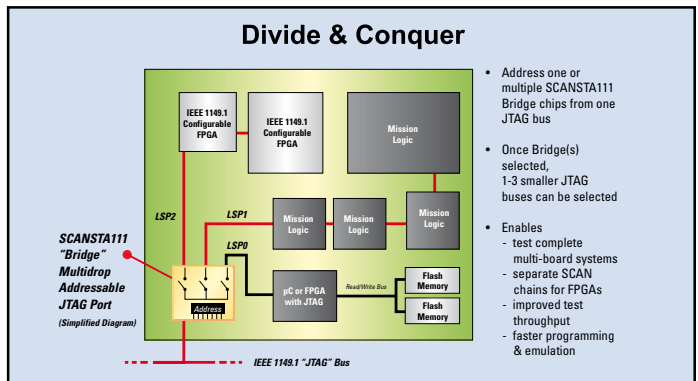


美国国家半导体的 SCANSTA101 是一款嵌入式 JTAG 测试主机芯片，系统设计工程师可以采用这颗芯片组建整套嵌入式 JTAG 测试主机。SCANSTA101 芯片也可与微控制器或微处理器搭配一起，再连同另一存储器嵌入系统内，为系统添加自我诊断及重新配置功能。SCANSTA101 可将微控制器或微处理器与串行 JTAG 总线连接一起，而且另外还可驱动 JTAG 总线，以便减轻处理器或控制器的工作量。

若与装设了 ATPG 软件的个人电脑比较，这个嵌入式的「测试主机」当然没有那么精密先进。正式生产或测试时仍需采用 ATPG 软件。但嵌入式测试主机仍有它的优点，例如可以提供很多现场必要的功能，包括系统自我诊断及远程升级功能。

美国国家半导体另外还提供 SCANEASE 软件及 SCANSTA101 ANSI C 驱动程序，确保厂商可以更容易为 SCANSTA101 测试主机开发相关软件。

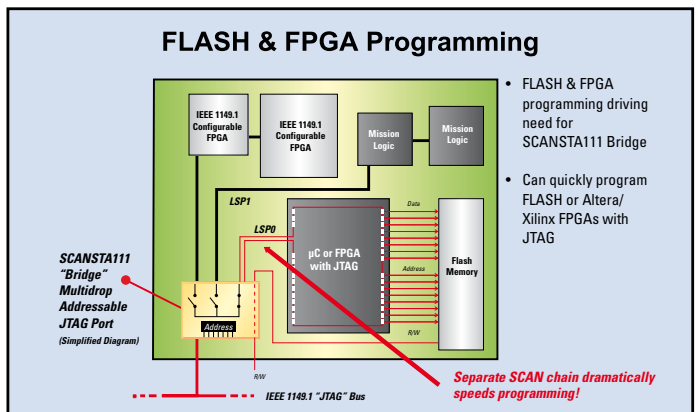
可寻址多站传送 JTAG 端口



目前很多系统插件虽然都采用符合 IEEE 1149.1 要求的芯片，但其实这些芯片都各不相同。我们面临的挑战是如何将不同插件连接一起而不影响系统效率，让测试工具可以深入指定接点进行测试，以及确保能有很好的绝缘效果。

厂商只要采用美国国家半导体的 SCANSTA111 可寻址多站传送 JTAG 端口(也称为「接桥」)，便可将 JTAG 总线分为多个细小的「扫描段」。JTAG 测试主机可挑选其中任何一段或多段，以便集中测试，或重新为 FPGA 及快闪存储器编程。对于采用多插件的系统来说，分段扫描有其必要；即使为 FPGA 进行编程，最好也采用分段扫描。此外，将较长的扫描链分为多个小段也可大幅缩短测试时间。

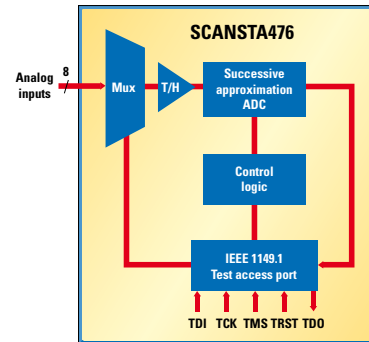
SCANSTA111 芯片的 JTAG 可寻址多站传送端口设有多条符合最短规定的专用扫描链路，可以将快闪存储器或 FPGA 快速编程。这款测试芯片可以选择连接快闪存储器数据及地址位的芯片，驱动其边界扫描单元的必需信号，以进行快闪编程。此外，SCANSTA111 芯片还设有可驱动读/写信号的通过缓冲器。



混合信号测试工具

IEEE 1149.1 是一种很受欢迎的 JTAG 测试标准，但只适用于测试数字系统。可是，即使数字电路板也要驱动模拟信号，例如电源供应器便需要接受测试及监控。SCANSTA476 芯片不但可以监控模拟电压，而且还可利用内置的模/数转换器将有关数据传送到可供存取的 JTAG 寄存器，一举将混合信号的问题彻底解决。这款芯片可以监控 8 个信号，而且可以利用独特的 JTAG 命令，进行信号取样，已取样的数字信号随后会通过 JTAG 端口加以扫描。

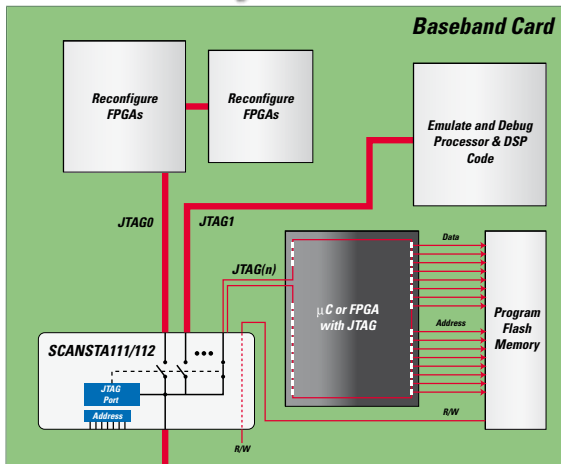
SCANSTA476 是一款封装小巧、成本低廉的芯片，可以提供一个简单而准确的方法，为 JTAG 测试解决方案添加更多个模拟测试点。



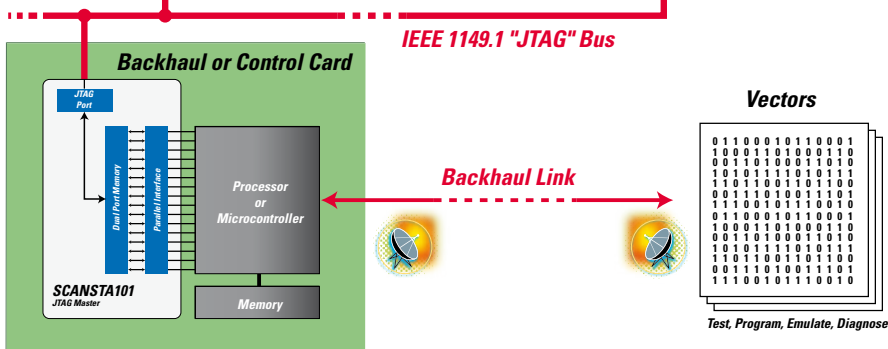
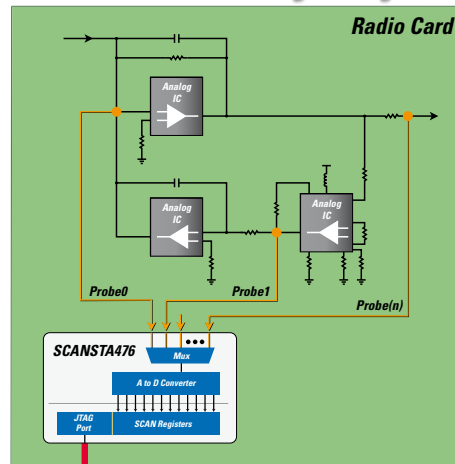
全方位的系统解决方案

- 美国国家半导体提供一系列型号齐备的 JTAG 芯片，其中包括：
- 各种加设了 at-speed BIST 及 IEEE 1149.6 测试功能(与别不同的 JTAG 标准)的标准 LVDS 芯片
 - 可以提升 JTAG 测试能力的芯片如 SCANSTA101 主控器芯片、SCANSTA111 与 112 扫描桥接芯片以及 SCANSTA476 模拟电压监控电路
 - 确保厂商可以轻易利用 SCANSTA101 芯片开发新产品的 SCANEASE 软件

Quickly Target & Reprogram FPGAs & Flash; Emulate and Debug Processor & DSP Code



Monitor Critical Analog Voltages



Remotely Manage, Diagnose, and Reconfigure System

可支持 FPGA 及 CPLD 的模/数转换器

美国国家半导体为市场提供多种不同的高速模/数转换器，其中很多都具有低功耗、高性能的优点。

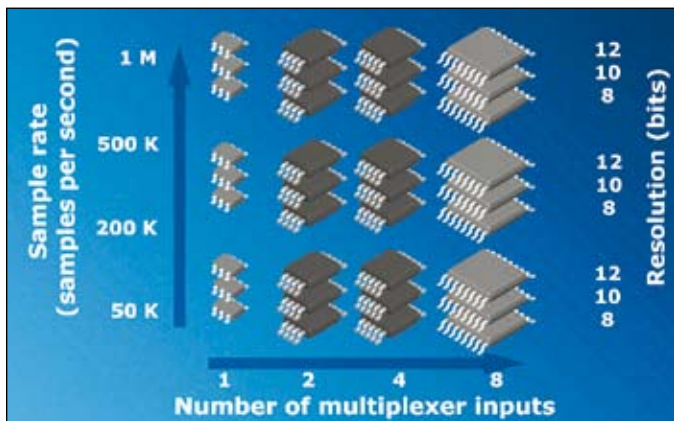
增值能力

型号齐备确保可以轻易升级

美国国家半导体的全新通用型模/数转换器适用于多种不同分辨率及速度，使客户设计时更觉灵活。采用相同通道配置的模/数转换器都可完全兼容。以单通道的模/数转换器为例来说，系统设计工程师只要采用这款芯片，便可将系统速度由 8 位改为 10/12 位，或将分辨率由 1 MSPS 改为 500/200 KSPS，完全无需修改硬件电路或软件。换言之，设计工程师可以选定某一电路板布局作为标准设计，每当要将产品升级或开发全新产品时，便可重复使用同一电路板布局以满足不同设计的要求。这样既可节省生产成本，又可缩短产品的开发时间。

性能获得保证

美国国家半导体保证每一模/数转换器都适用于一个指定速度范围，而非单单在某一特定速度下才可充分发挥其性能。这个优点在业界是独一无二的。客户若果采用美国国家半导体的全新模/数转换器，只需采用一个型号便可满足不同的速度要求，而无需为不同的操作速度采用不同的模/数转换器。即使客户的系统改用不同的速度操作，美国国家半导体的芯片都可发挥同样卓越性能，令客户可以安心使用。



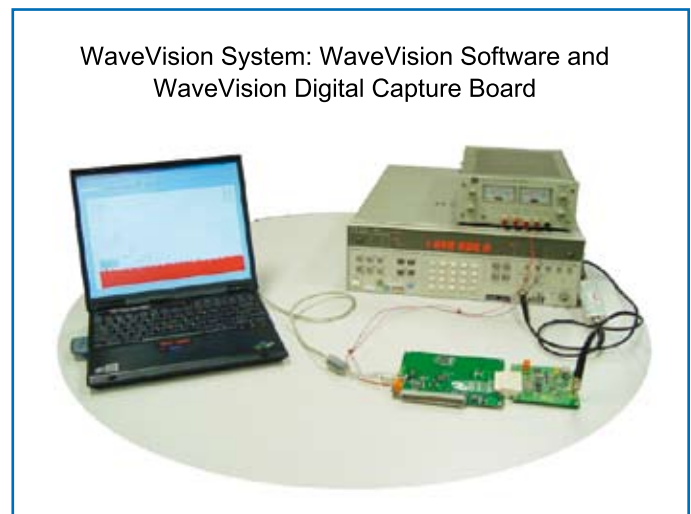
此外，客户只要采用一颗美国国家半导体的模/数转换器，便可取代几颗传统的模/数转换器，这是一个优点，因为这些旧型号产品的引脚输出及性能都各不相同。

低功耗

美国国家半导体拥有业界最低功耗的模/数转换器。以我们的 10 位模/数转换器为例来说，这款转换器以 40 MSPS 取样频率操作时，功耗只有 55 mW，若以 65 MSPS 的取样频率操作，功耗则只有 68 mW。我们的 12 位模/数转换器若以 1 MSPS 取样频率操作，功耗低至只有 2 mW，若以低功耗模式操作，功耗更低至只有 1.5 μ W。这些低功耗的通用型模/数转换器最适用于便携式电子产品。

数据分析工具

美国国家半导体有一套名为 WaveVision 4.0 的数据采集及分析软件，可以捕捉评估电路板的输出数据，让客户可以根据有关数据评估美国国家半导体的模/数转换器产品。系统设计工程师可以利用这套免费附送的软件，分析时域以至频域的模拟输入信号。因此，客户只要轻轻一按，便可轻易将积分非线性特性 (INL)、微分非线性特性 (DNL)、信噪比 (SNR)、信噪比及失真 (SINAD)、总谐波失真 (THD) 及有效位数 (ENOB) 等信号转为场效应晶体管 (FET) 模式。



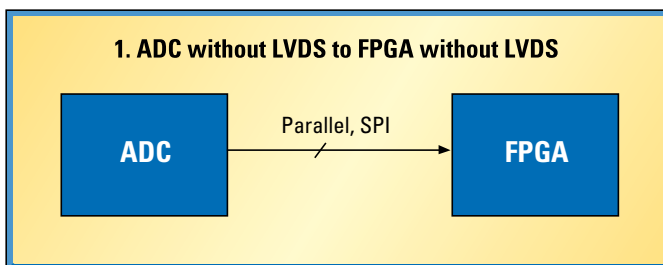
提升性能

工程师可以利用 INL、DNL 及偏移/增益错误等数字测量模/数转换器的静态表现。美国国家半导体利用末端方法 (最坏状况方法) 测量这方面的性能，而非采用最佳适配的方法，后者可以较轻易取得数据表上列出的较佳结果。

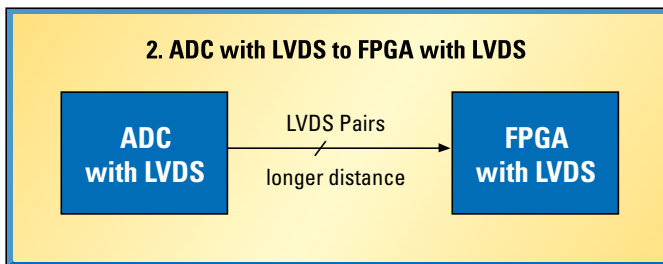
美国国家半导体的 WaveVision 捕获电路板 (Capture Board) 及模/数转换器评估电路板都是专为客户提供的测试工具，让客户可以轻易测试系统上的元件。评估电路板所捕捉的数据可以利用 WaveVision 软件直接加以分析。

如何处理 LVDS 输出

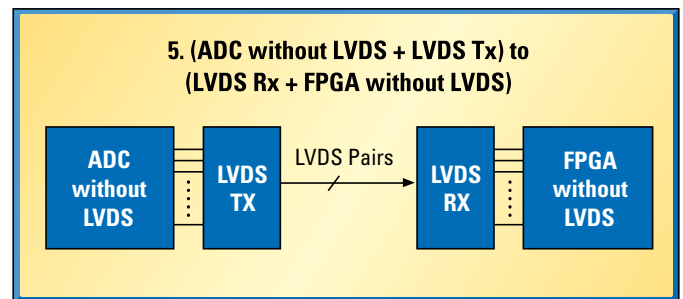
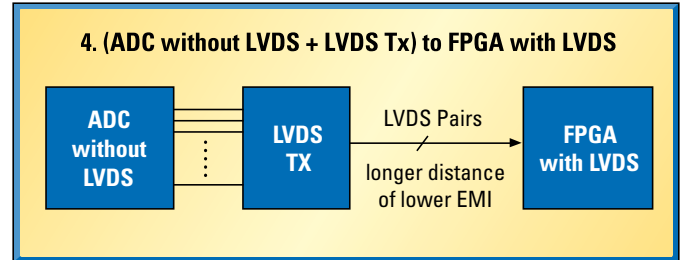
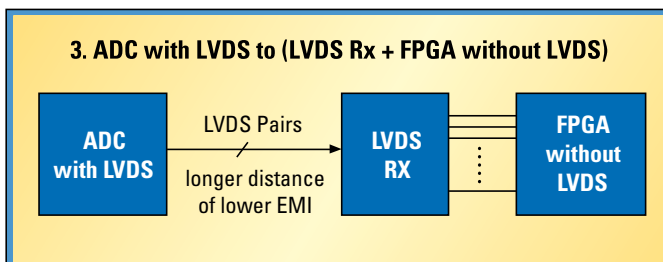
美国国家半导体拥有多种不同的信号路径解决方案，系统设计工程师可以利用这些解决方案满足不同系统的不同要求。美国国家半导体也为客户提供多种不同的模/数转换器，以满足不同技术规格的要求。以 LVDS 输出的处理方法为例来说，以下的典型示例充分显示美国国家半导体的模/数转换器可以支持这方面的应用。



若取样频率较高或模/数转换器与 FPGA 芯片相距较远，系统设计工程师可以考虑以下的方案。



系统设计工程师及采购部经理若建议采用 FPGA 芯片，他们可能会因为系统性能与成本之间难以作出取舍而面对很大的压力。以下有几个方案可供他们参考：



设有 LVDS 功能的 FPGA 芯片通常比没有这个功能的同类型号更为昂贵，逻辑门也较多，部分系统未必需要采用逻辑门较多或密度较高的 FPGA 芯片。对于这类系统设计来说，美国国家半导体的 ADC 及 LVDS 芯片是理想的解决方案。

可支持 FPGA 及 CPLD 的放大器及模/数转换器组合

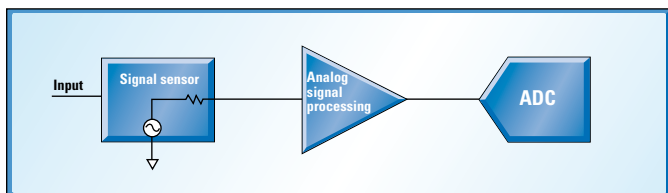
美国国家半导体一直致力于开发创新的运算放大器，这方面的技术在业界居领导地位。美国国家半导体的放大器系列有多种不同的型号，其中包括基本型号放大器以至特殊应用标准产品，而创新的 LMH 系列高速放大器则最适用于视频系统、通信设备信号路径以及仪表设备。这些放大器也是驱动高性能模/数转换器的必要元件。

增值能力

VIP10® 工艺技术可提高产品性能

输入信号还未传送到模/数转换器之前，高速运算放大器会先将信号加以调节。美国国家半导体的 LMH 运算放大器采用 VIP10 高速电介质隔离互补双极集成电路工艺技术制造，因此不但具有卓越的功率/带宽比，而且失真较低，芯片裸粒也较小。

运算放大器执行模拟信号处理功能



由于运算放大器的电路设计较为简单，而且性能卓越，加上有很多不同型号可供选择，因此运算放大器常常用来处理模拟信号，以满足高性能系统的严格要求。由于系统采用越来越多数字技术，因此大部分系统的计算工作已无需连续进行，很多计算工作甚至交由计时电路执行。为此，系统便需要采用更多运算放大器，以便为模/数转换器提供支持。

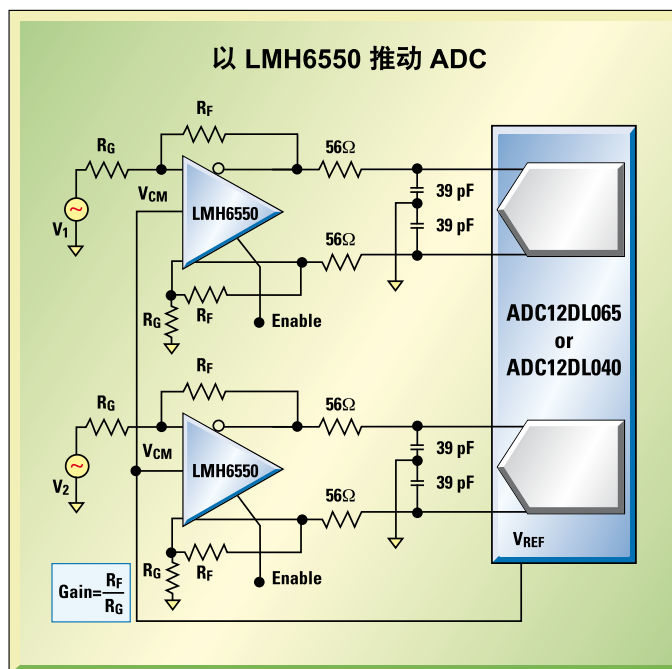
基本的模拟信号处理功能：

- 灵活的调节功能 → 电平移位/放大/自动增益控制
- 单端/差分 → 信号抗扰能力
- 阻抗匹配 → 信号完整性/信噪比
- 减低电容负载的影响 → 缓冲器/驱动器
- 减少采用不需要的信号元件 → 滤波器
- I-V 或 V-I 转换 → 放大器电路布局/芯片选择

驱动高速模/数转换器

选择运算放大器的衡量标准：

- 以高速系统为例来说，直流电应用的表现一般来说都极为重要，例如
 - 带宽，功率带宽
 - 压摆率
 - 失真
 - 噪音
 - 稳定时间
- 选用的运算放大器必须能够发挥可媲美模/数转换器的性能，例如
 - 运算放大器的信噪比必须比模/数转换器至少高 6 dB
 - 无假信号动态范围 (SFDR) 必须比模/数转换器更为广阔
- 设计便携式系统或超薄系统时，应充分考虑运算放大器的功耗 (必须能够解决系统散热问题)。
- 若果要驱动差分输入模/数转换器，最好采用差分输出运算放大器



美国国家半导体放大器产品概览

高速 LMH® 运算放大器

- 高带宽 (高达 1 GHz)
- 快速的压摆率
- 快速的稳定时间
- 低失真
- 低噪音
- 低功率
- 专业级视频效果
- 电缆驱动器



面向市场

- 汽车电子系统
- 工业系统
- 医疗设备
- 专业级视频设备
- 多媒体设备
- 测试及测量仪表
- 通信设备



低电压、低功率运算放大器

- 低操作电压 (可在 5V 或以下的供电电压操作)
- 低功耗 (每一放大器的静态电流低至 0.5 mA 以下)
- 低噪音
- 轨到轨输出及轨到轨输入/输出
- 小型封装
- 多种不同停机模式



面向市场

- 笔记本电脑，个人数字助理
- 移动电话
- 便携式音响设备
- 便携式消费产品
- 便携式医疗设备
- 便携式测试及测量仪表



高精度 LMP® 运算放大器

- 低偏移电压
- 在不同温度下出现较少漂移
- 低输入偏压电流
- 高开环增益
- 高共模抑制比 (CMRR)
- 高电源抑制比 (PSRR)
- 低中频噪音
- 小巧封装



面向市场

- 汽车电子系统
- 工业系统
- 医疗设备
- 测试及测量仪表
- 广阔的操作温度范围 (-40 °C 至 125 °C)



网上设计工具

电源管理专家: 自动化设计工具

适用于 Altera FPGA 及 CPLD 的电源系统解决方案

步骤 1: 选择 Altera 公司的 FPGA 芯片

- 选择您采用的 Altera FPGA 芯片
- 所选芯片的供电要求一一列出以供客户仔细参阅

步骤 2: 选择操作条件

- 选择操作条件 (例如, 输入电压, 输入/输出电压)
- 根据下滑条型图所列数据, 将 FPGA 的操作电流设定在可容许的范围内, 助您计算功率耗散。

步骤 3: 选择美国国家半电源系统解决方案

- 选择可满足不同要求的美国国家半导体电源系统解决方案 — 高效率或精简设计
- 逐一审视符合有关设计要求的各款美国国家半导体产品, 然后点击相关链接查看数据表, 若 WEBENCH 设计工具可支持该款芯片, 可利用该设计工具进行仿真, 然后下载参考设计图样。



如欲下载这套设计工具及查询进一步的资料, 可浏览以下网页:
www.national.com/CHS/appinfo/power/alterafpga.html

WEBENCH® 设计及建模网页

步骤 1: 选择

- 键入您的设计要求
- 从精选产品清单中挑选一款适用的元件



步骤 2: 设计

- 以不同操作参数如功耗、电流、偏移电压、漂移以及频率响应作为基准比较不同元件
- 改用推荐的其它元件, 以比较它们在性能、体积及成本上的差异
- 采用建议的元件或自行列出所需物料清单

步骤 3: 分析

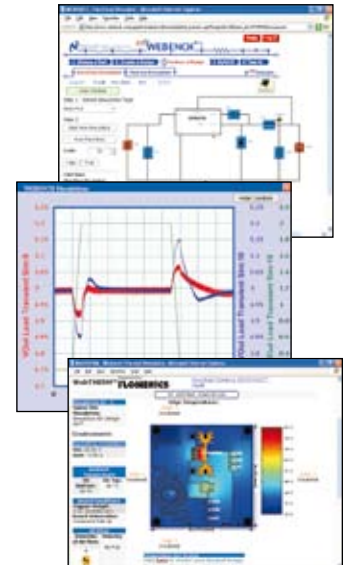
- 利用电子及热能仿真测试系统为您的电路设计进行仿真测试, 然后评估其性能
- 利用另一电路重复进行同一仿真测试, 然后比较不同的数据, 以便找出性能最高的一款芯片

步骤 4: 建模

- 订购样品、元件或演示电路板
- 在极短时间内即可收到您特别订制的原型套件
- 可以即时下载自动编制的 CAD 设计图、装配工序资料、测试指示以及全部的功能特性

步骤 5: 测试

- 下载您所要求的测试向量数据, 以便将真实电路板与虚拟电路的测试结果加以参照比较
- 利用 National Instruments 公司的 SignalExpress™ 软件进行电路板性能测试



如欲下载这套设计工具及查询进一步的资料, 可浏览以下网页:

www.national.com/CHS/appinfo/webench/scripts/my_webench.html

索取详细产品资料, 欢迎查阅美国国家半导体的网页, 网址为 www.national.com/see/alterafpga 或发电邮到 ap.support@nsc.com

