

CADENCE PCB 信号与电源完整性

Cadence提供了集成高速设计与分析环境，以简化在数字印刷电路板（PCB）系统上的高速互联创建。种类丰富的高级功能使得电子工程师能够非常容易地探索、优化和解决电力性能相关的问题，不管是在设计周期的哪个阶段。通过约束驱动的设计流程，这种独特的环境提高了一次性成功的可能性，降低了最终产品的总成本。

以下产品采用了Cadence PCB 信号和电源完整性技术：

- Cadence Allegro PCB SI L, XL, and GXL
- Cadence OrCAD Signal Explorer

CADENCE PCB 信号与功率完整性技术

Cadence PCB信号完整性(SI)与电源完整性(PI)分析技术提供了可调整的、节约成本并且支持前仿真和后仿真的系统互联设计和分析环境。他们提供了在电路板、多层板和系统级的高级分析。Cadence PCB SI和PI产品与Cadence PCB编辑器、Cadence Allegro PCB布线器、Allegro Design Entry HDL和Allegro System Architect紧密结合，能够实现端到端、约束驱动的高速PCB系统设计。

Cadence PCB SI让设计师能够在整个设计过程中解决高速问题，从而能够解决设计密度、复杂度和高速边缘变化率的不断提高而带来的问题。这种方法让设计团队不用在设计过程的后期进行耗时的仿真—修复—仿真的迭代。它还让设计师通

过以制造容限来建立拓扑和模型进行分析从而使得产品的电气性能最优化以及成本最小化。Cadence PCB SI让用户能够在布线选择(规则)中，对电气性能和可靠性的影响进行利弊权衡。一旦确定，会以这些最优约束来驱动PCB的物理布局和布线。综合的设计和 analysis 环境让设计师不用转化设计数据库进行仿真。设计师还可以通过考虑封装设计对芯片间传输信号整体表现的影响，从而解决时序容限不断缩小的问题。该综合流程让设计师能够轻松执行对复杂高速PCB系统的布局前和布局后的模型提取与仿真验证。

以下产品采用了Cadence PCB 信号和电源完整性技术：

- Cadence Allegro PCB SI L, XL和GXL
- Cadence OrCAD Signal Explorer

优点

- 减少设计高速互联所需的时间，并提高一次性成功的可能性。
- 缩短建立最优约束所需的时间，实现约束驱动的PCB设计流程。
- 通过参数扫描分析提高产品性能。
- 通过使用Allegro PCB PI Option XL设计PCB电源网络降低最终产品的单位成本。
- 通过高级仿真技术消除了Multi-Gigabit高速串行传输设计用物理原型进行多次验证的过程。
- 使用S参数和单个或耦合过孔模型实现快速的MGH信号分析，从而缩短设计周期。
- 提高产品质量、成本和性能。
- 通过与其他Allegro设计平台完美融合的虚拟原型环境来节约设计时间。
- 通过使用Cadence设计锦囊（Design-in IP）协助分析并减少设计时间。

功能特色 综合高速设计与分析

Allegro PCB SI可以对Allegro PCB Editor数据库进行读写操作，避免可能出现的转换问题，并且容许约束和模型被嵌入到电路板设计文件中。综合的设计和分析系统很注重从前端到后端的多线拓扑建构。例如，差分对和拓展线路（带有串联终端的线路）会被作为一个电网络进行识别、提取和仿真。（见图1）

源同步，公共时钟信号设计 SIGXPLOER模块

Cadence PCB SI技术含有一种模块（SigXplorer

模块），能够在原理图出来之前进行预布线拓扑设计和分析。这种分析类型在设计周期的最初阶段非常普遍，此时设计师会评估使用新设备技术或提高总线传输速率造成的影响。SigXplorer能够被用于建造和确认详细的电力拓扑模型，并在详细的设计过程开始之前证明新技术的可靠性。

SigXplorer是一种图形化拓扑设计环境，让设计工程师可以建立临界信号的原型，了解其灵敏性，并使用假设法建立最优约束。通过在设计周期的最早阶段执行这种分析类型，设计师可以评估使用新设备技术或提高边缘变化率造成的影响。

使用Cadence PCB SI技术，用户可以从Cadence PCB编辑器中提取一个线路，该编辑器提供了物理拓扑的电力结构界

面，包括会影响阻抗或速率的互联通路和变化情况。这使得设计工程师可以执行电力行为的假想研究，而不用编辑PCB设计。工程师可以调查改变电路结构参数值的影响，并建立一个可以接受的方案，无需打扰PCB设计过程。这种能力在PCB设计过程的任何阶段均可应用，从原理图到布局后的PCB再到已全部布好线的电路板。

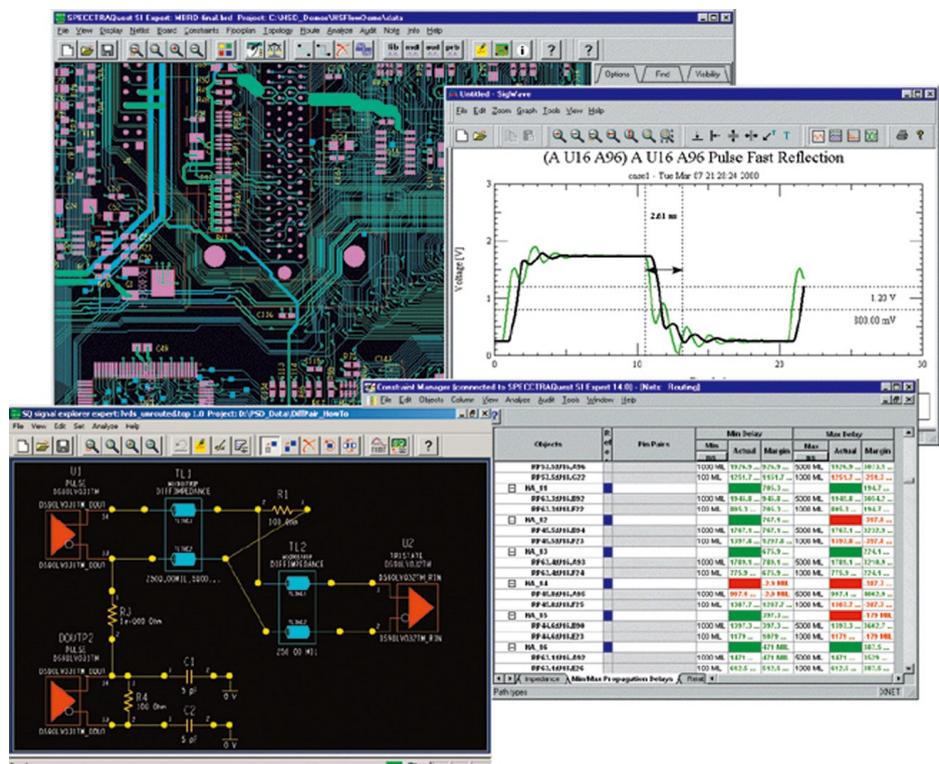


图1：Allegro PCB SI让工程师可以用约束驱动的设计流程探索和建立最优约束

参数扫描分析

Allegro PCB SI通过参数扫描分析为需要建立最优约束的用户提供了最好的环境。通过使用参数扫描分析、用户定义激励和客户化的测量标准帮助用户在设计过程的初期解决问题。

基于SPICE的仿真器

Allegro PCB SI搭配基于SPICE的仿真器, 包含了一种强大的宏模型功能, 将传统的基于SPICE的结构建模与行为建模的速度优势结合。内嵌的场分析工具可以对趋肤效应、邻近/拥挤效应、回路阻抗和频域介电常数建模。强大的建模语言对I/O缓冲器的建模提供了扩展IBIS模型的应用功能, 并且支持有损耦合的频变传输线模型, 可以精确预测PCB网络的分布式行为。

使用封装数据库进行芯片间互联分析

Allegro PCB SI支持多板配置的系统分析与约束, 并且提供了一种简单的设置过程——从母板或子卡连接到芯片间的连接配置。它还支持拓扑验证、布图规划和布线后验证分析。

S参数分析

作为所有Cadence PCB SI产品的一个选择, 精密集成的S参数分析工具让工程师可以从PCB信号拓扑生成S参数(“叠层显示到S参数显示”)并在SigWave中轻松而简单描述其特性。用户可以更改拓扑或叠层设置, 进行快速的损耗预算权衡迭代分析。它还让设计师能够将多个S参数连接为一个, 支持S参数的时域仿真, 并将S参数添加作为拓扑中的的一个目标, 然后为整个拓扑生成S参数。此外, 工程师还可以添加基于测量的Touchstone格式的S参数

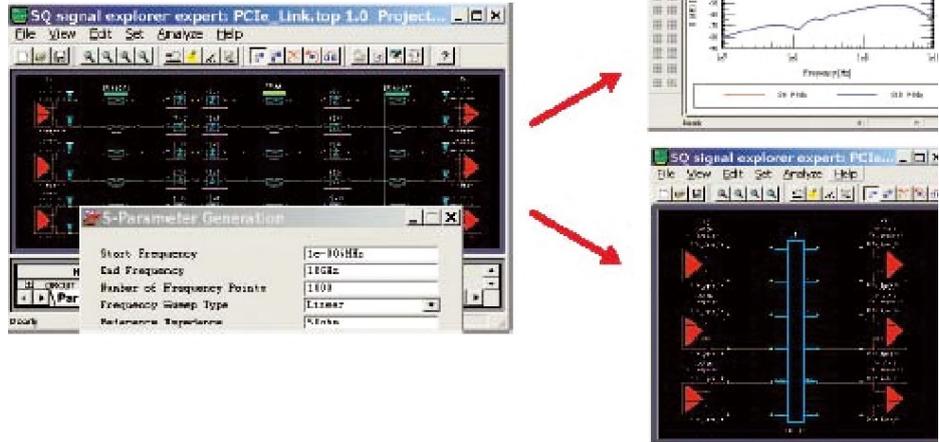


图2：无源互连的任何一部分都可以通过拓扑管理器在SigWave中被绘制为S参数

模型。S参数与其他互联拓扑模型互联结构也可以被添加、测量或导入。(见图2)

过孔的解析解模型

用户可以迅速创建精确的过模型(宽带、窄带、S参数), 为单通孔、差分过孔和地/电源耦合过孔进行MGH频率下的过孔效应仿真。过孔解析解模型可以被生成来进行过孔的stub分析, 这样可以解决关键信号网络应该如何布线以及是否采用反钻技术。Allegro PCB Design XL让用户可以指定在PCB生产阶段那个过孔应该被反钻。

源同步总线信号的分析

Allegro PCB SI XL和GXL版本提供了迅速而简易的方式进行所有与源同步总线相关信号的布局后仿真分析。它可以缩短带有或不带有芯片内建终端电阻(ODT)的源同步总线功能相关的各种配置(读写、运行、空闲)的仿真时间。总线信号和时钟可以被关联起来, 并将这种关联关系保存到设计数据库中。用户可以选择仅仅进行反射分析, 或者包含串扰的全面分析。Al-

legro PCB SI可以通过源同步总线中不同信号的用户定义的derating table为用户提供计算建立和保持时间容限的方法。(见图3)

高速串行信号设计

(仅限于Allegro PCB SI GXL)

高速串行设计是一种虚拟原型设计环境, 面向多吉比特级串行信号的设计, 它拥有功能完整的原型, 可以缩短设计周期时间, 不再需要多次物理原型设计验证。这种高级技术提供了建立于可靠的Allegro PCB SI分析基础之上的综合的高速串行设计和分析环境。

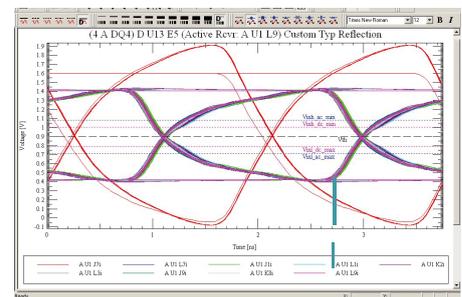


图3：Allegro PCB SI让工程师可以用约束驱动的流程探索 and 开发

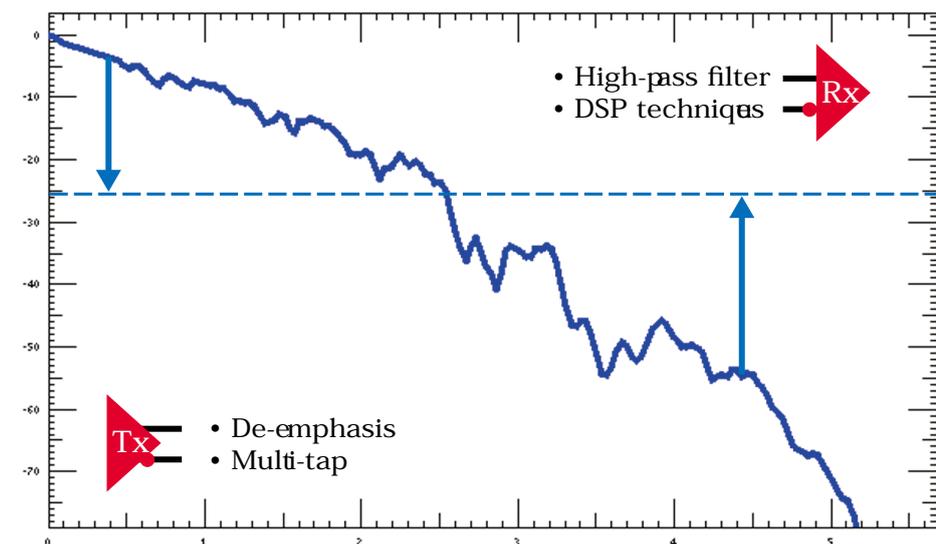


图4：可靠的高级宏建模能力，面向对含有预加重及均衡器的设备——同时不会牺牲仿真性

多吉比特级串行传输驱动器带有multi-tap预加重电路，接收器带有multi-tap均衡器电路。这些技术进步让工程师可以建造出性能更高、容量更大的系统。不过用于设计这些系统的很多EDA解决方案的滞后，让工程师被迫使用不同的平台的单独的产品。Allegro PCB SI GXL解决了为系统设计工程师提供超高带宽数据传输设计方案的问题，缩短了产品上市的时间。

设计师在进行吉比特级设计时的另外一个重大挑战是确保满足时序和电压容限。传统的电路仿真器被限制于大约1024比特的定制激励长度，码间干扰(ISI)效应没有得到充分的体现。为精确预测眼图开度，工程师需要一种可以仿真千万到亿比特的激励解决方案，并对各种干扰源进行建模和计算。

多吉比特串行传输设计需要能够迅速而精确地对信号路径的各个元素进行建模的能力。这是因为在高频率下，信号的损耗会随着信号通过不同的非连续部分而

提高，例如经过一个或多个印刷电路板的通孔、连接器和不同的层。保证关键信号的损耗在可接受范围内是多吉比特串行设计中的一个重要步骤。为实现这一点，设计师可以用Allegro PCB SI GXL迅速重复地使用S参数进行损耗预算权衡分析。它还提供了一种方式可以改变MGH信号的拓扑，并通过系统互联结构在几秒钟内计算预期的损耗。Allegro PCB SI GXL为工程师提供了一种易于使用的、高度集成的虚拟原型设计环境，包含面向MGH设计的分析功能。

宏模型

宏模型让工程师更快更精确地对MGH驱动器和接收器进行建模和仿真——比起晶体管级仿真，其仿真速度可以提高20到400倍(见图4)

通过S参数进行损耗分析

工程师可以添加基于测量的Touch-

stone格式的S参数模型。结合经测量的S参数拓扑元件与提取的拓扑电路元件，用户只要按一下鼠标就可以迅速分析通道损耗。这种集成的S参数分析环境让用户可以通过改变拓扑结构迅速进行多次迭代分析。

通过通道分析预测误码率 (BER)

通道分析通过两种方法提供BER预测。首先，它通过时域内逐比特的通道仿真提供BER预测。通过这种方法，用户可以在合理的时间内仿真千万到亿比特；第二，对于设计过程初期的通道兼容性分析，用户可以使用纯统计学分析法预测BER。

通道仿真分析

Allegro PCB SI GXL内的通道仿真分析引擎解决了高容量、高性能逐比特仿真的需要，能够保证时序和电压容限符合MGH信号传输的要求。这使得用户能够非常迅速地仿真数百万比特。在常见的PC/Windows平台上，它可以在几秒钟内仿真一万比特，在一小时内仿真一百万比特。

通道仿真与传统的电路仿真方法一致。用户可以迅速比较晶体管级仿真结果与通道分析仿真结果。(见图5)

系统设计用户可以迅速的为复杂的驱动器或接收器建立实用设置(“tap 设置”)。设计师可以在几秒钟内得到特定拓扑的最优设置，可以节约数周的仿真时间。用户可以在激励中加入确定或随机抖动，临近通道或信号的串扰以及数据的编码方式，以确定仿真眼图的高度和宽度。

IC设计用户可以使用通道仿真, 迅速评估新器件是否可以适用于系统公司已设计好的通道, 可以进行频率变化, 占空比失真(DCD)等分析并查看采样错误, 确认时钟与数据恢复(CDR)电路在抖动容限内工作的情况。

通过统计分析生成眼进行通道兼容性分析

很多系统公司在设计过程的初期, 希望发现现有的通道是否可以处理更高码率的发射器与接收器, 以提高通道的容量。为了解通道是否能够由更高码率的收发器所驱动, Allegro PCB SI GXL提供了一种统计分析生成眼图的引擎。它提供了一种通用的反馈均衡器(FBE)、一种理想的前馈均衡器(FFE), 以及一种理想的判决反馈均衡器(DFE)。用户可以改变抽头(Tap)的数量, 并且在内建模型中设置抽头的参数, 通过纯统计方法进行通道兼容性分析(见图5)

通过算法模型支持实现高速串行传输器件模型的通用性

以5Gbps以上速率运行的设备需要使用算法模型对其行为进行建模。

通道分析让用户在分析中嵌入从高速串行收发器供应商处获得的可执行算法模型插件。此插件以动态链接库(DLLs)的形式提供。

通道分析通过IP供应商提供的可执行算法模型插件, 实现了高速串行收发器模型的互用性的独特功能。

约束驱动的PCB设计过程

Cadence PCB SI技术与Allegro PCB设计平台的约束管理器系统完美搭配。源自仿真的约束可以在SigXplorer中形成电气约束(EC Set)。这些EC Sets然后可以通过约

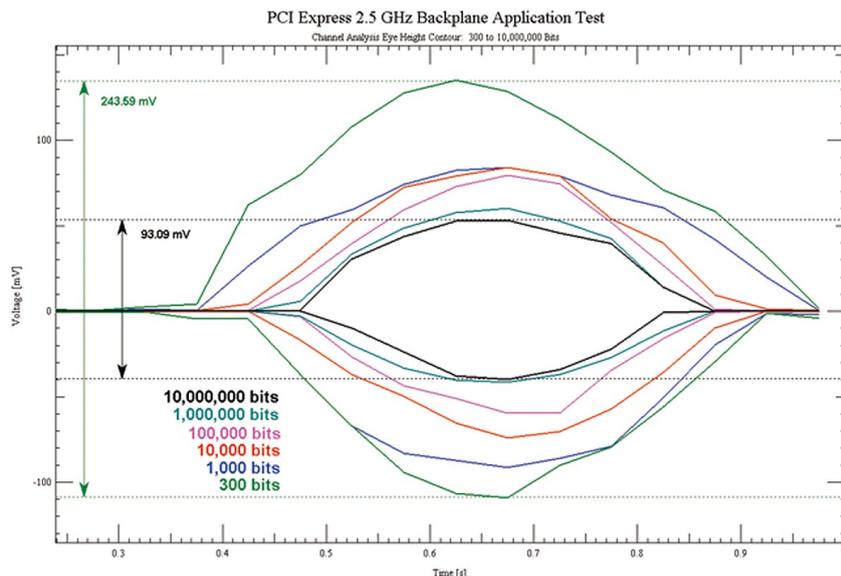


图5: 眼图随着激励中比特数的提高而收缩。好的眼图对于分析精确的抖动、插入损耗和BER预测是非常重要的。

束管理器应用到其他线路中。Allegro PCB SI、Allegro Design Entry HDL和Allegro PCB

Design中都有约束管理器, 它可以让设计师使用通过仿真和参数扫描分析建立的约束, 并实现一个约束驱动的物理布局布线过程。(见图6)

串扰预分析表格

产生自Allegro PCB SI的串扰预分析表格

能够在PCB设计中实现更短的设计周期和更高的布线密度, 还可能通过减少所需层数降低最终产品的成本。它让用户可以创建预估的串扰表格, 使互动和自动布线避免板上的串扰问题。串扰预分析表格根据每个不同的驱动器、线间距、层间组合和仿真模式(快速、典型或慢速)等生成。通过串扰预分析表格和约束驱动的PCB布局布线方法, 用户可以通过避免串扰问题缩短他们的设计周期。

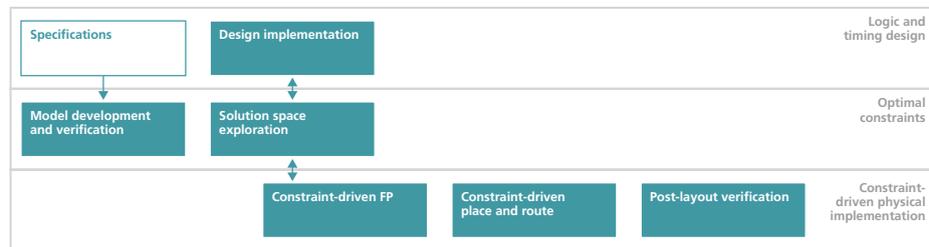


图6: Allegro PCB SI让工程师可以用约束驱动的设计流程开发和建立最优约束。

后仿真设计验证

Allegro PCB SI被完美集成到Cadence PCB编辑器中。它允许用户用PCB编辑器进行后仿真验证。它还允许用户直接从Allegro PCB设计数据库中提取关键信号线路,无需任何转化就可以调试。用户可以仿真电路板上的线路、线路组或所有线路。模型分配关系、模型以及所有源自仿真的约束都嵌入到PCB设计数据库中。

使用EMCONTROL进行规则检查

通过应用标准规则 and 用户定义规则的组合,EMControl使得耗时数周的手动检查不再必要,提高了产品质量与可靠性。对于标准规则,EMControl为常见的EMI相关布局和布线问题提供了全面的设计规则检查(DRC)。对于用户定义的规则,EMControl允许创建适合公司设计方针的定制规则。更重要的是,这些规则将高速设计“经验”作为定制规则,而这又可以在未来的设计中被重用。EMControl模块可以通过SigXplorer和Allegro PCB SI预测远场差模辐射。它还允许分析将辐射保持在可接受范围内所需的设计策略。Allegro PCB SI中提供的近场EMI分析可以预测在板平面上的辐射能量。通过分析近场EMI模式,设计师可以识别已布线网络的哪个部分产生出最大的辐射能量,并据此对设计进行修改。

PCB设计规划器

Allegro PCB设计规划器让用户可以建立对线路以及元件的有效约束。工程师可以调用热分析、SI和PI工具获取对线路和元件的约束。当与设计创建工具配合使用,

它让工程师能够指定设计意图并把约束嵌入到前端设计数据库中。

PCB设计规划器还包含了布图规划功能,提供了PCB数据库的图形化视窗,让用户可以查看和编辑PCB设计。设计师可以快速而轻松地评估设计行为中不同布局策略的影响。

模型开发与验证

Cadence PCB SI技术包含一个模型完整性工具模块,让设计师可以在易于使用的编辑环境中快速创建、操作和验证模型。支持的设备模型规格包括:

- IBIS 4.2 规范中定义的外部模型: Verilog-A、Cadence Spectre、HSPICE、Cadence eSpice模型
- IBIS ICM封装和连接器模型。
- Mentor/Quad XTK。
- Cadence器件建模语言(DML)
- Synopsys HSPICE晶体管级模型(需要HSPICE仿真器和授权,Allegro PCB SI中并不包含)
- Spectre晶体管级模型(仅限Sun Solaris、HP-UX和Linux RHEL 3.0平台)。它应用了一种综合的、功能有限的Spectre仿真器版本,Allegro PCB SI XL中有提供。

Spectre-to-DML转化模块通过Spectre仿真辅助创建DML模型。通过Spectre仿真、缓冲器仿真结果的输出,用户可以迅速创建DML模型。在模型完整性工具中,典型、最大和最小边界条件的V-I和V-T数据表从Spectre仿真结果中得到。可靠的、智能的最佳曲线拟合算法提供了精确的DML模型。HSPICE-to-IBIS转化模块让用户可以

通过HSPICE仿真创建IBIS模型。

电源传输系统设计

Allegro PCB PI是可以添加到Allegro PCB SI的一个选项。这种独特的、集成的设计和分析环境让电源传输系统中噪声的量化与控制不再依靠猜测。它让用户可以专注于设计,而不用苦恼于CAD系统和分析引擎之间的数据转化问题。它将Sun Microsystems公司可靠的技术集成到Cadence设计和分析环境中,解决高速设计中碰到的电源传输问题。

PCB PI包含一种用于设计和优化高速PCB设计中电源分配系统的频域分析方法(求解传输阻抗)。它让用户可以迅速而轻松地进行“变化-仿真-分析”的迭代。Cadence技术的基础在于电源分配系统的阻抗是由频率决定的,必须在一定频率范围内得到分析和控制。最大供应电流和可容忍的电压纹波被用于获取主供电系统的设计参数——即目标阻抗。在一定频率范围内优化电源分配系统的传输阻抗以满足目标阻抗的要求。

这种方案为电源分配系统的实际设计提供了独特的技术,它可以一次分析得到PCB上各处的传输阻抗曲线显示在波形显示窗口中,通过点击波形图,突出显示PCB上的相应区域,并对解决问题需要的电容器类型和数量提供建议。通过与分析环境结合的PCB设计编辑器,工程师可以在必要的地方选择和放置退藕电容,然后立即分析查看问题解决的效果。

设置向导

设置所有必要的设计信息, 电路板外形、层堆栈、电源层形状/电源和接地层的配对、与电源层相关的DC线路、以及电容器库等。

频域分析

结合正确的频域分析引擎和可靠的、强大的Allegro PCB SI和Allegro PCB设计环境, 它可以仿真频域中存在的问题, 在特定频率范围内, 量化电源传输系统的阻抗。在仿真时, 它会考虑到整个电源传输系统——VRM、滤波电容器、旁路电容器和电源层。它可以计算退藕电容的数量和数值, 引导用户正确放置, 实现最佳效果。用户可以在设计周期的早期执行单节点分析, 看被选中的电容器数量能否在一个需要的频率范围内控制阻抗。随着电容器被放置到电路板上, 会考虑电容器在电路板上的位置, 以及引线电感, 通过多节点仿真就可以轻松分析。

时域中的电压纹波

退藕电容器选择与放置对电压纹波抑制的有效性可以在时域中得到检验。

编辑VRM

易于使用的输入电感计算和目标阻抗计算, 使得用指定和容许电压纹波与动态电流计算目标阻抗非常简单, 目标阻抗可以显示在仿真结果的波形窗口中使用户易于了解PCB的哪些区域违反了设计目标。

考虑IC芯片与封装特征

PCB PI让用户可以通过加入IC/封装电感设定一个现实的目标阻抗, 并将封装与芯片电源传输模型分配到电路板上二维平面结构的相应位置, 执行多节点仿真。用户可以为电路板上的元件提供IC电流变化配置信息、片上电容、IC/封装电路模型。如果没有可用的封装电路模型, 用户还可以选择提供IC/封装电感。C电流变化配置信息可以从IC公司获取。从IC/封装设计和分析工具中, 可以生成IC/封装电路模型。

静态电压降分析

通过静态电压降分析, 用户可以迅速确保电源分布系统能够提供充足的电流。静态电压降分析会考虑走线线宽、过孔效应, 比如球栅阵列封装(BGA)的元件布线造成的电源铜线的减少。它还会考虑连接相同线路的通孔。

静态电压降分析让用户可以在图形化的电压降显示窗口查看结果, 或者查看被标记为消耗电流的任何器件引脚的电压降报告。用户还可以查看线路上任何一个点的相对和绝对电压降。

完整的设计和分析环境

PCB PI为电源分配系统的实际设计提供了一种独特的方法。它基于PCB设计平台进一步发展了该综合技术, 使得问题的调试简单到“点击即见”。点击波形图显示窗口中的波形图, 突出显示PCB上的相应区域, 并对解决该问题需要的电容器类型和数量提供建议。结果会显示在波形图窗口中。通过与分析环境结合的PCB设计编辑

器, 工程师可以在必要的地方选择和放置退藕电容, 然后立即看到效果。

设计锦囊 (deSign-in iP PortFolioS)

对于IC制造商来说, 快速量产取决于系统公司对新器件的快速采用。不过, 差异化的设计环境、复杂的I/O结构、以及多吉比特的高速码率的结合, 使得新器件仿真和实现到PCB系统中成为一个复杂而昂贵的过程。

来自Cadence和主要业界合作伙伴的创新设计锦囊协助解决了这些问题。使用Allegro PCB SI设计与分析环境中的技术, IC制造商可以帮助客户缩短他们在复杂硅片器件上的设计时间, 以提供高速芯片设计锦囊的方式为他们的设计指导提供一个可执行的版本。这些设计锦囊包含了随时可仿真的拓扑, 经过验证的模型、嵌入到实例PCB文件中布局约束, 实现约束驱动的布局流程、教程、文件、脚本和其他应用。设计锦囊让工程师只要用最少的设置时间就可以精确仿真PCB拓扑, 让他们比在设计锦囊协助的情况下快20倍获得精确的仿真结果。

Cadence用户可以从以下网址下载所有设计锦囊:

http://www.cadence.com/products/si_pk_bd/ic_design_in_dt.aspx

DDR2设计

一种设计系统级DDR2内存接口的方法，应用了来自Alter、Micron Technology和Cadence的IP。该方法表明DDR2设计锦囊也可以被应用到其它高速源同步信号设计中。

PCI EXPRESS设计

随着MGH串行接口变得越来越常见，很多系统公司正在选用下一代PCI总线——PCI Express。PCI Express设计锦囊提供了这种环境，在其中，芯片供应商可以分享他们使用PCI Express的芯片的设计需求。系统公司可以对芯片供应商的芯片性能与系统要求之间做出权衡。

特定的芯片组设计

•英特尔IXP2800网络处理器设计锦囊

欲知更多详情，请联系你的英特尔销售代表，并索取IXP2800网络处理器的硬件设计工具包(HDK)。

•XILINX VIRTEX II-PRO设计

欲知更多详情，请访问www.xilinx.com或者联系你的Xilinx或Cadence销售代表。

MENTOR BOARD STATION 流程

Allegro PCB SI可以与Mentor Board Station PCB设计系统搭配使用，在基于Mentor的PCB设计环境中提供高速设计与分析方案。Allegro PCB SI被用于执行高速分析，以及定义高速设计规则，用于驱动Allegro PCB布线器。一旦设计已经被按照高速规则进行布局和布线，其结果会被回传到Mentor Board Station环境中。这使得Allegro PCB SI和Allegro PCB Router被用于高速设计与分析，同时现有基于Board Station的制造输出过程被用于将设计交给制造厂商。

操作系统支持

Allegro平台技术：

- Sun Solaris
- Linux
- IBM AIX
- Windows

OrCAD技术：

- Windows

CADENCE服务与支持

- Cadence应用支持工程师会通过电话、电子邮件或互联网回答你的技术问题，他们还可以提供技术援助和定制培训。
- Cadence指定的讲师提供70多门课程，将他们的现实经验带到教室中。
- 超过25个“互联网学习系列”(iLS)在线课程给予你培训的灵活性，让你可以在自己的电脑上通过互联网进行学习。
- SourceLink®在线客户支持全天候为您的技术问题提供解答，包括最新推出的软件、产品变更信息发布、技术文献、解决方案、软件更新等。

ALLEGRO PCB SI产品主要功能特色总结

PCB SI产品对比表格 (OrCAD、Allegro L/XL/GXL)	OrCAD Signal Explorer	PCB SI Allegro L	PCB Allegro XL	PCB SI Allegro GXL
宏建模支持(DML)	•	•	•	•
IBIS 4.2支持	•	•	•	•
IBIS ICM模型支持	•	•	•	•
Spectre-to-DML	•	•	•	•
HSPICE-to-IBIS	•	•	•	•
图形化拓扑编辑器	•	•	•	•
有损传输线	•	•	•	•
耦合(3线路)仿真	•	•	•	•
差分对仿真	•	•	•	•
客户化激励		•	•	•
拓扑添加		•	•	•
生成串扰预分析表格		•	•	•
详尽的仿真报告		•	•	•
耦合(>3线路) 仿真		•	•	•
Allegro Physical Viewer Plus		•	•	•
从Allegro PCB Editor进行差分对提取		•	•	•
从Allegro Design Entry HDL进行差分对提取		•	•	•
电流探头		•	•	•
拓扑中的多端口黑匣子模型支持		•	•	•
客户化测量		•	•	•
从Allegro PCB Editor进行后仿真和串扰仿真		•	•	•
HSPICE接口		SI Performance	•	•
差分信号约束输入		SI Performance	•	•
Comprehensive仿真		SI Performance	•	•
参数扫描仿真		SI Performance	•	•
建立约束与拓扑输入		SI Performance	•	•
宽带过孔解析解模型		SI Performance	•	•
拓扑应用		Design Planner	•	•
约束驱动的规划与布局		Design Planner	•	•
Allegro约束管理器		Design Planner	•	•
实时错误检查		Design Planner	•	•
Spectre晶体管级模型支持			•	•
源同步总线分析			•	•
批量仿真			•	•
EMControl: 规则开发			•	•
EMControl: 规则检查			•	•
EMI差模仿真			•	•
规则约束驱动布线			•	•
Allegro PCB Router XL			•	•
静态电压降分析			•	•
同步开关噪声(SSN)分析			•	•
S参数DC参数外推		S-Parameters	S-Parameters	•
从叠层结构生成S参数		S-Parameters	S-Parameters	•
在SigWave中显示S参数波形		S-Parameters	S-Parameters	•
S参数的时域仿真		S-Parameters	S-Parameters	•
模型完整性中的S参数库管理		S-Parameters	S-Parameters	•

ALLEGRO PCB SI产品主要功能特色总结

PCB SI产品对比表格 (OrCAD、Allegro L/XL/GXL)	OrCAD Signal Explorer	PCB SI Allegro L	PCB Allegro XL	PCB SI Allegro GXL
前仿真分析中耦合过孔模型生成		S-Parameters	S-Parameters	•
大容量通道仿真分析		Serial Link	Serial Link	•
最优预加重比特配置 (“tap 设置”)		Serial Link	Serial Link	•
BER预测		Serial Link	Serial Link	•
Bathtub曲线		Serial Link	Serial Link	•
通道兼容性——统计分析		Serial Link	Serial Link	•
MGH后仿真拓扑提取				•
时域电压纹波分析		PI Option	PI Option	PI Option
传输阻抗计算		PI Option	PI Option	PI Option
退藕电容选择与放置		PI Option	PI Option	PI Option
VRM编辑		PI Option	PI Option	PI Option
退藕电容库编辑		PI Option	PI Option	PI Option
仿真波形结果和PCB设计图之间的交互		PI Option	PI Option	PI Option
频域分析		PI Option	PI Option	PI Option
IC电流变化配置信息		PI Option	PI Option	PI Option
封装模型与封装电感		PI Option	PI Option	PI Option

注:

SI Performance: Allegro PCB SI Performance Option

S-Parameters: Allegro PCB SI S-Parameters Option

Serial Link: Allegro PCB SI Serial Link Option

PI Option: Allegro PCB PI Option

Design Planner: Allegro PCB Design Planner Option

For more information,
contact Cadence sales at:
+1.408.943.1234
or log on to:
[www.cadence.com/
contact_us](http://www.cadence.com/contact_us)



cādence™

Cadence 设计系统公司

公司总部:

加州圣荷塞 95134, Seely大道 2655号

电话: +1.800.746.6223 (美国)

+1.408.943.1234 (美国之外)

传真: +1.408.943.5001

网址: www.cadence.com

2007Cadece 设计系统公司。保留所有权。Cadence, Allegro, SourceLink, Spectre以及Verilog是注册商标, 并且Cadence标识是Cadence设计系统公司的注册商标。所有其他财产归各自拥有者。

