

应用手册 AN-1087

IR1167智能同步整流控制器

Maurizio Salato , Adnaan Lokhandwala , Marco Soldano

目录

IR1167 简介

智能整流 (SmartRectifier™) 概念

反激电路断续模式和连续模式分析

谐振桥式电路分析

典型线路和无源元件命名

设计实例

PCB 布线指南

符号表

IR1167简介

IR1167 是一片智能同步整流芯片，用于反激型电源中次级电路 N 沟道开关管同步整流的控制，IR1167 可以控制一个或多个并联的整流开关管，从而取代肖特基二级管。

该芯片的工作机理是通过检测整流开关管的漏源电压，选择合适时机，让同步整流开关管开通和关断。以下是管脚定义。

引脚分布		引脚号	符号	描述
1	VCC	1	VCC	供电电压
2	OVT	2	OVT	偏置电压调整
3	MOT	3	MOT	最小导通时间
4	EN	4	EN	使能端
	IR1167S			
	VGATE	8	GATE	栅极驱动输出
	GND	7	GND	地
	VS	6	VS	FET源极检测
	VD	5	VD	FET漏极检测

图 1: IR1167 智能整流 (SmartRectifier™) 芯片管脚定义

智能整流(SmartRectifier™) 概念

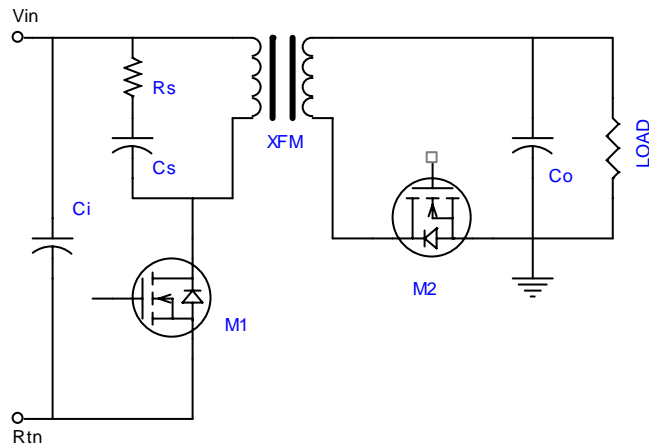


图 2: 典型反激型电源电路

如图2所示，当初级电路开关M1关断，因为M2尚未开通，次级电路中的电流通过M2的寄生二极管(这类似于利用整流二极管整流的情况)。

智能整流控制技术的关键是检测整流开关管源极到漏极的电压，通过比较两个电平阈值决定何时开通和关断同步整流开关。当 $-V_{DS}$ 上升到 V_{TH2} 时开通开关管，当 $-V_{DS}$ 下降到 V_{TH1} 时关断开关管，当 V_{DS} 达到 V_{TH3} 时IR1167复位。

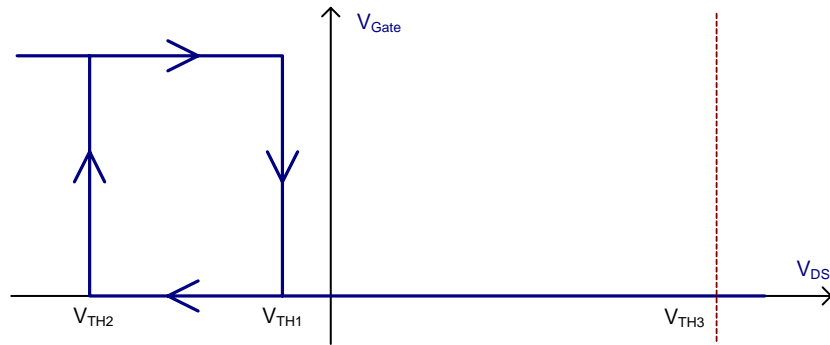


图 3: IR1167 智能整流 (SmartRectifier™) 的三个电压阈值。

开关管导通后源极到漏极电压下降到 $R_{DSon} \cdot I_D$ ，而且此时变压器漏感和初级开关管输出电容之间会产生寄生震荡，导致整流开关管上有电压振铃而会令 V_{DS} 电平下降到 V_{TH1} ，可能导致误关断。所以 IR1167 芯片内部采用专用逻辑电路（MOT 和 t_{blank} ）防止抖动引起的误关断和导通，这将在后文中详细介绍。

反激型电源断续及连续操作模式分析

可以根据不同的模式（断续、连续和临界）设定 IR1167 参数，控制同步整流开关管，以仿效二极管整流在不同模式下所起的效果。通过漏极到源极的电压检测流过开关管的电流，与如图 3 所示 3 个阈值电平相比较，在连续模式 (CCM)，断续模式 (DCM) 和 临界模式 (CrCM) 采取相应的动作。

开通同步整流开关管在几种模式中都是相同的，主要区别在于关断同步整流开关管的时刻。详细分析如下：

➤ 开通过程

初级开关关断后，电流转移到次级的同步整流开关管的寄生二极管（此时开关管尚未开通），这将产生一个较高的负向 V_{DS} 电压（远高于因电流流过导通电阻产生的压降）。此负向电压将会达到 IR1167 开通比较电平阈值 V_{TH2} ，使同步整流开关管开通，电流流过开关管导通沟道， V_{DS} 压降下降。伴随这个压降下降过程的是一些电压抖动，这可能使得开关管 $-V_{DS}$ 下降到 V_{TH1} 使开关管再次关断，所以，IR1167 芯片加入最小导通时间来防止误关断。这个最小导通时间可通过一个外部电阻设定。

同时，这个可编程的最小导通时间（MOT）限制了次级最小占空比，相当于限制了初级的最大占空比。

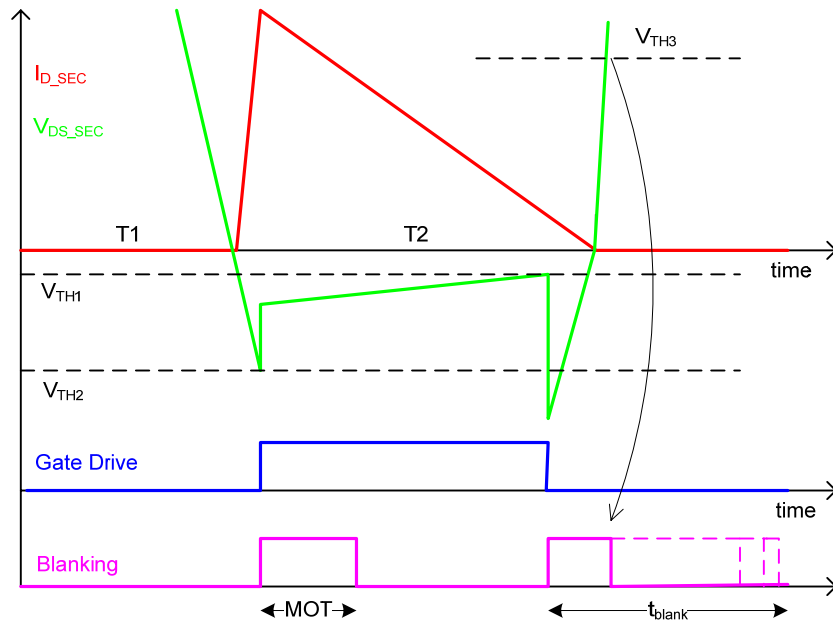


图 4: 断续模式下的MOT 和 t_{BLANK} 。

MOT 和消隐时间 (如图 4 的 t_{blank}) 在一个开关周期都只出现一次。当 V_{DS} 达到 V_{TH3} 后 (初级开关导通), IR1167 复位,为下一个开关周期做好准备。

➤ 断续/临界模式关断过程

同步整流开关管开通后,由于整流过程中电流逐渐减小, V_{DS} 的绝对值也会减小,当它减小到 V_{TH1} 时,开关管关断。不同的模式,关断的情况有所不同。

在断续模式下,关断时的 $\frac{dI}{dt}$ 相对而言很低。一旦达到关断条件 ($-V_{DS}$ 减小到关断阈值 V_{TH1}),残余的电流转到寄生二极管, $-V_{DS}$ 上升, $-V_{DS}$ 可能会达到 V_{TH2} ,这会导致误开通。所以在关断开关管后,IR1167 内部设置了消隐时间 t_{blank} (如图 4 所示),保证在关断后的消隐时间内不做动作。当 V_{DS} 达到 V_{TH3} 后,消隐时间结束,IR1167 复位,为下一个开关周期做好准备。

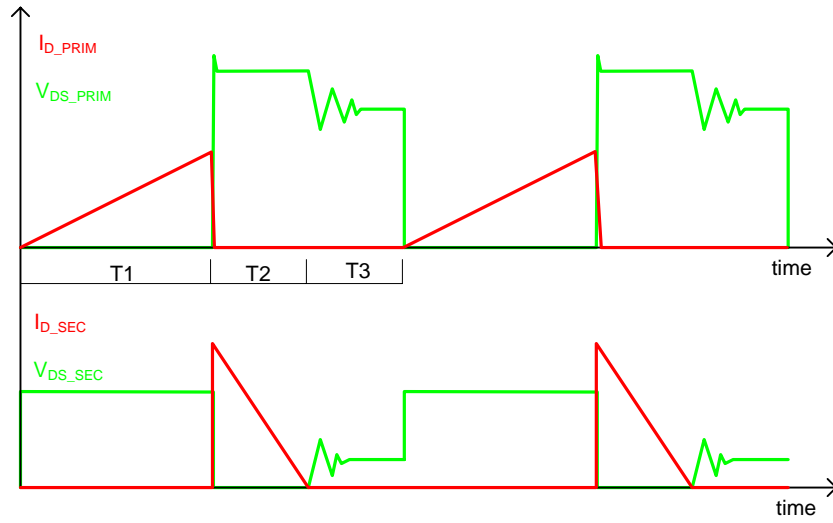


图 5: 断续模式波形示意

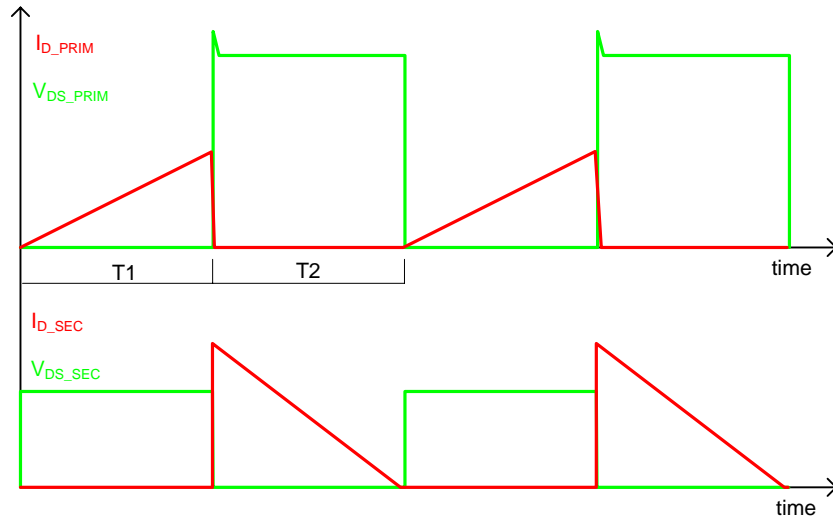


图 6: 临界模式波形示意

➤ 连续模式关断过程

整流过程中电流逐渐减小， $-V_{DS}$ 也会随之减小。当初级开关再次开通，通过次级同步整流开关管的电流会迅速减小，使 $-V_{DS}$ 减小至 V_{TH1} ，整流开关管关断。与另两种模式所不同的是，在连续模式下，会有剩余电流从次级转移到初级。所以，

关断时机在连续模式中更为重要以避免初级和次级同时导通。同时，准确的关断有利于减小开关损耗。

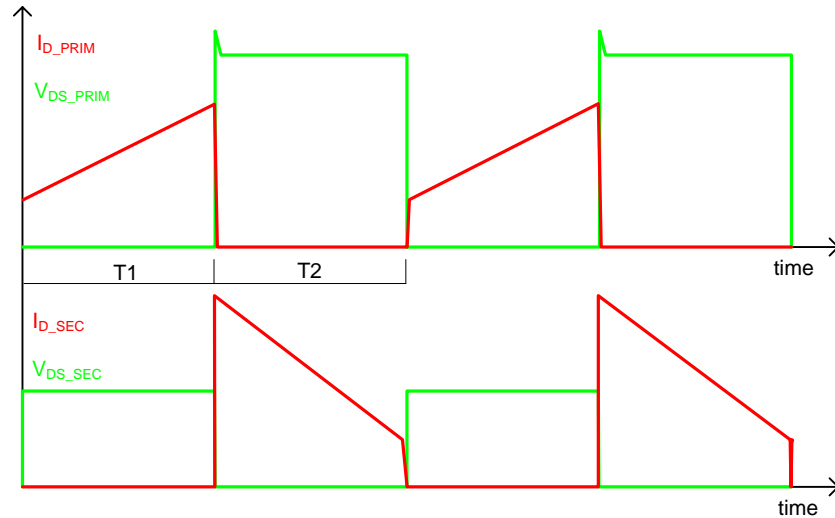


图 7: 连续模式波形示意

谐振桥式电路分析

图 8 所示为典型谐振桥式电路次级线路。用分立元件实现同步整流需要两个电流传感器，两个高速比较器和两个大电流、低延时的驱动器。现有的单芯片同步整流是基于锁相环技术的，从初级取信号同步控制次级整流开关管。这种方法的缺点是不能保证在间隔模式（轻载或空载时发生）下可靠操作。智能整流（SmartRectifier™）技术相对这两种方法有明显的优势，它检测的是次级开关管电压，完全不依赖初级信号，并且没有类似分立方法（变压器传感）响应过慢的缺点，非常适合桥式谐振电路。波形示意如图 9。

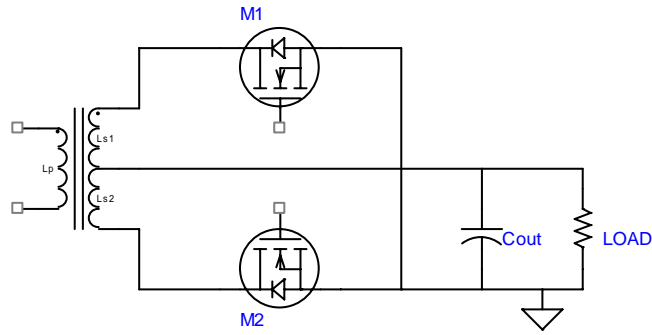


图 8: 谐振桥式电路次级整流示意。

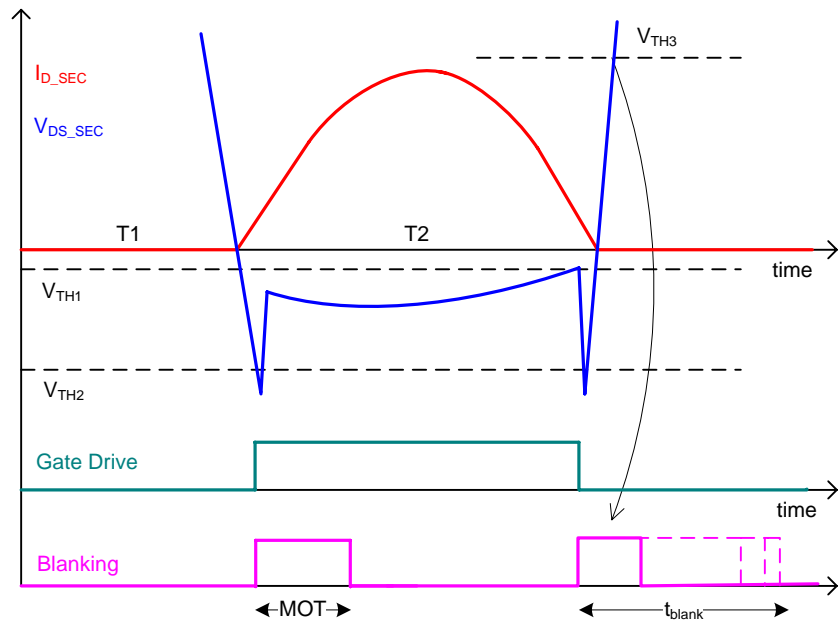


图 9: 谐振桥式线路中使用IR1167控制整流所产生的波形。

在谐振桥式线路中，输出电压调整可以通过定频变占空比和变频定占空比（50%）两种方式。若为变频定占空比，最小频率会出现在最低交流电压、满负载的情况下，而最大频率会出现在最高交流电压、空载的情况下。

因此，在谐振桥式设计中选择 MOT 必须参考最大开关频率。MOT 的选取须保证在最轻载情况（同步整流开关管开通时间最短）下可以正常工作。

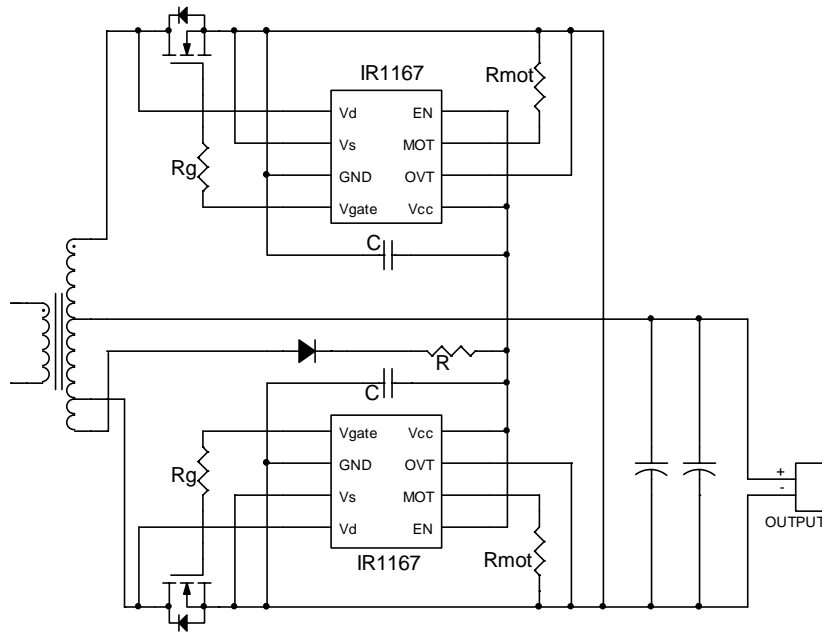


图 13: 中心抽头低侧整流 (半桥或全桥), 辅助绕组供电 ($V_{\text{output}} < 6V$)。

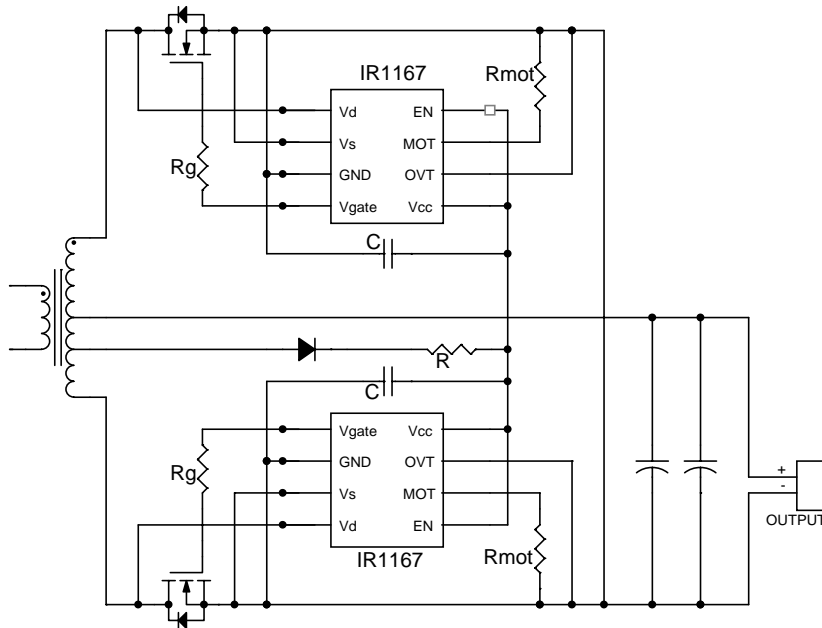


图 14: 中心抽头低侧整流 (半桥或全桥), 绕组抽头供电 ($6V < V_{\text{output}} < 10V$)。

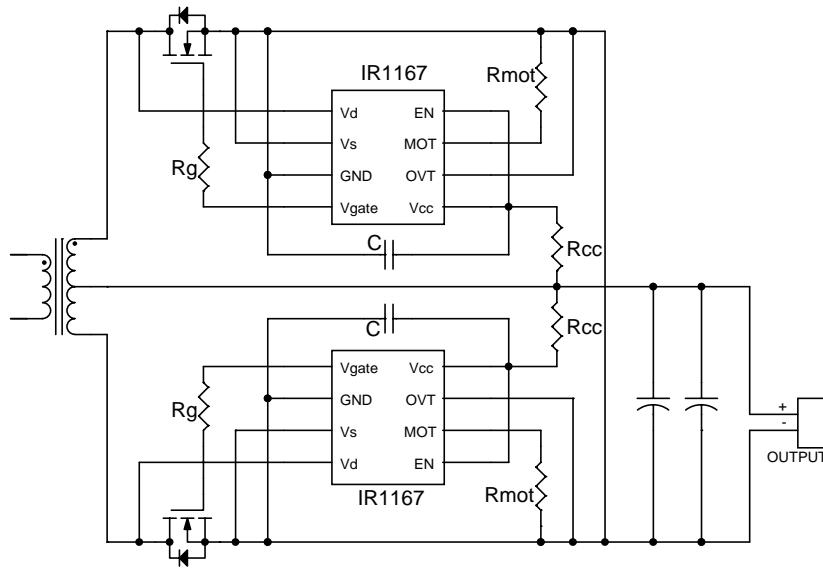


图 15: 中心抽头低侧整流 (半桥或全桥), 输出电压直接供电($V_{output} = 12-20V$)。

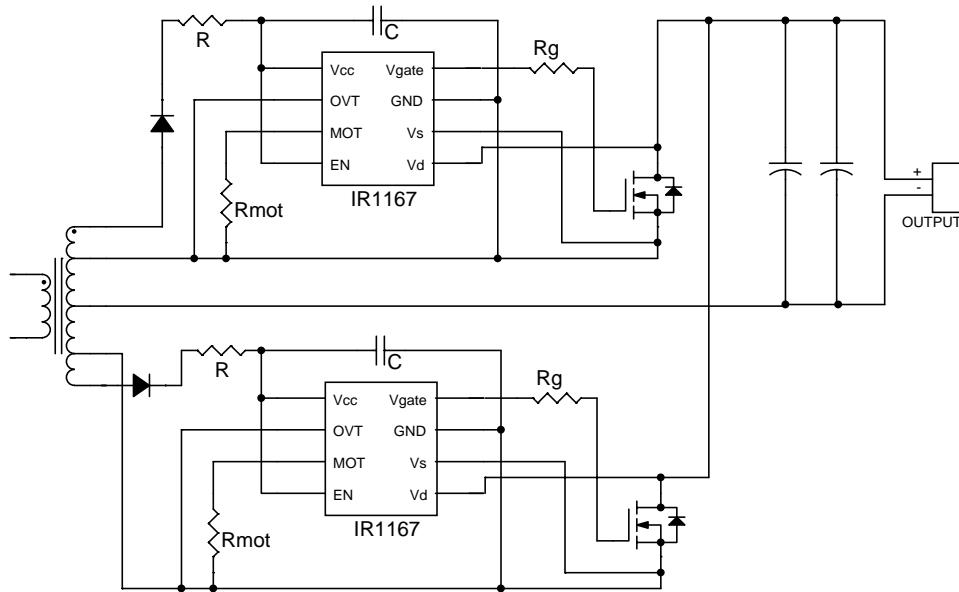


图 16: 中心抽头高侧整流 (半桥或全桥), 辅助绕组供电(任何输出电压)。

系统参数

以下为设计必须参数

1. 最大开关频率 $f_{SW_{max}}$ 及最小开关频率 $f_{SW_{min}}$
2. 次级最小导通时间，在智能整流技术(SmartRectifier™)中简称 *MOT*
3. 工作模式: 连续模式(CCM)，断续模式(DCM) 或临界模式(CrCM)
4. 最大环境温度， $T_{IC_{amb}}$ (通常是印刷电路板最高温度)
5. 系统可为芯片提供的供电电源 V_{supply} 。可以取自输出电压（低侧整流），也可以通过副边变压器加辅助绕组或副边变压器抽头获取。

➤ 计算最小导通时间 (*MOT*)

为了计算最小导通时间，需要获取以下参数。先用示波器探头监测次级整流波形，调整触发电平以便于放大次级导通时的局部波形；调整输入交流电压、负载条件，直到最小占空比波形出现；接下去，利用示波器测量档显示导通脉宽的统计学数据（如示波器有此功能）。最终目标是捕获在各种电路工作条件下可能出现的最小占空比波形。

图 17 是一个最小占空比波形捕获实例

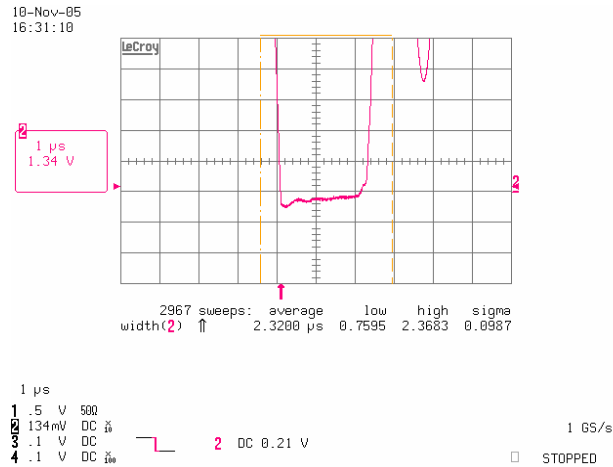


图 17: 次级最小导通时间

注意示波器统计功能所示的最小值很可能不是所需的。有很多原因 (触发问题, 测量问题等等) 可能引起这种最小值。本例中, 推荐使用统计学的数据来获取最小值。平均值减去 6 sigma 值即最小可能值 (有 3ppm 的概率小于此值), 本例计算如下:

$$MOT = 2.32 - 6 \cdot 0.0987 = 1.73 \mu s$$

➤ 最大开关频率

最大开关频率和 MOT 的计算相似, 改变输入交流和负载, 同样应用统计方法, 可以得到最大工作频率。

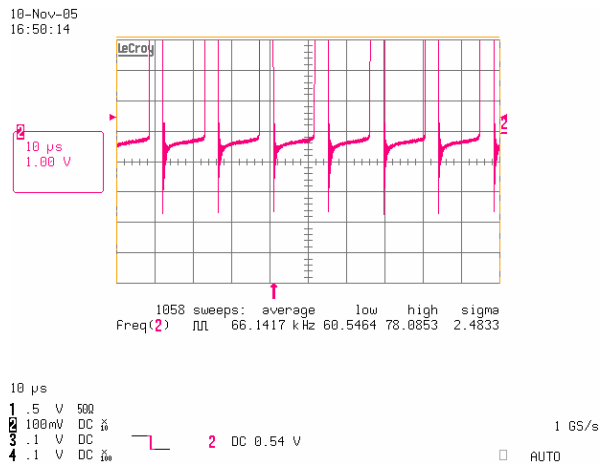


图 18: 最大开关频率

不能直接从示波器上读取最大频率，因为这有可能读到并非开关频率的一些周期信号，这和上例读取 MOT 类似。推荐用平均值加上 3 sigma 作为结果，计算如下：

$$f_{SW_{max}} = 66.14 + 3 \cdot 2.48 = 73.6 \text{ kHz}$$

➤ 工作模式

全范围改变交流输入和负载，可以看到电源工作在哪种模式。

设计要点

以下计算是假定同步整流开关管和上文的几个系统参数都已经获取的情况。

a. OVT 设置

表 1 如何针对不同的工作模式选择 OVT 脚的连接。

工作模式	OVT 连接
断续模式或临界模式	接地， $V_{TH1} = -3.5mV$
临界连续模式	浮地， $V_{TH1} = -10.5mV$
连续模式	V_{CC} ， $V_{TH1} = -19mV$

表 1: 在不同模式下的OVT 设置及对应的 V_{TH1} 阈值

上图表是基于不同的模式设定 OVT 脚，以使不同的模式有各自相应的时机关断开关管。在断续和临界模式下， V_{TH1} 最好是足够小，使得通过开关管导通沟道整流的时间尽量长，降低功耗。

在连续模式下，因为次级关断后初级立刻开通，关断后整流开关管反向电压会迅速升高，这就要求整流开关管尽快关断。选择较大的（指绝对值）偏置电压 V_{TH1} 有助于提早检测到电流关断的趋势而防止产生反向电流。优化设计的系统会使得 V_{TH1} 很接近须要关断开关管时的 V_{DS} 值，如图 19 所示。

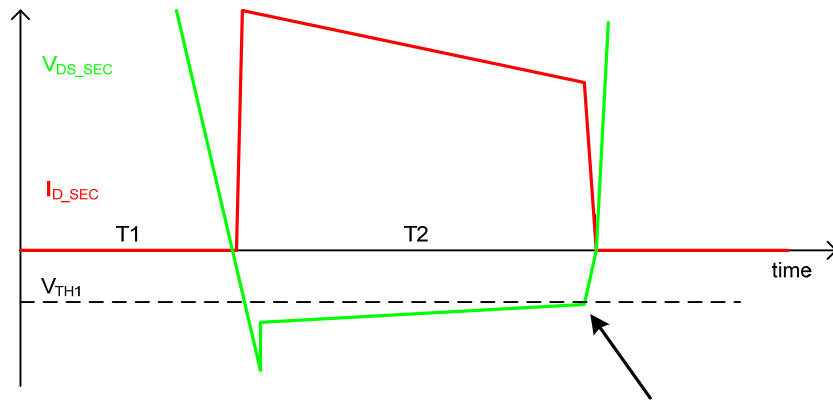


图 19: 按照连续模式设定OVT时的关断情况

在本文末还有关于连续模式设计的更多内容。

临界连续模式指电源只有在极端的情况下（如在最低输入电压且满载时）才进入连续模式，而正常工作于不连续模式，则 OVT 悬空使得 $V_{TH1} = -10.5mV$ 是折衷值。

b. IR1167芯片消耗电流计算

首先须要知道同步整流开关管的门极总电荷 Q_g 、门极到漏极电荷 Q_{gd} 以及对应的门极电压 V_{gs} 。因为 IR1167 是使整流开关管的体二极管先通过电流，再打开开关管。开关管打开前漏源电压已经降低，所以开通电荷不包括密勒电荷。图 20 中黑实线为常规的开关开通时门极特性曲线，红虚线所示为应用 IR1167 时开关开通的情况。前者所需开通电荷为 Q_g ，后者所需的开通电荷为 $Q_g - Q_{gd}$

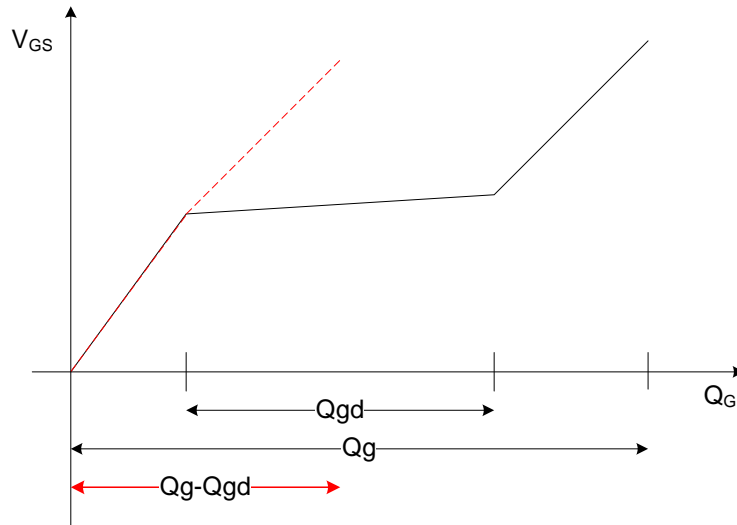


图 20: 用IR1167驱动时开关管的门极特性

在这种情况下门极等效电容为:

$$C_{sync} = \frac{Q_g - Q_{gd}}{V_{gs}}$$

若有更多的开关管并联，总容值应乘以并联的数目。

1167 芯片所需最大电流计算如下:

$$I_{CC} = f_{SW_{max}} C_{sync} V_{g_{high}} + (I_{OCC} + 7 \cdot 10^{-9} f_{SW_{max}})$$

其中 $V_{g_{high}}$ 是 IR1167 门极输出电压， $f_{SW_{max}}$ 是上文确定的最大开关频率。式中第一项为门极驱动所需电流，第二项是芯片静态电流加上内部逻辑消耗电流（正比于开关频率，系数为 $7 \cdot 10^{-9}$ ）。

注意此项和 V_{CC} 电压无关。

c. 门极电阻、电源串联电阻和热分析

IR1167 控制 V_{DS} 在接近零的时候开通或关断同步整流开关管。因 V_{DS} 接近零，故门极电阻在此设计中不是限制开关速度，而是基于减小驱动环路震荡来取值。优化的门极驱动环路必须避免震荡的出现。假定整个门极环路的电感值已知 (1nH/mm)，所需的最小门极电阻计算如下：

$$R_{g_{loop}} > 2\sqrt{\frac{L_g}{C_{iss}}}$$

C_{iss} 开关管输入电容 (可在开关管规格书上查到)。

图 21 所示为几种通用的 IR 公司的同步整流开关管在不同的门极环路电感值所需门极电阻。

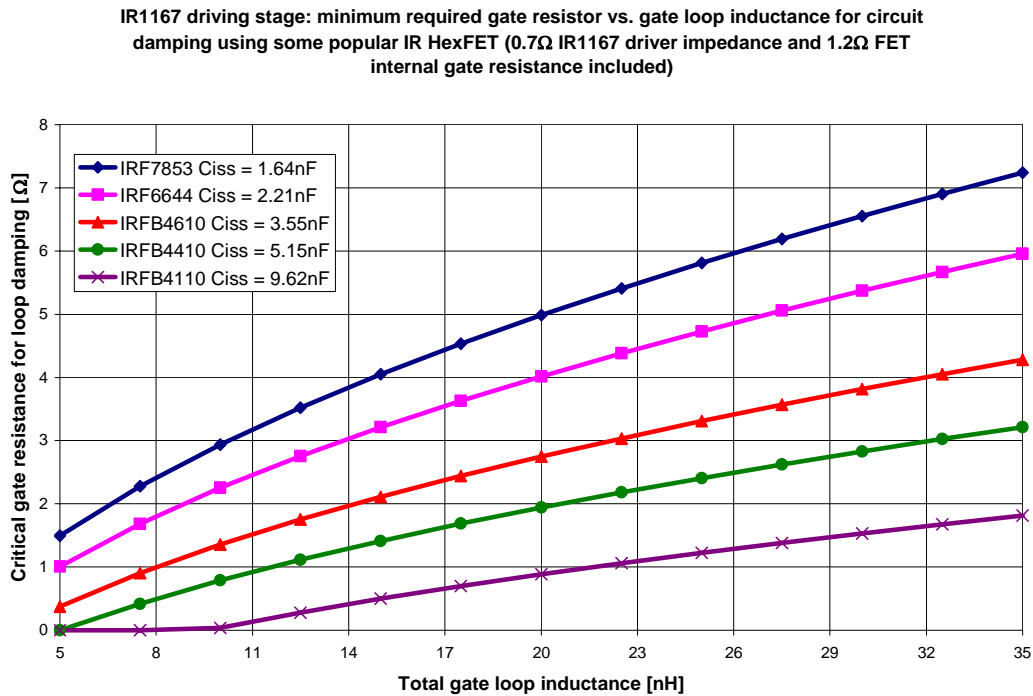


图 21: 最小外加门极电阻 vs. 不同开关管的门极环路电感

好的走线可以减小所需的门极电阻。

首先，引入阻容串联瞬态理论：门极电阻消耗的能量正好等于门极电容中储存的能量。IR1167 内部驱动电路和外部门极电阻串联，这意味着驱动输出电阻和外部门极电阻按比例分担了损耗。

计算开关管门极储存的能量:

$$E_g = \frac{1}{2} C_{sync} V_{g_{high}}^2$$

驱动总功耗包括开通和关断时外部门极电阻及内部驱动电路的功耗:

$$P_{dr} = 2 f_{SW_{max}} E_g$$

门极电阻功耗为 (包括开通和关断两部分) :

$$P_{R_g} = \left(\frac{R_g}{R_g + R_{Source}} + \frac{R_g}{R_g + R_{Sink}} \right) \cdot \frac{P_{dr}}{2}$$

公式重写为:

$$\frac{P_{R_g}}{P_{dr}} = \frac{1}{2} \left(\frac{R_g}{R_g + R_{Source}} + \frac{R_g}{R_g + R_{Sink}} \right)$$

含未知项 R_g (包括外部门极电阻和开关管门极阻抗), 上式表达了不同的 R_g 导致外部门极电阻功耗占整个开关门极损耗的比例。根据 IR1167S 产品规格书, 上拉和下拉电阻如下定义: $R_{Sink} = r_{down}$, $R_{Source} = 1.1 r_{up}$ (1.1 的系数计入了电压钳位所需能量)

IR1167 driving stage: percentage of the required driving power P_{dr} dissipated in the gate resistor as a function of the gate resistor value

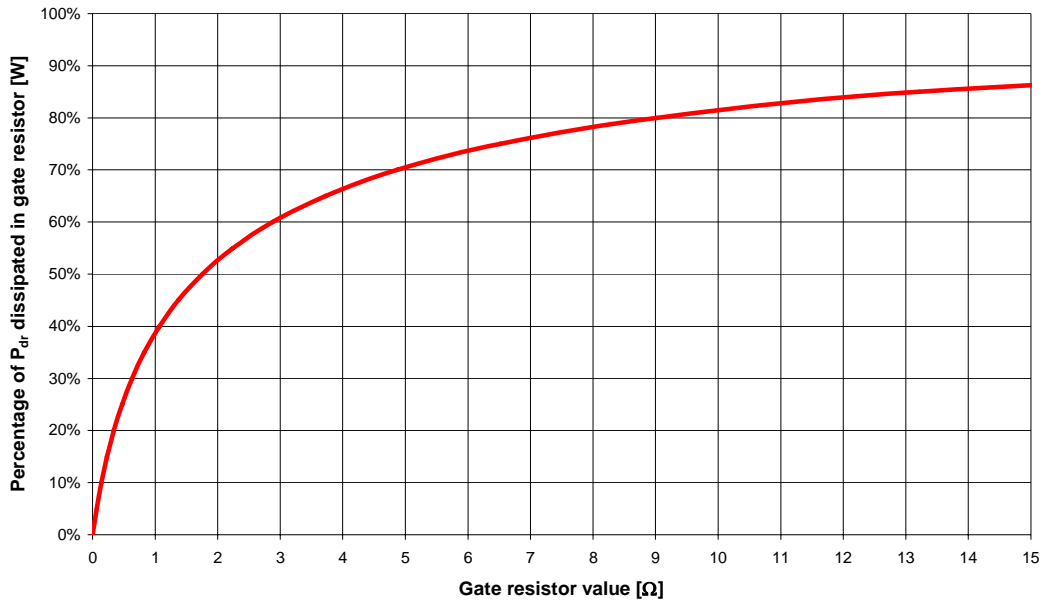


图 22:不同的门极电阻值对应的门极电阻功耗占驱动总功耗比例。

门极电阻越小，占总驱动功耗比例越小；反之越大。

接下去是通过芯片热阻（结到环境）、最大环境温度（指 IC 工作的环境温度，如机箱，PCB 等）和芯片允许的最大结温来计算芯片可接受的最大功耗。计算如下：

$$P_{IC_{max}} = \frac{T_{J_{max}} - T_{IC_{amb}}}{R_{\theta JA}}$$

$R_{\theta JA}=128^{\circ}\text{C}/\text{W}$ 。

已知 $P_{IC_{max}}$ 、 P_{Rg} 及 I_{CC} ，根据下式可算出芯片允许最大供电电压 V_{CC} (即芯片最大输入功率)

$$V_{CC_{max}} = \frac{P_{IC_{max}} + P_{Rg}}{I_{CC}}$$

图 23 所示为 IR1167A 最大允许 V_{CC} 和一系列 IR 100V 整流开关管的最大开关频率的关系 (假定 1Ω 外部门极电阻和 85°C 环境温度)。

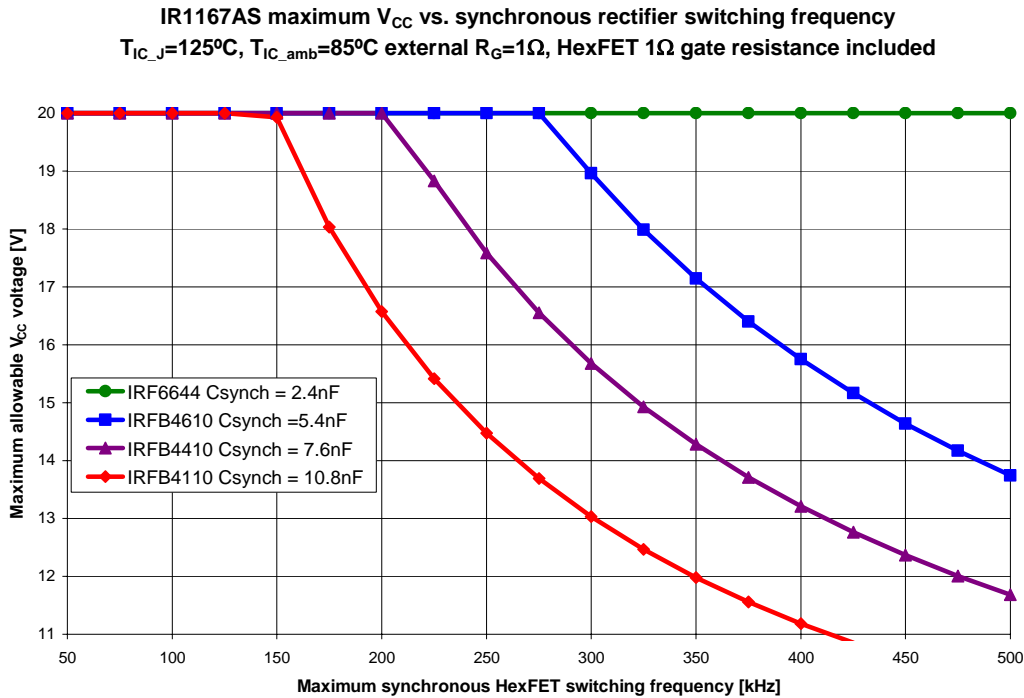


图 23: 一系列开关管不同的开关频率对应的最大 V_{CC} (IR1167AS IC $\Delta T_J=40^\circ\text{C}$)

为防止欠压保护误动作，应避免 V_{CC} 工作在 12V 以下。

很显然，要驱动较大的开关管在高频段工作， V_{CC} 的最高电压范围将受到限制。而改变外部门极电阻可以调整 IC 功耗而适当地改善 V_{CC} 供电电压范围。在大部分实例中，用于减小门极环路震荡而采用的最小的门极电阻通常会满足热设计的要求。若非如此，须要采用以下两种的设计方法。

一、 利用串联供电电阻降低 V_{CC} 至可能的最小值:

$$R_{CC} = \frac{V_{supply} - V_{CC}}{I_{CC}}$$

如果减小的 V_{CC} 满足以上热的计算，可以不改变门极电阻。

在供电上加入串联电阻另外的好处是在去耦电容后加入了滤波的效果。对于从输出直接取电的系统而言 (不同于额外加入绕组取电等情况), 这样做会得到更好的 V_{CC} 供电。

二、如图 22, 如应用的是一个较小的门极电阻, 可以增加门极电阻值。

d. 去耦电容设计

去耦电容计算有多种方法, 图 24 所示为电容选取指南。

在输出直接供电和利用辅助绕组供电两种情况下, 去耦电容的计算有所不同。

在输出直接供电的情况下, 去耦电容的目的是减小电压纹波及噪音, 它和供电串联电阻一起构成了具有一个极点的低通滤波器, 此极点频率应小于最小开关频率 (指非待机状态)。计算如下:

$$C_{\min} = \frac{2}{\pi \cdot f_{SW_{\min}} \cdot R_{CC}}$$

图 24 所示为选取不同的 R_{CC} 在不同的系统最小频率下所需选取的最小电容值。任何情况下, 推荐使用大于 100nF 的电容。

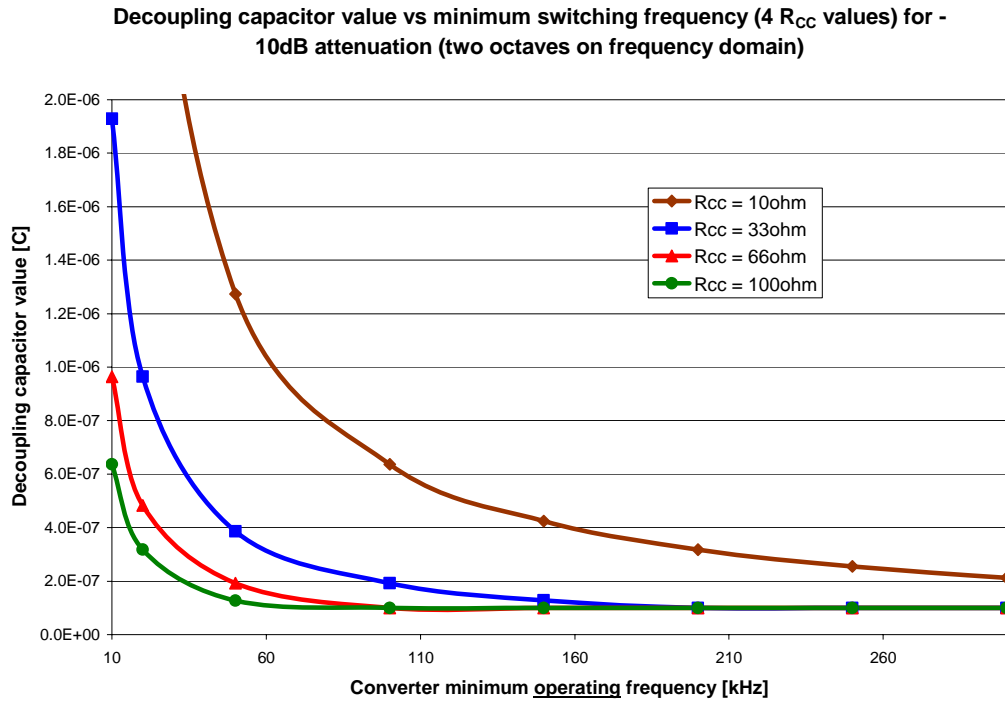


图 24: 去耦电容值和最小开关频率的关系(噪音衰减10dB)

在使用辅助绕组或绕组抽头的情况下，去耦电容还起到存储电荷的作用，其大小应保证在最小开关频率下供电电压的纹波在 ΔV_{CC} 以内

$$C_{\min} = \frac{I_{CC}}{f_{SW_{\min}} \cdot \Delta V_{CC}}$$

e. MOT 电阻设定

根据以下公式设置 MOT 电阻：

$$R_{MOT} = 2.5 \cdot 10^{10} t_{MOT}$$

f. 连续模式整流管关断时最大电流变化率

电路工作在连续模式下，必须控制整流管关断时的电流变化率 $\frac{dI_{SEC}}{dt}_{turnoff}$ 从而提升效率。图 25 所示为次级整流管关断过程波形：

- t_1 : 初级开关开通
- t_2 : 次级 $-V_{DS}$ 值降低到 V_{TH1}
- t_3 : 次级 $-V_{DS}$ 和 I_D 达到零

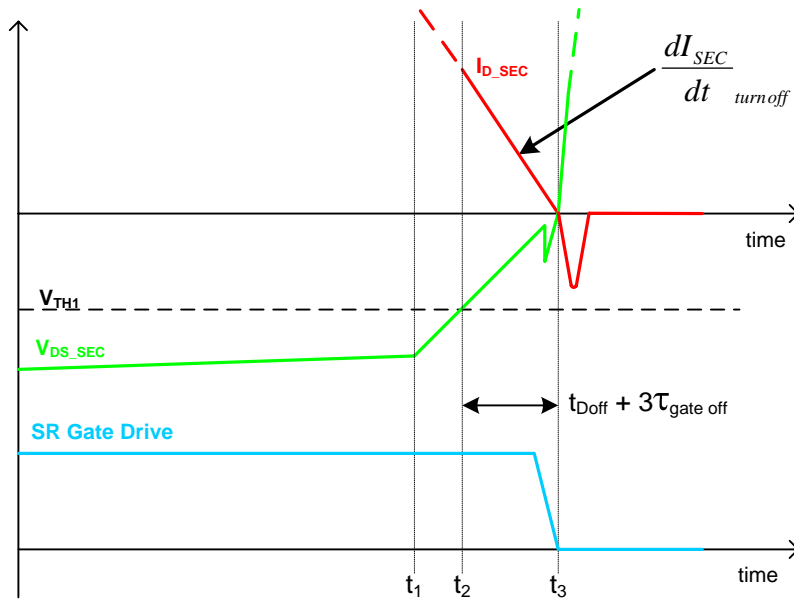


图 25: 连续模式关断波形。

显然，在电流到零时是关断整流开关管的最佳时机。考虑到 IR1167 内部逻辑延时（规格书中所示 t_{Doff} ）和门极完全放电时间（门极回路时间常数的三倍， $\tau_{gate\ off} = (R_{g\ FET} + R_g + r_{down}) \cdot C_{sync}$ ，式中三个阻值分别为开关管门极阻抗、外部门极阻抗和驱动下拉阻抗），应提前给出关断信号。时间常数通常在 55ns 到 100ns 之间。为此，按照 $\frac{dV_{DS}}{dt}$ ，可以选取 V_{TH1} 。

据以上分析，次级整流管关断时电流变化率遵循以下公式：

$$\frac{dI_{SEC}}{dt}_{turnoff} \leq \frac{V_{TH1}}{R_{DS\ on}(t_{Doff} + 3\tau_{gate\ off})}$$

初级开通时最大电流变化率可以通过变压器匝比关系确定:

$$\frac{dI_{PRI}}{dt}_{turnon} = \frac{N_{SEC}}{N_{PRI}} \cdot \frac{dI_{SEC}}{dt}_{turnoff}$$

为达到此要求，可采用在初级变压器上串联一个小的饱和电感的办法，或者采用开关相对缓慢的初级开关管。

如满足以上各条件，通过同步整流开关管的反向电流将会降到最小，仅仅是给开关管输出电容充电至关断时电压所需电流。

IR1167AS (10.7V 输出电压)设计实例

初始条件:

- $f_{SW_{max}} = 250kHz$
- $MOT = 1.2\mu s$
- 临界模式
- $f_{SW_{min}} = 18kHz$
- $T_{IC_{amb}} = 80^{\circ}C$
- 低端整流，19V输出电压 (输出直接提供供电电压)

同步整流开关管: IRFB4110，100V 4.5mΩ

- $Q_g = 150nC @ V_{gs} = 10V$
- $Q_{gd} = 43nC @ V_{gs} = 10V$
- $C_{iss} = 9.62nF ; R_{g_{FET}} = 1.3\Omega$

a. OVT 设定: 接地

b. IC 电流计算

$$C_{sync} = \frac{Q_g - Q_{gd}}{V_{gs}} = 10.7nF$$

$$I_{CC} = f_{SW_{max}} C_{sync} V_{g_{high}} + (I_{QCC} + 7 \cdot 10^{-9} f_{SW_{max}}) = 32.8mA$$

c. 门极串联电阻计算及热分析

假设门极环路总长 15mm，则感抗 $L_g \approx 15nH$

$$R_{g_{loop}} > 2 \sqrt{\frac{L_g}{C_{iss}}} = 2.5\Omega$$

按开关管规格书开关管门极内部电阻为 1.3Ω ，按 IR1167S 规格书下拉电阻为 0.7Ω ，总共 2Ω 。则须加的外部门极电阻为：

$$R_g = 0.5\Omega$$

按前文分析，门极驱动总功耗为：

$$P_{dr} = 2 f_{SW_{max}} E_g = 306mW$$

则

$$P_{R_g} + P_{R_{g_FET}} = \left(\frac{R_g + R_{g_{FET}}}{R_g + R_{g_{FET}} + R_{Source}} + \frac{R_g + R_{g_{FET}}}{R_g + R_{g_{FET}} + R_{Sink}} \right) \cdot \frac{P_{dr}}{2} = 155mW$$

假定芯片最高允许结温为 $130^\circ C$

$$P_{IC_{max}} = \frac{T_{J_{max}} - T_{IC_{amb}}}{R_{\theta JA}} = 390mW$$

则允许的最高芯片供电电压为

$$V_{CC_{max}} = \frac{P_{IC_{max}} + (P_{R_g} + P_{R_{g-FET}})}{I_{CC}} = 16.6V$$

此值远低于实际供电的 19V，这样串联供电电阻可能会承担过多功耗。根据图 22，可以适当增大门极电阻，从而使最高芯片供电电压稍微提高。假定做以下调整：

$$R_g = 1.1\Omega$$

则

$$P_{R_g} + P_{R_{g-FET}} = \left(\frac{R_g + R_{g_{FET}}}{R_g + R_{g_{FET}} + R_{Source}} + \frac{R_g + R_{g_{FET}}}{R_g + R_{g_{FET}} + R_{Sink}} \right) \cdot \frac{P_{dr}}{2} = 172mW$$

最高芯片供电电压变为：

$$V_{CC_{max}} = \frac{P_{IC_{max}} + (P_{R_g} + P_{R_{g-FET}})}{I_{CC}} = 17.2V$$

则所需供电串联电阻为（使 19V 降为 17.2V，芯片消耗最大电流为 32.8mA）：

$$R_{CC} = (19 - 17.2)V / 32.8mA = 55\Omega$$

此电阻功耗为 60mW，是可以接受的。

d. 去耦电容

从输出供电，故考虑滤波

$$C_{\min} = \frac{2}{\pi \cdot f_{SW_{\min}} \cdot R_{CC}} = 643nF$$

选最接近的标准值

$$C = 660nF$$

e. MOT电阻

$$R_{MOT} = 2.5 \cdot 10^{10} t_{MOT} = 30k\Omega$$

PCB布线指南和实例

➤ 芯片放置

因芯片须检测同步整流开关管漏源电压值，为了得到快速准确的电压信号，必须将芯片尽量接近开关管。两者之间的走线距离不可超过 10 毫米。

➤ 芯片去耦电容

为达到好的滤波效果，去耦电容应尽量接近 V_{CC} 和 COM 脚。引线尽量短。

➤ 开关管电压检测 V_D/V_S

IR1167 可以准确的检测同步整流开关管漏极到源极的电压。引线应尽量短并且远离电源地。如使用 TO-220 封装开关管， V_S 和 GND 两管脚引线最好在开关管源极处连接，如图 27 所示。

如使用 SO8 封装的开关管， V_S 和 GND 两管脚引线也应该遵循此规则，如图 30 所示，不可在先连接这两个管脚再接源极。

在整流管置于低侧的设计中，若使用了电流检测电阻，不可将它置于同步整流开关管驱动或检测的回路中。否则会在 V_{CC} 上产生噪声。正确接法如图 26 所示。

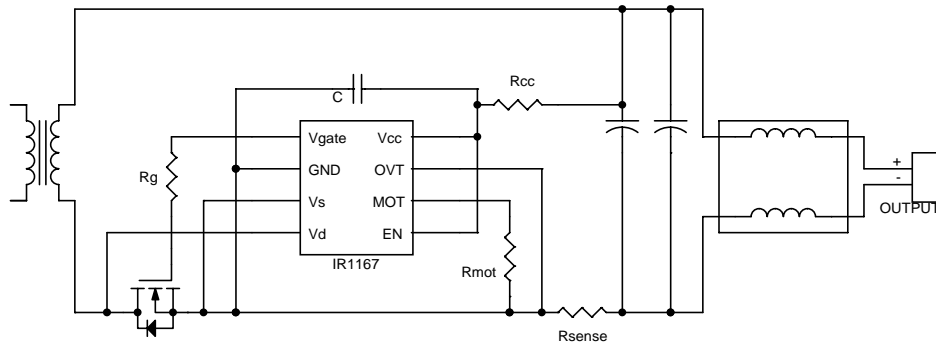


图 26: 检流电阻放置

➤ 门极驱动环路

门极驱动环路感抗是影响门极电阻选取的主要因素，如图 21 所示。小的门极驱动环路相对而言可以使用小的门极驱动电阻，这提高了系统设计的灵活性和可靠性。PCB 布板确定以后，可以利用 1mm ($1\text{mm} = 39.37\text{mils}$) 相当于 1nH 来估算整个环路的感抗，再利用图 21 选取门极电阻。其他获取线路感抗的方法包括直接测试（利用电桥）或 FEM 仿真。

➤ 单面板实例

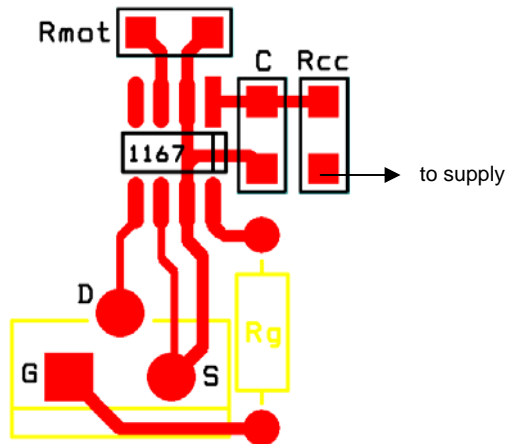


图 27: 单面板, TO220 MOSFET, OVT接地, 穿孔插装门极电阻, 焊接面视图。

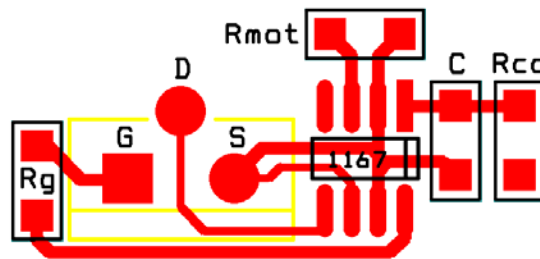


图 28: 单面板, TO220 MOSFET, OVT接地, 表贴门极电阻, 焊接面视图。

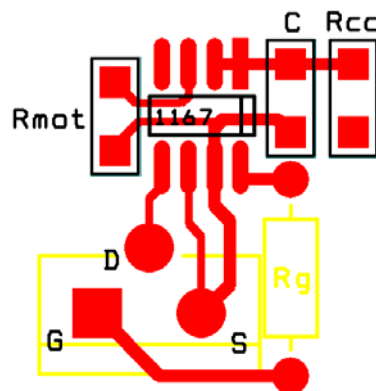


图 29: 单面板, TO220 MOSFET, OVT接VCC, 穿孔插装门极电阻, 焊接面视图。

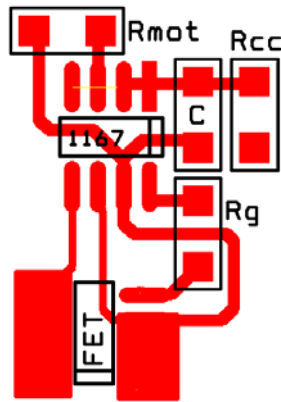


图 30: 单面板, SO8 MOSFET, OVT接VCC, 焊接面视图。

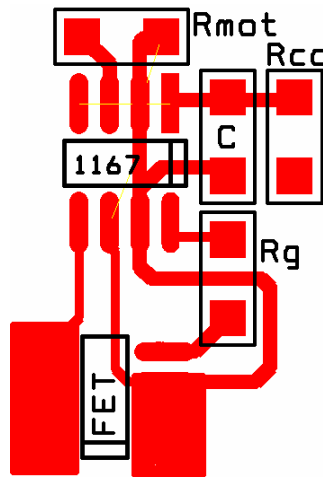


图 31: 单面板, SO8 MOSFET, OVT接地, 焊接面视图。

符号列表

- V_{TH1} : IR1167 关断阈值
- V_{TH2} : IR1167 开通阈值
- V_{TH3} : IR1167 周期复位阈值
- R_{DSon} : 同步整流开关管导通电阻值
- I_D : 同步整流开关管漏源电流
- V_{DS} : 同步整流开关管漏源电压

MOT: IR1167 最小导通时间

t_{blank} : IR1167 关断消隐时间

T1: 反激电源中初级开关开通时间

T2: 反激电源中次级整流时间

T3: 反激电源断续模式情况初次级均无电流流过的时间

C: IR1167 供电电源去耦电容值

R_g : 同步整流开关管外加门极电阻

R_{MOT} : 最小导通时间对应设置的电阻值

R_{CC} : 供电电源串联电阻值

f_{SWmax} : 最大工作频率

f_{SWmin} : 最小工作频率

T_{ICamb} : 芯片环境温度 (一般指芯片焊接位置印刷电路板温度)

V_{supply} : 给芯片供电的电源

OVT: 阈值调整管脚

Q_g : 同步整流开关管门极总电荷

Q_{gd} : 同步整流开关管密勒电荷

V_{gs} : 同步整流开关管门极到源极电压

V_{g_high} : IR1167 最大输出电压

I_{QCC} : IR1167 静态电流

R_{g_loop} : 门极驱动总电阻

L_g : 门极驱动环路寄生电感

C_{iss} : 同步整流开关管输入电容

E_g : 同步整流开关管开通所需能量 (门极储存能量)

P_{dr} : 门极驱动总功耗

R_{Source} : 门极驱动上拉电阻

R_{Sink} : 门极驱动下拉电阻

P_{Rg} : 门极电阻功耗
 P_{ICmax} : IR1167 最大可耐受功耗
 T_{IC_amb} : 芯片环境温度
 $R_{\theta JA}$: IR1167 热阻值 (结到环境)
 V_{CC} : 芯片供电电压
 I_{CC} : IR1167 供电电流
UVLO: IR1167 欠压保护
 V_{supply} : 系统可为 IR1167 提供的电源
 C_{min} : 最小去耦电容值
 ΔV_{CC} : IR1167 V_{CC} 脚最大电压纹波
 t_{MOT} : 所捕获的系统最小导通脉宽
 $\tau_{gate\ off}$: 门极关断时间常数
 N_{SEC} : 变压器原边匝数
 N_{PRI} : 变压器副边匝数

参考文献

- [1] IR1167S Smart Rectifier control IC datasheet , International Rectifier , February 2006
- [2] M.T. Zhang , M. Jovanovic , F. Lee , “Design considerations and performance evaluations of Synchronous Rectification in Flyback converters” , IEEE Transactions on Power Electronic , VOL.13 , N.3 , May 1998
- [3] Smart Rectifier™ increases Power Density in Flyback Topologies while reducing System Complexity , Maurizio Salato , Adnaan Lokhandwala , Marco Soldano , and Helen Ding , PCIM China 2006
- [4] Novel Output Rectification Control IC Improves Efficiency & Thermal Performance in External AC-DC Power Supplies , Adnaan Lokhandwala , Maurizio Salato and Marco Soldano , Portable Power Developers Conference 2006
- [5] US Patent Application Publication N. 2005/0122753 A1 , Jun. 9 , 2005