

高速数字电路设计教材

拟制: _____
审核: _____
审核: _____
批准: _____

日期: yyyy-mm-dd
日期: yyyy-mm-dd
日期: yyyy-mm-dd
日期: yyyy-mm-dd



华为技术有限公司

版权所有 侵权必究

目 录

第11章 时钟分发	2
11.1 时间裕度	3
11.2 时钟漂移	4
11.3 使用低内阻驱动器	7
11.4 使用低阻抗的时钟传输线	9
11.5 多时钟线的始端匹配	10
11.6 时钟线上的串扰抑制	12
11.7 延时调节	12
11.7.1 固定延时	13
11.7.2 可调延时	14
11.7.3 可自动编程延时	16
11.8 差分时钟信号	18
11.9 时钟信号的占空比	18
11.10 消除时钟再生器的寄生电容	19
11.11 时钟总线上的衰减时钟接收器	21

第11章 时钟分发

摘要:

在数字系统中时钟信号的变换比任何其它信号都快，时钟频率至少是单板上任何数据传输频率的两倍。时钟信号不但是最快的信号，而且还是驱动负担最重的信号，在系统中时钟信号要连接到所有时钟驱动的触发器上，而一般数字信号只驱动个别的几个器件。

正因为时钟信号频率高而且驱动负担重，所以在设计中需要重点考虑和关注。本章将介绍时钟驱动、特殊的时钟布线规则和用以改善时钟信号分发的特殊电路。

11.1 时间裕度

图11.1中的电路是两位环形计数器，当时钟频率比较低时，Q1的输出始终以（…00110011…）的规律重复。

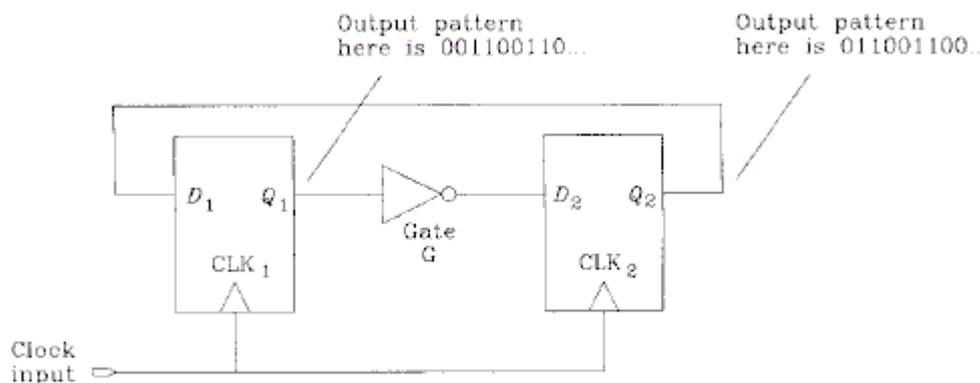


Figure 11.1 A 2-bit ring counter.

我们提高图11.1中时钟频率，直到电路不能正常工作。电路不能正常工作的原因是触发器2的建立时间不够。在该电路不能正常工作的频率下，Q1通过门G输出的数据不能满足D2要求的建立时间。图11.2解释了这种电路不能正常工作的原因。当时钟大于等于工作极限频率时，该电路就不能有规律地输出0011的循环。这种失效称为时间裕度失效。

在图11.1的电路中，时间裕度定义为信号从G中输出有效到信号在D2中的有效建立时间之间的一段时间。

时间裕度表示的是每个时钟周期的裕度时间。若系统中所有电路的时间裕度比较大，则通常该系统可在较高的时钟频率下正常工作。

当图11.1中的时钟频率达到极限，则时间裕度降为零。在该极限频率下电路是不能正常工作的。所有的正常操作条件都要求实际频率低于该极限频率，以便留出一点正的时间裕度来。正的时间裕度可以避免因串扰、错误计数等而引起的电路错误。

有些设计人员预留的时间裕度大约为一个逻辑门的延时，这样当使用低速类逻辑器件就需要预留较多的时间裕度，而当使用高速类逻辑器件就可以预留较少的时间裕度。如此使得时间裕度在很宽的设计范围内保持延时的固定百分比。设计人员必须判断是多少多余的时间裕度可以接受。

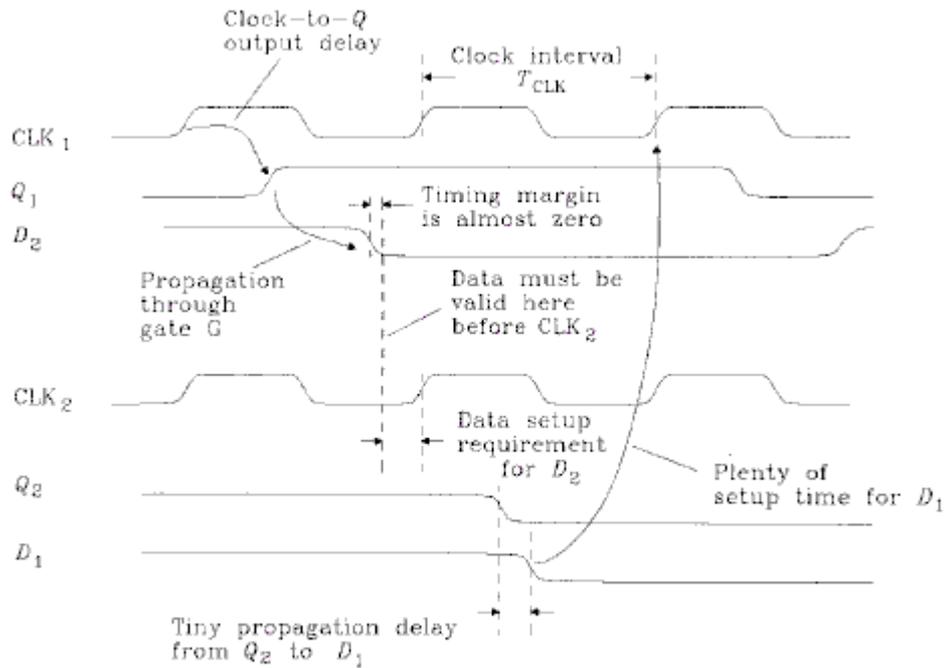


Figure 11.2 Timing analysis of a 2-bit ring counter.

时间裕度决定于逻辑路径的延时和时钟周期的长短。太长的路径延时或太短的时钟周期都会导致时间裕度需要缩短。时钟信号CLK1和CLK2之间的不同延时也会导致时间裕度的非正常缩短，这一点将在下一章解释。

本节要点：

- 时间裕度反映了一个时钟周期中的时间剩余。
- 时间裕度可以避免因串扰、错误计数等而引起的电路错误。

11.2 时钟漂移

让我们着重关注一下时间裕度。图11.3仔细研究了前面的环形计数电路，揭示了时间裕度分析的过程。

我们首先找一下最坏的时间裕度。在图11.3中，我们计算了通过逻辑门G可能最迟到达的脉冲时间，并与触发器2所要求的可能最早到达时间进行了对比。

通过逻辑门G可能最迟到达的脉冲时间为：

$$T_{\text{slow}} = T_{C1,\text{max}} + T_{FF,\text{max}} + T_{G,\text{max}} \quad [11.1]$$

其中 T_{slow} = 通过逻辑门G的脉冲最迟到达时间，单位s；

$T_{C1,\text{max}}$ = 路径C1的最大延时，单位s；

$T_{FF,\text{max}}$ = 触发器1时钟到Q的最大延时，单位s；

$T_{G,\text{max}}$ = 逻辑G包括线路的最大延时，单位S。

在公式11.1中，所有元素我们都用到了最大延时，同时假设我们关注的时钟脉冲在零时发生，没有用到绝对的参考时间。

在下一个时钟脉冲，通过G的脉冲被触发到触发器2。这个时钟发生在时间 T_{CLK} ，通过路径C2传输到输入端CLK2。该时钟到达CLK2的最早时间是 $T_{CLK} + T_{C2, min}$ 。触发器2在CLK2前最少需要 T_{setup} 的时间作为建立时间。则触发器2要求的脉冲到达时间为：

$$T_{required} = T_{CLK} + T_{C2, min} - T_{setup} \quad [11.2]$$

其中 $T_{required}$ = 通过G的数据必须到达的时间，单位s；

T_{CLK} = 时钟周期，单位s；

$T_{C2, min}$ = 路径2的最小延时，单位s；

T_{setup} = 触发器2所需的最长建立时间，单位s；

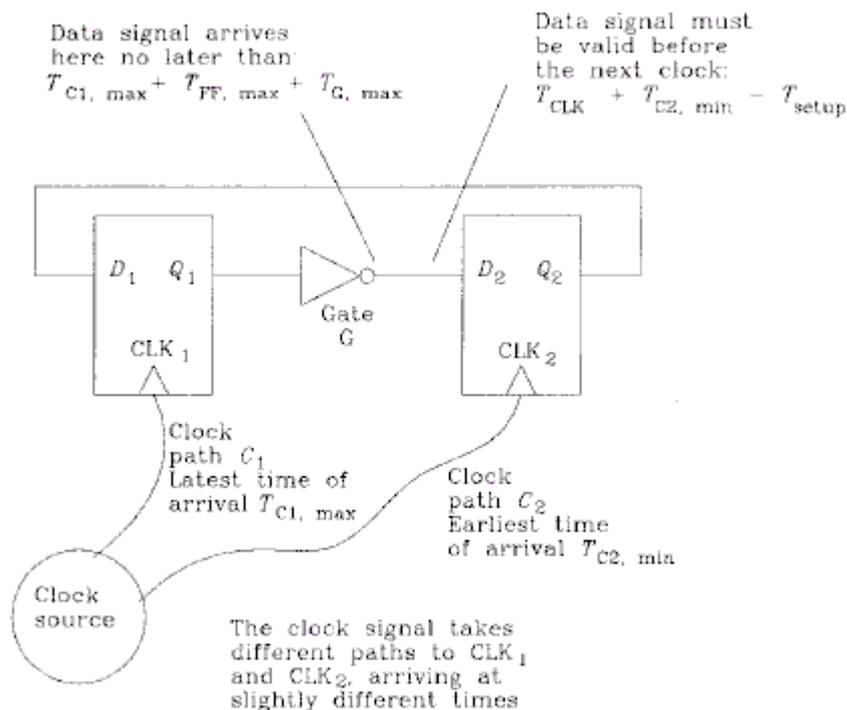


Figure 11.3 Timing analysis showing clock skew.

在公式11.2中用到了路径C2的最小时延，这将是最好的情况。

通过G的数据必须早于 $T_{required}$ 到达触发器2，以满足触发器2的建立时间。以数学公式的形式表达为：

$$T_{slow} < T_{required} \quad [11.3]$$

将公式11.1和11.2代入公式11.3得：

$$T_{CLK} > T_{FF,max} + T_{G,max} + T_{setup} + (T_{C1,max} - T_{C2,min}) \quad [11.4]$$

也就是说，时钟周期必须大于触发器延时、逻辑门G延时和建立时间。这三项因素是必然存在的。公式11.4中的最后一项因素有更丰富的解释，它是时钟到达点CLK1与CLK2之间的时间差，这个时间差称为时钟漂移。如果时钟到达触发器1比较迟，则Q1的输出也将比较迟，则我们的时间裕度将恶化。另一方面如果路径C2的延时特别的短，触发器2比较早的被时钟触发，则要求数据更早的到达触发器2以满足建立时间，这也将使我们的时间裕度恶化。为了解决时间裕度恶化的问题，我们必须增加时钟周期的长度，付出降低系统性能的代价。时钟漂移就是影响时间裕度的一大因素。

时钟2到达的迟，而不是早，又会怎样呢？那将产生比较大的时间裕度。一些设计者在顺序处理的网络中用到了这一效果，他们仔细安排各阶段时钟到达的时间，以使系统的效能最大化。如果系统中含有从后面阶段向前面阶段的数据反馈，则上面的方法就不起作用了。在图11.3的电路中，延迟到达触发器2的时钟，将会增加D2的时间裕度，但会缩短D1的时间裕度。大部分的设计者仅仅是通过努力缩短时钟漂移来提高系统的性能。

从公式11.4中可以看到，我们关心的是时钟时延的差，而不是绝对时钟时延，当两路时钟时延一样长时，绝对时钟时延是不起作用的。

在实践中，时钟周期通常是由晶震控制的，实际时钟周期非常精确，但如果时钟周期不是由晶震控制的，实际时钟周期不够精确，则设计上名义频率一定略微低一些，以保证实际的时钟周期大于 T_{CLK} 。

例11.1：系统时间预算

下面是对用10E型号的ECL构筑的系统的系统级时间预算，以ps为单位，它包括四种延时：

(1) 触发器传播 10E131	700		
+ 建立时间	150		
	850		850
(2) 触发器之间的逻辑时延			
10E171 MUX	850		
+ 4英寸电路的时延	740		
以上和的3倍	*3		
	4770		4770
(3) 时钟漂移			
每逻辑门最大减最小 10E111	50		
+ 2英寸电路差的时延	370		
	420		420
(4) 15%的时间裕度	1065		1065

时钟周期 (=135MHZ)

7105

由上面分析知，当触发器的时钟频率在135MHZ以下时，该系统能正常工作。此最保守的估算由逻辑的三部分构成。

时钟分发系统是由一个时钟源驱动两个型号为10E111的时钟骗出门构成。骗出门间的最大时钟漂移加上允许的时钟路径长度的不同而带来的时间差大约占整个时间估算的10%。以上说明了好的时钟分发系统对系统的极限频率的影响不大。

从公式11.4中我们可以看到，时钟漂移和其他的传播时延一样对整个系统的速度有很大的影响。我们通常的感觉是，在一个电路板中，时钟信号的数量比其它信号要少的多，因此我们可以重点关注时钟线，这样可以花很小的代价而使时间裕度得到大的提升。

一些生产商已经生产出了驱动多根时钟线的驱动芯片，这种驱动芯片的内部结构减少了各输出管脚之间的时钟漂移。比如MOTOROLA的MC10E111，它有一个输入，9个内阻为50欧姆的不同输出，所有这9个的输出的时钟漂移在50ps以内。

本节要点：

- 时钟漂移和其它的传输延时一样，对系统的整个速度有同样大的影响。

11.3 使用低内阻驱动器

降低时钟漂移的最好方法包含两部分：

- (1) 使所有的时钟输入端紧紧地靠在一起；
- (2) 用同一个时钟源驱动它们。

如果系统包含一些不能在空间上靠在一起的时钟输入端，则这种简单有效的方法将不起作用。

在这种情况下，尽力使用网状时钟分发网，它就如同图11.4所画的那样，将一个时钟源分发到N个远端的目的地。反射被网末端的电阻R吸收，驱动电路的总体负载为R/N。

用75欧姆的传输线，则驱动3个输入端的驱动器的负载为25欧姆，一些商用芯片可以驱动负载那某重，但不是很多。

独立的低内阻放大器可以驱动不少输入端，图11.5中用变压器将高阻抗、高电压的输出转化为低阻抗、高电流的输出。

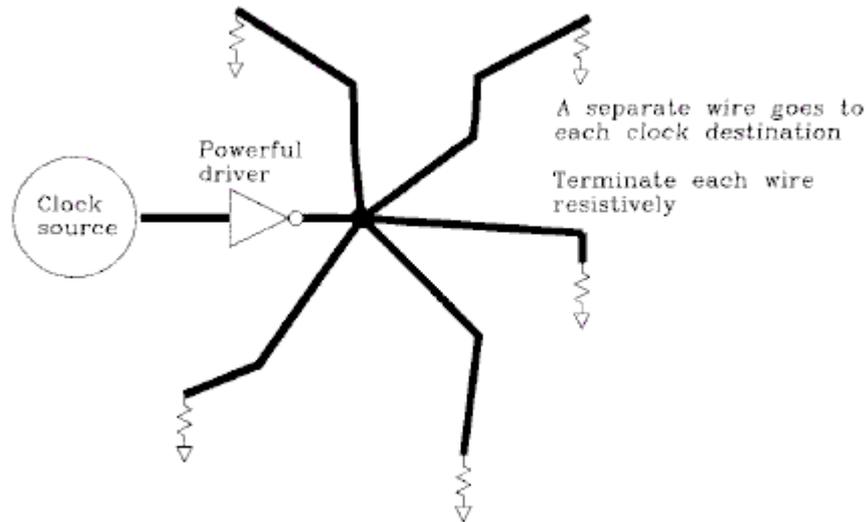


Figure 11.4 Spider-leg clock distribution network.

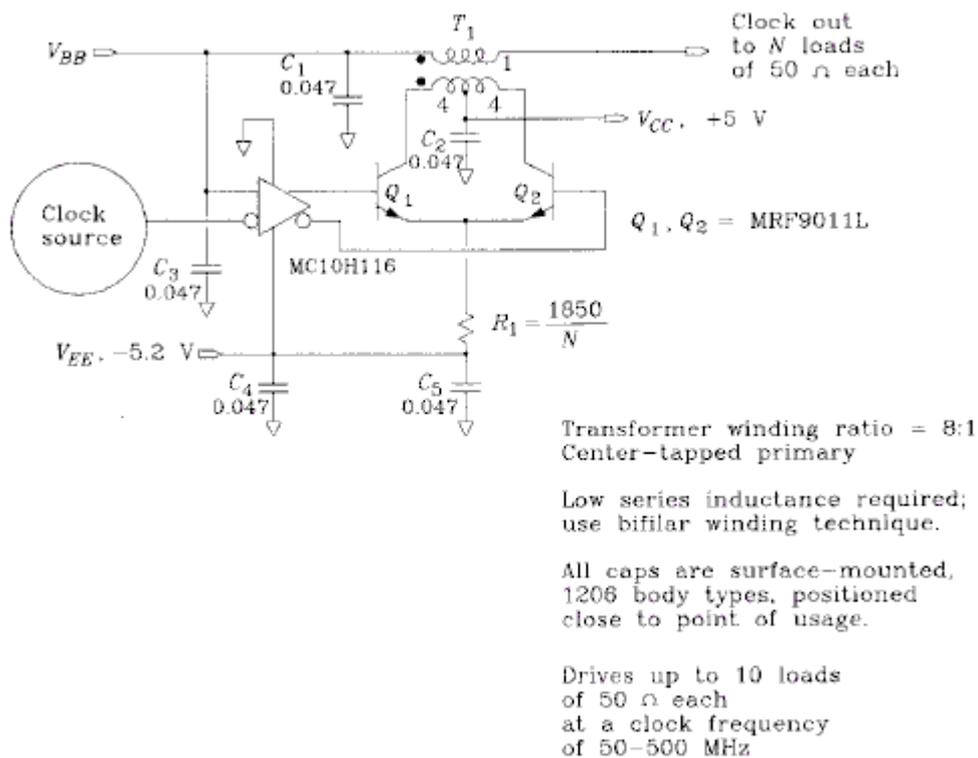


Figure 11.5 ECL clock amplifier.

用TTL构成的类似电路需要更高的偏移电压(+12, -5)和更大规模的逻辑。TTL电路所需的驱动功率是ECL电路的25倍,以获得大的TTL摆动电压(4V~0.8V)。

用图11.5所示的ECL电路时,要根据要求的输出电流合理地安排电阻R1的大小。

图11.6的时钟分发树是通过消耗大的功率来获得多路的时钟输出,这个结构通过三层网状结构将时钟分发到最终的目的地。使树结构中的各输出门的结构对称,可以有利于减少时钟漂移。

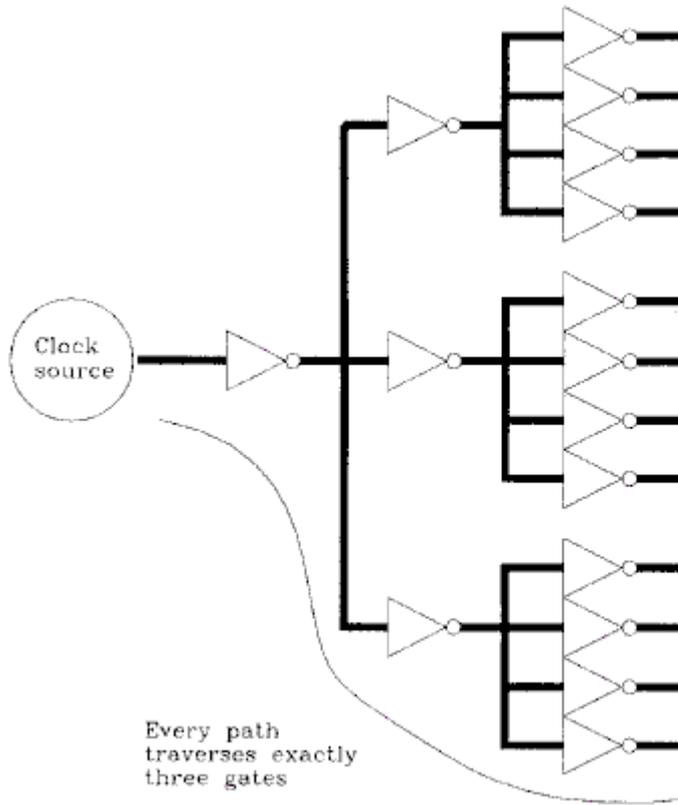


Figure 11.6 Clock tree.

本节要点:

- 两个或多个输出平行的连接起来可以增加驱动能力。
- TTL的时钟信号所需要的总体驱动功率是ECL电路的25倍。

11.4 使用低阻抗的时钟传输线

图11.7所示的时钟线为很多时钟输入提供服务。当时钟信号通过每一个输入端时，它的上升沿都会变长，同时有一个小的反射脉冲沿着此时钟线传回。这个反射脉冲将会干扰信号的接收。

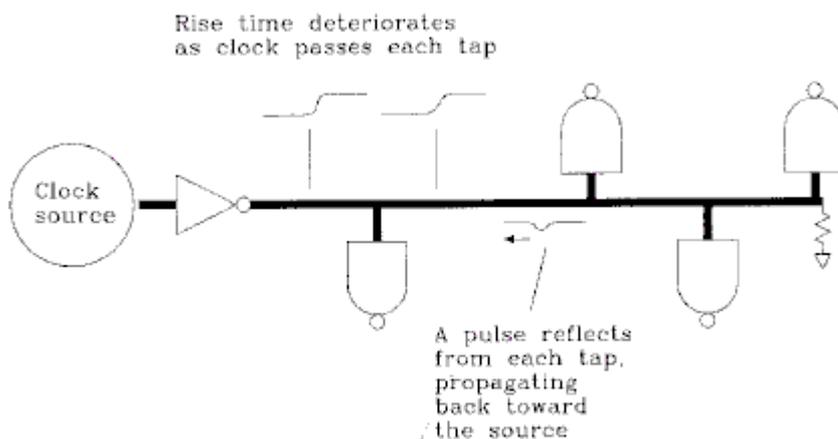


Figure 11.7 Clock driver serving many loads.

每个反射脉冲的幅值与 $-C(Z_0/2)$ 成正比例。降低反射脉冲的幅值的三种手段是:

- (1) 减缓时钟驱动的上升沿
- (2) 减少每个输入节点的电容

(3) 减少时钟传输线的特性阻抗 (Z_0)

第(1)项说明太快的逻辑会影响你的应用系统的工作。所以我们选择时钟驱动时，速度恰好满足我们估算的时钟漂移即可。

在多输入端的时钟总线上，确定了时钟输入端的输入电容后，则影响第(2)项的另外两个因素是插接端子的寄生电容和到输入端的印制板上的导线电容。

第(3)项与时钟线的物理几何形状有关。时钟驱动器必须与时钟传输线的阻抗相匹配。驱动20欧姆阻抗时钟线的双驱动器对输入端的电容敏感度只是50欧姆时钟线的2.5分之一。

在多输入点的总线上，各业务单板被频繁地插入和拔出，所以就要求它可以适应各种负载，降低线路上的阻抗，有利于防止负载的变化对时钟漂移产生大的影响。

当我们设计低阻抗线路时，要使用附录C中的特性阻抗公式，而不要用第4章给出的简化公式，这种简化公式对于预测低阻抗传输线的阻抗时，效果不好。

本节要点：

- 20欧姆的时钟线对输入端电容的敏感度是50欧姆时钟线的2.5分之1。

11.5 多时钟线的始端匹配

以图11.8为基础，一些工程师正在努力设计由单一驱动器驱动的多条始端匹配的时钟线。从此图中可以看出，始端匹配的传输线的输入阻抗是末端匹配的两倍，而且 $2T$ 秒后所需要的驱动电流降为零，从而降低了平均功耗。这些事实促使我们假设单个驱动器可以驱动多条始端匹配的传输线。

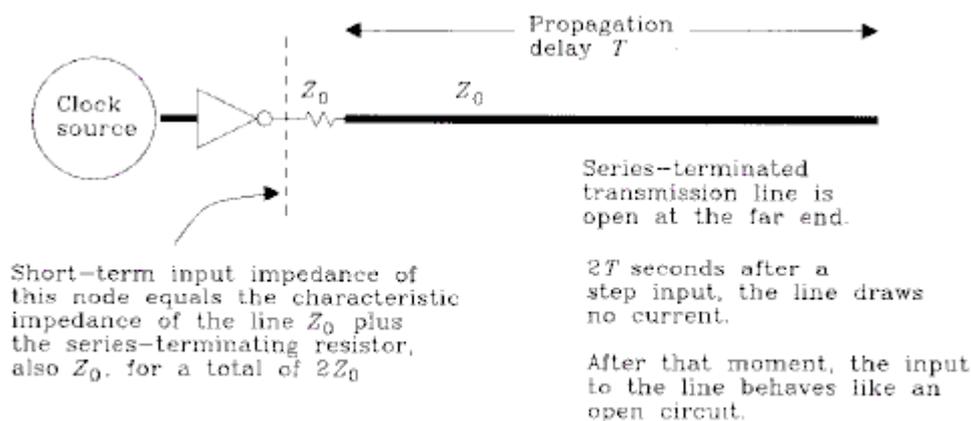


Figure 11.8 Short-term impedance of a series-terminated line.

仔细分析一下初始化条件可以看出，始端匹配与末端匹配所需要的峰值电流是一样的。在高速的情况下，我们的电路不但需要平均驱动能力，还需要峰值驱动能力。

在理论上，一些驱动电路输出的电流足可以驱动两条始端匹配的传输线，那实际情况它真可以驱动两条或以上的始端匹配线吗？回答是肯定的，但仅是在满足图11.9所示的条件下。

理解图11.9的诀窍是要认识到这两根线路是相互作用的。不考虑其它线路的影响，我们是无法正确分析其中一根线路的。这两根线之所以相互作用，是因为驱动器有一定的输出阻抗。

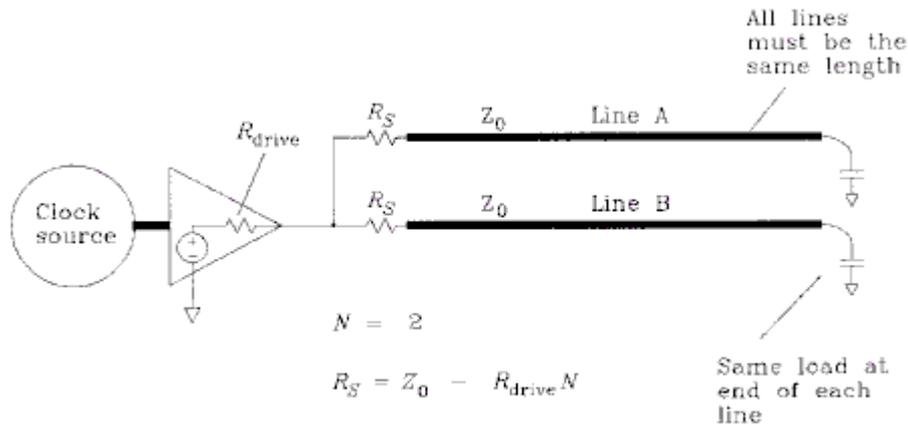


Figure 11.9 Single clock driver feeding two source-terminated lines.

如果驱动器的输出阻抗为零（这是不可能的），线路间就不会存在相互影响，我们就可以简单地分别把每一根线路用 $R_S=Z_0$ 进行串联匹配。不幸的是，驱动器的输出内阻存在的事实，迫使我们考虑它们间的相互影响。下面我们将介绍怎样去分析这种情况。

考虑到前面的结论：非零内阻驱动器驱动的多根始端匹配的时钟线，只有它们的长度和负载相等时，才能正常工作。始端匹配电阻必须等于

$$R_S = Z_0 - R_{\text{drive}} N \quad [11.5]$$

其中， R_S = 始端匹配电阻，单位欧；

Z_0 = 传输线阻抗，单位欧；

R_{drive} = 驱动器的有效输出阻抗，单位欧；

N = 驱动分支数。

当驱动一根线路时（ $N=1$ ），由公式11.5可以推出与 Z_0 匹配的整个始端匹配阻抗为（ R_S+R_{drive} ）。这是常用的始端匹配。当驱动多根线路时，由公式11.5推算出了比较小的始端匹配电阻值。当 N 足够大时，由公式11.5推算出了负的电阻值，这在实际中是不存在的。

下面我们分析一下图11.9中的传输线。

在图11.9中，一个脉冲沿着传输线A传向负载，然后反射回来，因为进行了始端匹配，所以在驱动端没有进一步产生反射。如果在图11.9中未做始端匹配，驱动器的输出内阻比传输线的特性阻抗低，从A返回到源端的反射将被进一步产生一个负反射，如此不断进行，这就将出现问题。

另一方面，当A上的反射电流通过电阻 R_{driver} 倒灌到驱动器时，将在驱动器的输出端产生一个电压，这个电压耦合到了传输线B上，正的串扰脉冲耦合到B上的电压也是正的。

因此，我们知道，在A上的脉冲可以在A上产生一个负反射，同时在B上产生一个正串扰。

现在我们同时考虑传输线A和B的远端脉冲反射，如果这些脉冲同时到达驱动端，每一条传输线将会在自己上面产生一个负的反射脉冲，同时在另一条上产生一个正的串扰。如果我们仔细调节阻值的大小，可以使负反射与正串扰相互抵消。结果就可以构成一个完美的匹配系统。

使反射与串扰相互抵消的条件非常苛刻，它们是：

- (1) 传输线必须等长（这保证了反射脉冲将同时到达始端）
- (2) 负载必须平衡（这保证了反射脉冲的形状相同）
- (3) 电阻阻值必须满足公式11.5

公式11.5用始端匹配电阻来保证传输线A上的负反射脉冲恰好被传输线B在A上产生的正串扰所抵消。公式11.5适用于多条长度相同，负载一样的传输线。

在现实中各传输线之间很难存在完美对称，这样每条传输线之间的反射与串扰就不会完全抵消，就会存在系统振铃现象。

本节要点：

- 在严格的条件下，单个的驱动器可以驱动两条或多条始端匹配的传输线。

11.6 时钟线上的串扰抑制

在第5章中阐明了串扰与线间距的关系。在一致的地平面上，线间距增加一倍，则串扰减少四倍。时钟信号是个棘手的信号，我们要给它施加格外的串扰防护措施。增加格外的串扰防护包含两方面的内容：物理的手段和逻辑的手段。

物理手段比较简单：在时钟走线周围留出额外的空间或将时钟走线单独放在夹在地平面间的一个布线层中。

逻辑手段就比较复杂，首先必须鉴定和在原理图或网络表中手工标出易出问题的时钟线。专门的布线要求必须通知布线人员。布线人员或是遵循布线要求或是忽略。布线人员与原理图设计者很少在同一个部门，我没有对布线专业人员的否定的意思，但事实上他们很少按照你的一大堆复杂的特殊要求去做。

写一条指令控制时钟线在单独的保护层中走线是简洁易理解的，一些工程师采用这种方法，虽然占了一个单独的走线层，但却达到了他们的目标，也是值得的。

另一个好的方法是通过对网络的分类，分别赋予他们不同的布线特性来控制走线，对于时钟类网络，可以使它们的走线离其他走线远一些，从而减少串扰。每年都有大量的自动布线软件包包含这一特性，但使用它的数字设计工程师却很少。

如果你的布线软件包不支持网络分类布线法，但它一定会支持不同的走线宽度，使所有的时钟网络的走线比较宽，可以防止布线时其它的走线离它太近。布完线后，再将所有的时钟线变回窄的线宽，就可以留出足够的线间距以抑制串扰。该方法的缺点是，宽的时钟走线无法适应集成芯片窄的管脚距。

为了留出所要求的线间距，一些设计师采用在布线阶段插入防护线，最后再将这些防护线去掉的方法，在布线阶段暂时的防护线可以迫使其它线远离高速时钟线，以减少串扰问题。

本节要点：

- 提供串扰额外防护的物理方法比较简单，逻辑方法比较复杂。

11.7 延时调节

在公式11.4中的时钟漂移项包含了两条传输延时的差值，仔细地平衡两条时钟传输路径可以减少时钟漂移。

有时我们可能需要微小的正（或负）时钟漂移。延迟（或超前）时钟通常会使一部分的电路的时间裕度增大，而使其它部分的减小。只有当对整个电路的时间模式有了一个好的理解后，才能有目的地利用时钟漂移。

由于我们有时对有目的的非零时钟漂移感兴趣，工程师们在解决时钟分发中存在的问题时，往往是通过减少时钟到达时间的不确定性来实现，而不是简单地通过任何地方都减小时钟漂移来实现。

根据设计的要求，时钟调节可以达到低漂移或有目的的漂移的作用。这两种情况用到的原理都是一样的。时钟延时的调节有时称为时钟相位的调节。这个概念会使我们联想到时钟是周期性的波形，是一个粗略的正弦波。

11.7.1 固定延时

固定延时是一种最简单的时钟调节形式，它可以产生装配后固定不变的可预知的时延量。

在电路中，固定延时可以补偿别处的名义延时，以使名义延时与设计延时相一致。

固定延时是通过三个地方产生的：传输线，逻辑门和被动集成电路。每个部分的贡献如表11.1所示。延时线对于短的延时比较合适而且非常精确；逻辑门延时比延时线占用的板上空间小，但精确度要差一些；集成电路延时可以产生最宽范围的延时，它的延时偏移主要取决于构成它的模拟器件的质量。

TABLE 11.1 FIXED DELAY ELEMENTS

	Practical amount of delay (ns)	Variation in delay (%)
Delay line	0.1–5	10
Gate delay	0.1–20	300
Lumped-circuit delay	0.1–1000	5–20

延时线直接印在印刷电路板上，要浪费很大的印制板空间。图4.28注释了一条采用FR-4底层的0.010英寸厚的外层印制延时线的典型结构。用0.025英寸的线宽的内层传输线产生ns级的延时，大约要占0.135平方英寸的印制板面积。以次推算，产生7ns的延时大约要占1平方英寸的面积，这个面积已经是非常大了。

当用印制线作为传输延时线时，一定要记住随温度的变化。对于采用FR-4材料的底层，在0---70°C的温度范围内，将有10%的传输速度变化。

一些商用的传输线周围包围着磁可穿透性的材料，这种材料可以增加每英寸的延时，从而缩短延时线。这种延时线对于表面贴的封装和DIP封装的器件要不要缓存都是有效的。

剩余的门逻辑也可用来作为有效的延时工具。用门逻辑作为延时手段存在的问题是，虽然所有的生产商都注明了门逻辑的最大传输延时，但很少有注明最小传输延时的。门逻辑的延时变化是如此的大，以至有时它对时钟漂移的恶化甚于帮助。不幸的是，在门阵列或定制芯片内部，除了选择门逻辑作为延时元素别无选择。

图11.10所示的集成电路，当采用CMOS门时，可以产生一个无噪音的延时。图中的RC电路可以减缓上升沿，从而拖延第一个逻辑门到第二个逻辑门的脉冲传播。

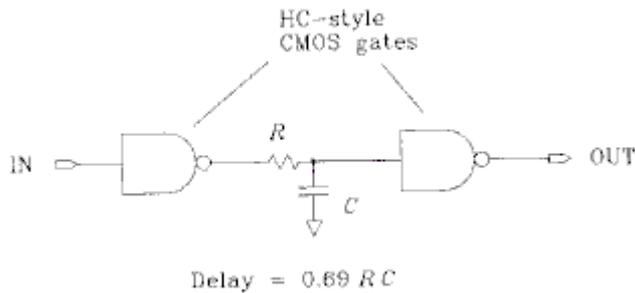


Figure 11.10 Lumped-circuit delay element.

模拟器件R、C的值的精确度决定了此电路延时的精确稳定度。后面输入门的输入端的寄生电容也影响此电路的延时精确度。

块延时电路应用中存在的第二个问题是，逻辑跳变电压阈值的不确定性。图11.10所示的电路中，当输入到第二个门的电压大于电压阈值时，输出状态切变，如果电压阈值不确定，则输出切变时间不确定。

由于TTL和HCT电路的切变电压阈值更加接近地，而不是电源，所以RC的延时电路对上升沿的延时比下降沿的延时更少一些，而理想延时电路对上升沿与下降沿的延时应当一致。

在高、低输入端连有匹配电阻的差分接收器的阈值电压是对称的，此种接收器对于TTL、HCT电路是有效的，它的前面加上RC电路就可以产生理论上上升沿与下降沿相等的延时。

采用TTL逻辑门，图11.10所示的电路的性能将很差，在这个应用中CMOS电路性能交好，是因为它们几乎不需要直流输入。当输入到第二个门的电流达到渐进线时，将没有电流流进CMOS输入管脚。电阻R引起的电压降为零。此电路用CMOS器件时，将不会有电压余量的丢失。

当用TTL电路时，在逻辑低的状态TTL输入端需要的输入电流一定流经电阻R，为了维持所需的电压余量，要求电阻R小于100欧姆。我们也可以试着用磁珠替代图11.10中的电阻，电感不会对直流产生压降，因此可以对TTL输入端提供电流而无须产生压降损耗。

不要试图使用正常的逻辑门在一级延时电路中产生多于12%的时钟延时。要产生比较多的延时的话，可以通过用逻辑门隔离的多级延时电路来实现。当用RC延时电路对方波进行12%的延时，RC的响应没有时间完成脉冲边沿间的冲放电过程，此时输出的方波大略是名义值的10-90%。越多的延时使输出方波的幅值越小。

在商业上好的延时电路都综合采用了传输线延时、逻辑门延时和块电路延时。

无论采用何形式的延时电路，都要将延时的不确定性考虑到你的时间裕度计算中。

11.7.2 可调延时

可调节延时可以补偿电路中的实际延时，使其接近名义延时。组装完成后，技术人员必须进行矫正，作为最后测试环节的一部分。任何正确的矫正，都可以减少由于实际器件的延时和单板加工过程中的变动性造成的时钟漂移。

不要假设你们的生产工人理解你提供的矫正含义。你要为每一个矫正写一个测试过程，说明在该处怎样测量时钟延时，指出正确矫正的限度。

三种基本的延时方法是：传输线延时、逻辑门延时、块电路延时。所有这三种延时都是可以调节的。

延时线调节是分级进行的，图11.11说明了典型的延时线调节，它含有五级调节。

图11.12解释了一种更加灵活的延时调节方法，它用了8个跳线产生了16级不同的延时，每对跳线对应的延时分别是1、2、4、8倍的基本延时 T 。通过跳线可以选择任何延时部分的组合。尽管图11.12所示的电路功能强大，但它太复杂了，通常简单的电路不易出错。

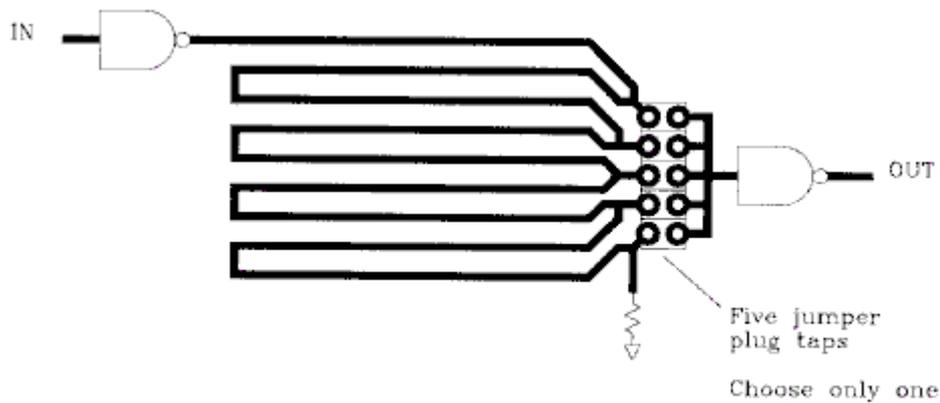


Figure 11.11 Adjustable transmission line delay.

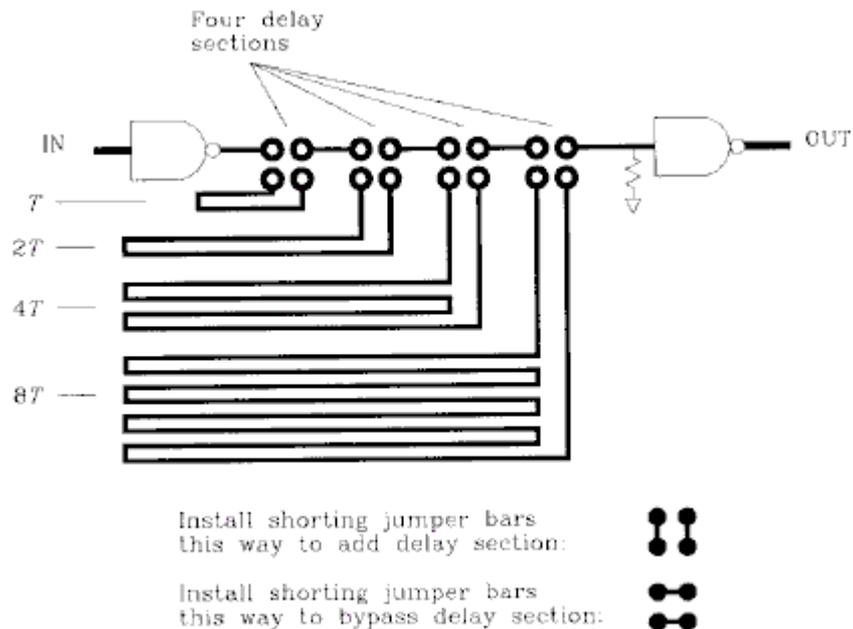


Figure 11.12 Adjustable transmission line delay with 16 settings.

在低频时，短的跳线是一个好的调节手段。它的装配如图11.13所示。有些人将短的跳线称为软件跳线，这是因为在计算机卡上流行作为选择跳线。当频率高于100MHZ时就不能忽视短跳线引起的电感，电感因跳线插的松紧不同而有所变化。

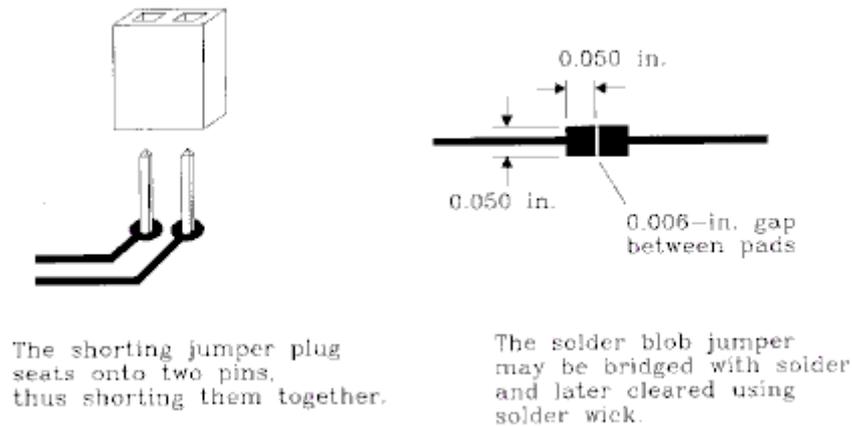


Figure 11.13 High-frequency circuit switches.

如果跳线引起的电感不能被接受，那就要试一下焊点跳线（图11.13），焊点跳线包含两个0.5平方英寸的焊盘，它们的间隙是0.006英寸。一定要把焊点跳线放在电路板的器件边。0.006英寸的间隙即足以阻止装配时的焊锡连接，又足以满足技术人员的人为短接。用焊锡清洗器能容易快速的清除此种焊点连接。

与跳线相比，焊点开关占用非常小的电路板面积。焊点跳线的另一好处是，装配完成后，它不会轻易脱落。

逻辑门延时也可以分级调节，在逻辑门链上的不同引出点构成了可用的延时，要不是它们延时的不准确性，它们的特性到象延时线。

块电路是通过改变R或C来调节延时的。可变电阻比可变电容更便宜且容易得到。无论是用可变电阻还是可变电容，调节后都要用夹力或粘来固定。可调部件对振动非常敏感。

一种新型的级调被动部件由几个部件值加一套很小的焊点跳线构成，所有部件都集成在一个1206的表面贴封装上。它们完成了RC延时电路的级调功能。

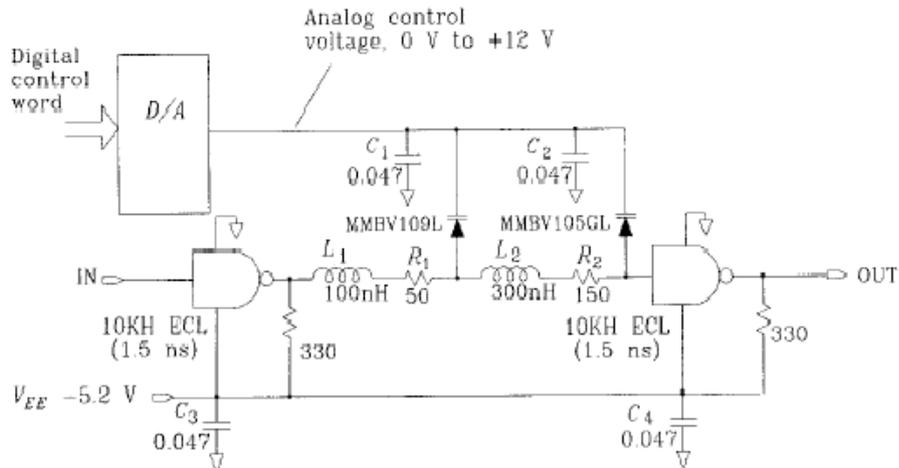
11.7.3 可自动编程延时

理想的延时电路具有可连续调节、在宽的温度范围内稳定、能够自我调整的特性。这听起来不可能吗？答案在下面。

首先让我们分析怎样可以产生连续的可编程延时。下面有两种方法。

最传统的一种方法是用变容二极管，变容二极管是一种寄生电容随加在其上的反向电压变化而变化的二极管，在普通的二极管中这影响它的性能，但在变容二极管中这是它的一个主要卖点。

图11.14 说明了变容二极管在可变延时电路中的应用。它与图3.23 的电路相比存在三方面的不同：第一，它是数字可编程的，这一特性也可以添加到图3.23 的电路中；第二，图11.14 的电路用的是LC延时，它可以在不衰减信号的情况下产生大范围的延时调整；第三，图11.14 中的电路在中间没有用到缓冲器的情况下进行了两级被动延时电路的级联，第二级的阻抗是第一级的三倍，这个比例可以防止两级之间的干扰，这种级联将关键电路上的缓冲器由三个减为两个，由于缓冲器的延时随温度和电压的变化而变化，我们希望用到的缓冲器越少越好。



Varactors:

MMBV105GL, 4–15 pF

MMBV109L, 8–40 pF

Delay:

From lumped circuit 1–6 ns

From gates 3 ns

Total delay 4–9 ns

Maximum working frequency: 50 MHz

Scaling for other frequencies:

L_1 , L_2 and varactor capacitances are scaled proportionally to desired delay. Maximum working frequency is inversely proportional to delay.

Figure 11.14 Programmable delay element using a varactor diode.

第二种可编程延时方法是用逻辑门链。如果所有的逻辑门都集成在一个集成电路中，它们间的延时仅仅停留在100ps的级别。在同一个集成电路中，这种逻辑门链可以非常长。带有大的多路复用器的分接电路版本，形成了可用的数字可编程延时电路。多路复用的设计必须设法消除从一个分接点到另一个分接点切换时可能产生的毛刺。

无论是使用可变电容还是逻辑门链，我们可以存储一个温度系数校正表，用以产生相对温度稳定的延时。

最后要讨论的问题是延时电路怎样自动自我调节。当时钟不论是在何方向产生漂移时，任何系统都有此种漂移的量化标记，通过检测此种量化标记，将时钟调节到正确的位置，这是一种自动调节的方法。

一种时钟自动调节方法是，通过检测线路上的数据信号切换时间，使时钟自动适应于数据波形的传输时间，这种方法类似于串行数据传输用到的时钟提取法。

本节要点:

- 延时有三种基本的手段：传输线延时、逻辑门延时、被动块电路延时。
- 固定延时无法消除由于加工因素和器件因素带来的延时抖动。
- 可调节延时可以补偿实际延时。
- 无论选择何形式的延时，在时间裕度计算中都要将延时的不确定性考虑进去。

11.8 差分时钟信号

差分信号对噪声的抗干扰能力比非差分信号要强，这有两个方面的原因：信号幅值和差分平衡，由于差分信号的电压摆动是非差分信号的电压摆动的两倍，所以差分信号可以承受两倍的干扰。更优的是，如果噪声对两根差分信号的影响相同，它们将在差分线的接收端相互抵消，从而不会影响信号质量。对两根差分信号线产生同样影响的噪声称为共膜噪声。差分信号线对共膜噪声的抑制力比较强。

在用ECL时钟分发背板的TTL系统中，串扰问题尤其严重。用ECL分发背板分发时钟的优点是低漂移，缺点是ECL信号幅值低。幅值比较大的TTL信号很容易产生足够大的串扰干扰附近的ECL时钟接受端。差分ECL信号有利于帮助克服TTL串扰问题。

差分信号只对共膜噪声的干扰有抑制作用，对差膜噪声不起抑制作用。串扰往往是对一根线的影响比其它线要强烈的多，因此它产生的是真正的差分噪音信号。

在两块地平面存在噪音电压差的电路板间通讯，用差分信号有很大好处，在差分信号的接受端，地电压差被抵消。差分信号可以方便地克服大的背板和板卡之间的TTL地噪声。

本节要点：

- 当串扰对两根时钟差分线的影响相同时，就不会引进时钟抖动。

11.9 时钟信号的占空比

时钟信号的理想占空是比50%。理想的时钟的上升沿与下降沿应是对称的，这一特性允许用反相时钟作为中间时钟波形。

理想时钟的平均直流值处在它的高电压值与低电压值的平均值。这一特性允许我们设计维持占空比固定为50%的简单反馈电路。

时钟偏移50%的占空比的原因是时钟再生器对时钟的上升沿与下降沿的响应不对称。精细测量发现，所有逻辑门的上升沿延时与下降沿延时是不同的，这就导致了经过非对称逻辑门的脉冲或被缩短或被加长，这个效果称为脉冲宽度压缩、脉冲宽度延长或脉冲宽度变形。

当我们级联很多逻辑门时，在每一个逻辑门上的脉冲宽度变形会被累加。假如输入脉冲是正脉冲，且上升沿延时大于下降沿延时，则经过每一个门后的脉冲会被缩短。级联足够多后，脉冲将会消失。

有两种好的方法可以解决由于非对称延时而造成时钟信号消失问题。第一种方法是在每一个阶段对时钟信号进行反相，这样不断地将上升沿转化为下降沿，再转化为上升沿，如此以来当信号沿着逻辑门链传输时，在临近的两个阶段，脉冲宽度的压缩将会抵消掉。用反转再生器与非反转再生器相比，时钟信号传输经过的级越多，产生的时钟周期占空比越好。

第二种方法要使用一些模拟电路，电路如图11.15所示，电路中只用到了对称转化阈值电压类的逻辑。对于非对称阈值电压，要请模拟设计工程师将此电路改变为适合于你所采用的逻辑类的反馈电路。

当时钟周期占空比发生变化后，它的平均直流电压也将发生变化，电路通过测量平均直流电压来判断时钟周期占空比。

图11.15中的电路同时用到了转化阈值电压与时钟占空比的关系，我们知道，时钟信号的上升沿与下降沿的时间是有限的，在时钟再生器上调节输入转化阈值电压，将改变输出时钟周期占空比。图11.15中的电路用到的最后一个原理是反馈。

图11.15中的电路测量时钟输出的平均电压值，将此值存储在电容C2中，电容C2的电压通过调节电路的输入转化门阈值使输出时钟周期的占空比接近50%。

图11.15使用了相对低增益的反馈电路，在300MHZ的频率下，在通常情况下逻辑门会产生200ps的脉冲宽度压缩，此矫正电路只产生了此值的四分之一的脉冲宽度压缩。

时钟输出与输入阈值调节之间的反馈，比较出色地调节了占空比，但它要花费更多的器件。

输入切换阈值的调节可以控制逻辑门在每个脉冲边沿的何处反转，降低阈值可以使上升沿的反转提前，而使下降沿的反转推迟，反转时间提前或推迟的数量由输入信号上升沿或下降沿的快慢决定，慢的信号引起的时间量要比快的信号长。

此电路可调节的量是微小的，但在时钟再生器的链中，它们的作用是巨大的。

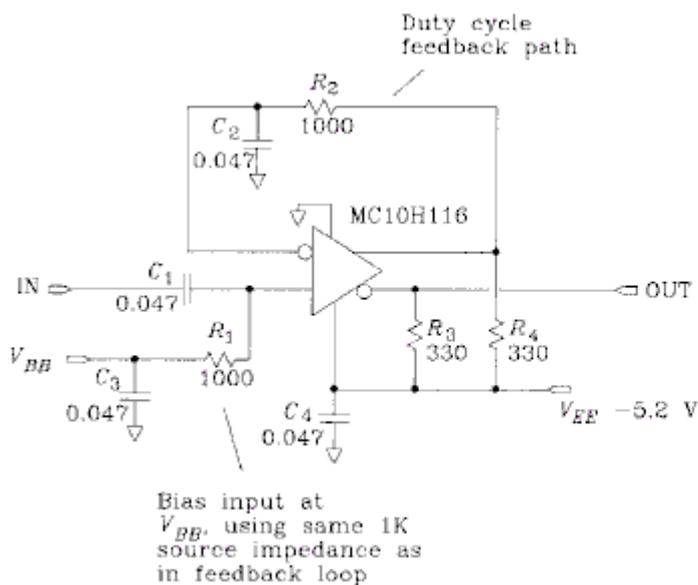


Figure 11.15 Feedback circuit to help maintain a 50% duty cycle.

本节要点:

- 在时钟再生器链的不同位置，时钟的占空比不同。
- 用反相再生器比非反相再生器对时钟进行延时，可以达到延时更加长，而且时钟周期占空比更加好的效果。

11.10 消除时钟再生器的寄生电容

当新的器件连接到多点总线上时，它的接收端的寄生电容会对线上的所有器件接收到的时钟产生移相，无论是上游还是下游，接收到的时钟都会受到影响。

移相的程度与新器件时钟输入端的整个寄生电容成正比。如果你能够通过改变布局或使用其它接插件而减少此寄生电容，形成一个比较好的时钟接收器，那就这样做吧！当器件容易得到时，那就试一下图11.16中的电路吧。

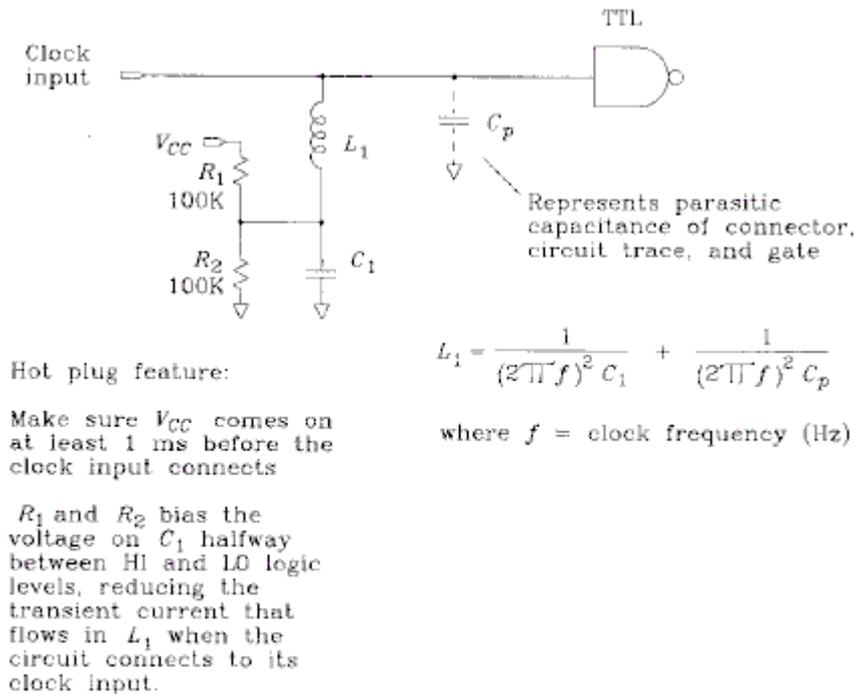


Figure 11.16 Inductor used to cancel parasitic capacitance at clock frequency.

图11.16中的电感在时钟频率处提供了一个负感抗，消减了部分时钟接收电路的寄生电容。RF工程师称此为匹配网络。电感消除寄生电容的功能只有在一个基频处起作用，对于时钟波形中存在的三次以上的谐波不起作用。

图中的两个电阻是可选的。在固定装配的场合，时钟接收器从来不从时钟线上脱离，这两个电阻不起作用。在热插拔的环境中，电阻发挥了重要的作用。它们帮助在时钟线接触之前对电容C1充电。

当电源关掉后，电容C1被放电到0V。当电路正在工作时，电容C1的电压被充到高逻辑和低逻辑电压的中间值。

没有电阻R1和R2时，当板卡初次插到时钟线时，电容C1所需求的突然大的充电电流将严重地扰乱时钟信号。这个现象可以通过预先加电来回避。一个合理的热插拔板卡的电源插头要首先接触。一旦电源上电，电阻R1和R2将把电容C1冲到中间电压值，直到时钟信号先接触。这种设计可以防止突然的电流脉冲影响时钟线。

电容C1的值比较小的话有利于缩短它的充电时间，C1的最小值大约是 $100C_p$ 。C1和L1的值计算如下：

$$C_1 = 100C_p \quad [11.6]$$

$$L_1 = \frac{1}{(2\pi f)^2 C_1} + \frac{1}{(2\pi f)^2 C_p} \quad [11.7]$$

将电容C1充到它的最终值的1%的充电时间是：

$$\text{Precharge time} = 4.6 \frac{R_1 R_2}{R_1 + R_2} C_1 \quad [11.8]$$

本节要点:

- 电感可以消减部分时钟接收端的寄生电容。

11.11 时钟总线上的衰减时钟接收器

在一些场合中，时钟分发总线上的时钟分接点可能会严重地扰乱时钟波形。在以下的三种情况下发生的可能性较大：时钟分接点较多；时钟接收端的寄生电容较大；频率较高。

减少每个时钟分接点的影响的一个方法是，在时钟的输入端引进3:1的衰减器，这就要付出需求更高电压增益的代价。在每个逻辑门的输入端串入一个在时钟频率处是逻辑门输入阻抗的两倍的阻抗。衰减网络可以包含一对互为平行的电阻和电容。

对于CMOS电路，它不需要直流偏置电流，单独使用衰减网络已经足够了。TTL电路除了衰减网络，还需要直流偏置网络。

3:1衰减网络的优点是使输入端的阻抗增加了3倍。缺点是逻辑门接收到的信号较弱。幸运的是大部分的逻辑门保留很大的电压增益裕度。

通常的差分接收电路具有大的增益和非常精确的输入转化阈值电压，它用衰减网络时钟接收端性能比较好。当用普通的逻辑门（它具有非常不精确的转化阈值电压）作为衰减时钟接收端时，需要比较好的偏置。可以使用能够检测自己输出的占空比从而相应地调节输入阈值以维持占空比50%的直流偏置网络来实现。

本节要点:

- 衰减网络可以增加时钟接收器的有效输入阻抗。