

高速数字电路设计教材

拟制: _____
审核: _____
审核: _____
批准: _____

日期: yyyy-mm-dd
日期: yyyy-mm-dd
日期: yyyy-mm-dd
日期: yyyy-mm-dd



华为技术有限公司

版权所有 侵权必究

目 录

| | |
|---|----|
| 第3章 测量方法 | 2 |
| 3.1 示波器探头的上升时间和带宽 | 3 |
| 3.2 探头接地环路的自感 | 6 |
| 3.2.1 计算接地环路自感 | 7 |
| 3.2.2 计算10-90%上升时间 | 7 |
| 3.2.3 估算电路Q值 | 8 |
| 3.2.4 结果的重要性 | 9 |
| 3.3.探头接地环路产生的虚假信号 | 12 |
| 3.3.1.在环路A中变化的电流 | 12 |
| 3.3.2.环路A和环路B之间的互感 | 13 |
| 3.3.3.互感定义的应用 | 13 |
| 3.3.4.磁场检测器 | 14 |
| 3.4.探头如何对电路形成负载(how probes load down a circuit) | 15 |
| 3.5.特殊的探测装置 | 18 |
| 3.5.1.厂制的(Shop-Built) 21:1的探头 | 18 |
| 3.5.2.为低电感接地回路所用的固定装置 | 21 |
| 3.5.3.用于探测的内嵌式的固定装置 | 22 |
| 3.6.避免从探头屏蔽检取电流 | 24 |
| 3.7.观察串行数据传输系统 | 27 |
| 3.8.降低系统时钟 | 29 |
| 3.9.观测串扰 | 29 |
| 3.9.1.关掉初始的信号 | 29 |
| 3.9.2.去掉串扰 | 30 |
| 3.9.3.产生人为的串扰 | 30 |
| 3.10.测量操作容限 | 31 |
| 3.10.1 附加的噪声 | 31 |
| 3.10.2.调节宽总线上的定时 | 32 |
| 3.10.2.1.通过同轴电缆延时调节时钟 | 32 |
| 3.10.2.2.通过脉冲发生器调节时钟 | 33 |
| 3.10.2.3.用于时钟相位调节的简单电路 | 33 |
| 3.10.2.4.用锁相环调节时钟 | 34 |
| 3.10.2.5.通过改变电压调节时钟 | 35 |
| 3.10.3.供电 | 35 |
| 3.10.4 温度 | 36 |
| 3.10.5 数据吞吐量 | 37 |
| 3.11 观测亚稳态 | 37 |
| 3.11.1 亚稳态测量 | 38 |
| 3.11.2 理解亚稳态(metastable)特性 | 39 |
| 3.11.3 很长处理时间的证据(evidence for very long resolution times) | 43 |
| 3.11.4 亚稳度曲线 | 47 |

第3章 测量方法

摘要:

所有科学的仪器都有局限性，和其它仪器一样，当我们用一台示波器测量一个数字系统时，我们必须学会容忍它的局限性和计算它在我们结果的影响。

3.1 示波器探头的上升时间和带宽

示波器主要的限制为三个方面：灵敏性的不足、输入电压的幅度不够大、带宽限制。

只要数字测试中的灵敏度不是特别的高，一般示波器的灵敏度是满足要求的。在高电平时，数字信号一般小于5V，绝对是在示波器的输入电压范围之内，主要的限制是带宽。

示波器的Y轴放大器有带宽级别，就象示波器的探头一样，它们的数字意味着什么呢？很少工程师会把一个100-MHz带宽的示波器用到200-MHz的数字信号的测量上，但用到99MHz的信号上会怎样？带宽的正确含义是什么？在数字信号中有什么影响？

图3.1给了我们一些线索，在图3.1中描述的两轨迹是同一个信号使用不同带宽的示波器测试出的结果。上面的轨迹的上升延快，然而下面的上升延相比较就慢了。上面波形是用上升时间快的探头测的，而下面的波形所用的探头的带宽上限为6-MHz，带宽为6-MHz探头用于过滤噪声，输入阻抗很高，因此这个比较有点夸大，实际测量的探头不会有这么大的差别。带宽窄的探头测到的上升沿或下降沿变慢甚至会被过滤掉。在信号处理技术中，这低通探头滤掉被测信号的高频元素。

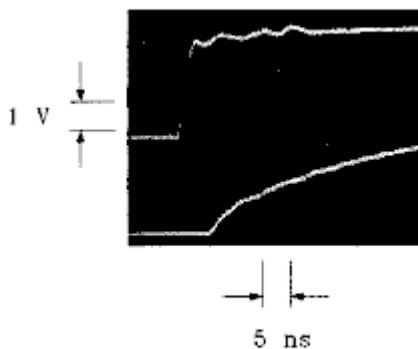


Figure 3.1 Two probes having different bandwidth display the same signal differently.

图3.1 同一信号在两种不同带宽探头下测量结果不同

图3.2剖析这示波器系统的组成，分别是输入信号、探头和Y轴放大器，在图3.2中，一个理想的上升时间非常短的信号分别在不同的阶段输入，于是我们就可以直接的观测到在系统每一部分导致的波形畸变。探头和Y轴放大器的影响是一样的：他们都使输入信号的上升时间变长了。

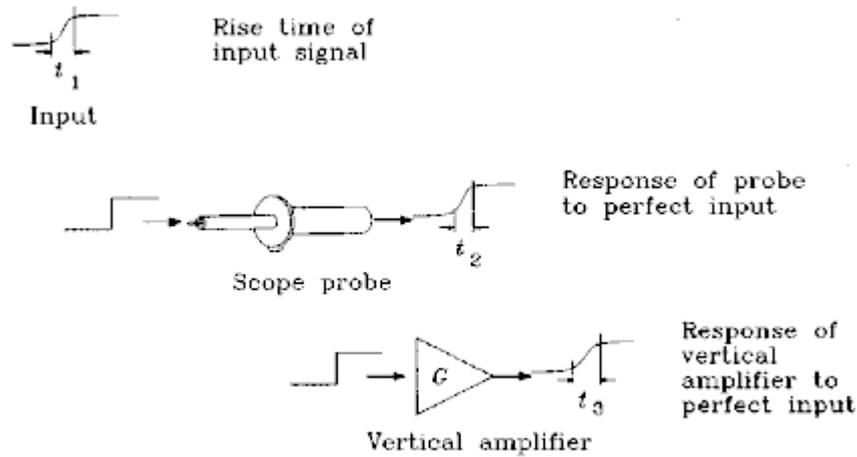


Figure 3.2 Rise time of oscilloscope components.

图3.2对每一个处理阶段对上升时间的影响进行了量化。

当一个真实的信号输入由探头和Y轴放大器组成的系统中时，像图3.3中一样，最终的上升时间等于各部分的上升时间的平方和的开方。

$$T_{\text{rise composite}} = \left(T_1^2 + T_2^2 + \dots + T_N^2 \right)^{1/2} \quad [3.1]$$

对于串联的系统，取上升时间的平方和。对上升时间较为合理的测量是10-90%上升时间。

示波器的生产商通常引用3-dB带宽，在探头和Y轴放大器上使用 F_{3dB} 指标，而不是上升时间。3-dB带宽和10-90%上升时间之间的转换如以下所示（看式1.6）：

$$T_{10-90} = \frac{0.338}{F_{3dB}} \quad [3.2]$$

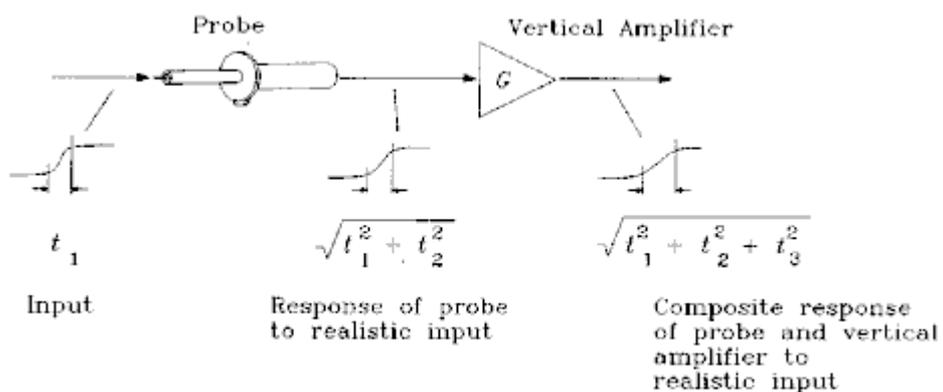


Figure 3.3 Composite rise time of an oscilloscope system.

图3.3 示波器系统的复合上升时间

从设备厂商的说明书中引用RMS带宽，即噪声带宽 F_{RMS} ，可以依照下式转化（也可以看等式1.7）：

$$T_{10-90} = \frac{0.361}{F_{RMS}} \quad [3.3]$$

在使用从商店购买的探头(shop-built probes)的时候，我们会分析它的低通滤波器的性能。这些滤波器没有高斯频率响应曲线。在这种情况下，电路10-90%上升时间和滤波器的时间常数有以下关系：

For a LR low-pass filter :

$$T_{10-90} = 2.2 \frac{L}{R} \quad [3.4]$$

For a RC low-pass filter :

$$T_{10-90} = 2.2RC \quad [3.5]$$

For a two-pole RLC filter near critically damped :

$$T_{10-90} = 3.4(LC)^{\frac{1}{2}} \quad [3.6]$$

例3.1: 上升时间变缓

有一台示波器的频率为300MHz，探头的频率也是300MHz,它们的规格都是3-dB 带宽，它们组合起来对上升时间为2ns的信号有什么影响呢？

$$\begin{aligned} T_{r \text{ scope}} &= 0.338/300 \text{ MHz} = 1.1 \text{ ns} \\ T_{r \text{ probe}} &= 0.338/300 \text{ MHz} = 1.1 \text{ ns} \\ T_{r \text{ signal}} &= 2.0 \text{ ns} \end{aligned}$$

$$T_{\text{displayed}} = (1.1^2 + 1.1^2 + 2.0^2)^{\frac{1}{2}} = 2.5 \text{ ns} \quad [3.7]$$

结果测到的上升时间为2.5ns。

例3.2 计算输入的上升时间

如果示波器显示2.2ns的上升沿，你能算出实际输入上升时间为多少吗？

将公式3.1反过来可以由输出显示的2.2ns求得输入的真实上升时间。

$$T_{\text{actual}} = (2.2^2 - 1.1^2 - 1.1^2)^{\frac{1}{2}} = 1.6 \text{ ns} \quad [3.8]$$

显示的2.2ns的信号，它的实际10-90%上升时间是1.6ns。

请不要太在乎这个例子，它只在输入波形没有过冲时是准确的。如果准确知道设备的10-90%上升时间，并且测量是在没有噪声的情况下进行的，测量上升时间要好的方法是使用速度更快的探头和示波器。

简单地说，这种方法可以提高示波器的使用频率范围到原来的2~3倍。

本节要点：

- ◆ 复合上升时间等于各环节的10-90%上升时间的平方和。

3.2 探头接地环路的自感

测量数字电路时，使一般衰减10倍的示波器探头的性能变差的基本因素是探头接地线的电感。制造商报告对探头性能测量是用测量仪器分别与探头顶端和探头的外部相连。*带宽测量时是没有用到接地线的。*由于数字工程师通常用塑料包裹的探头顶端，而接地线和探头套管中部相连接，我们将研究这些改变对探头有什么样的影响。

图3.4显示了一个典型的探头布置。探针连接到检测的电路，接地导线连接探头套管到一个方便的本地参考地。注意接地使用的是几英寸长的细线。

把这种探头布置的等效电路画出来，在图3.4的下方。我们假设这探头有输入电容为10pF，两端并了一个10MΩ的电阻。从图可以看到，电流流入探头必须穿过地环返回信号源。电路原理图中电感 L_1 起阻止电流变化的作用。

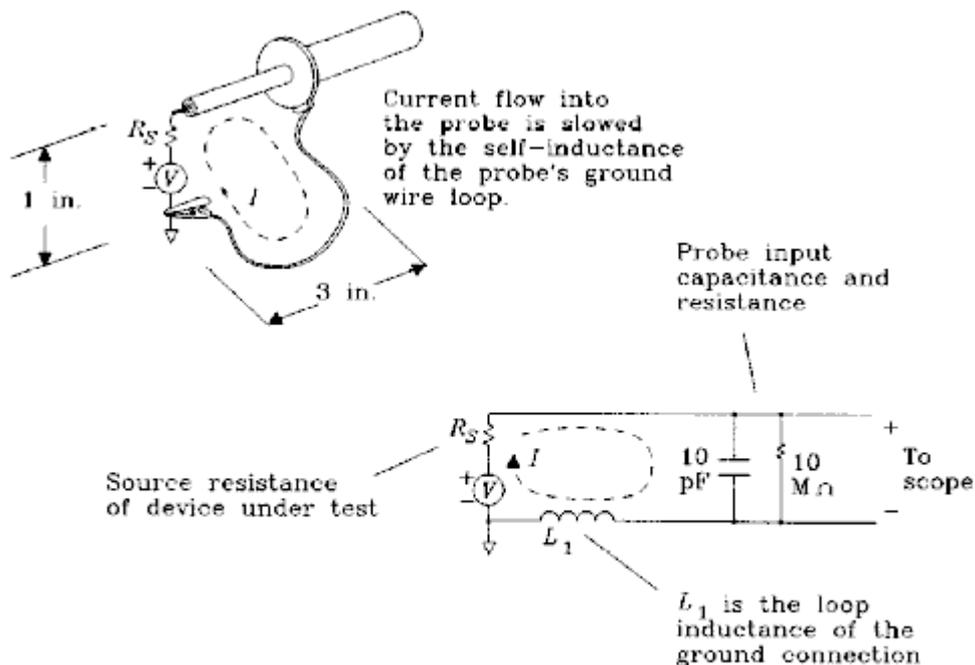


Figure 3.4 Electrical model of an oscilloscope probe.

图3.4 示波器的探头的电路模型

在我们的测量当中电感 L_1 起什么作用呢？ L_1 的电抗，作为探头输入的负载电阻，有一个有限的上升时间。我们将计算 L_1 的值，得到10-90%的上升时间，然后讨论它的重要性。

3.2.1 计算接地环路自感

在图3.4中的接地环路尺寸是1 in×3 in。对于这种类型探头典型的地线尺寸是American Wire Gauge (AWG) 24，它的直径为0.02 in。使用附录 C的计算感应系数的公式，计算结果是：

$$L \approx 10.16 \left[1 \ln \left(\frac{2 \times 3}{0.02} \right) + 3 \ln \left(\frac{2 \times 1}{0.02} \right) \right] \text{ nH} \quad [3.9]$$

$$\approx 200 \text{ nH}$$

3.2.2 计算10-90%上升时间

此电路LC时间常数是：

$$C = 10 \text{ pF}$$

$$L = 200 \text{ nH}$$

$$T_{LC} = (LC)^{\frac{1}{2}} = 1.4 \text{ ns} \quad [3.10]$$

对于一种严重衰减的两极电路(for a critically damped two-pole circuit)10-90%上升时间是LC时间常数的3.4倍：

$$T_{10-90} = 3.4T_{LC} = 4.8 \text{ ns} \quad [3.11]$$

这4.8ns的上升时间说明了问题的存在，我们注意到在例3.1中一个300MHz速率的探头会有1.1ns的10-90%的上升时间，在这儿我们也看到了3in的地线已经导致4.8ns的10-90%的上升时间。

3.2.3 估算电路Q值

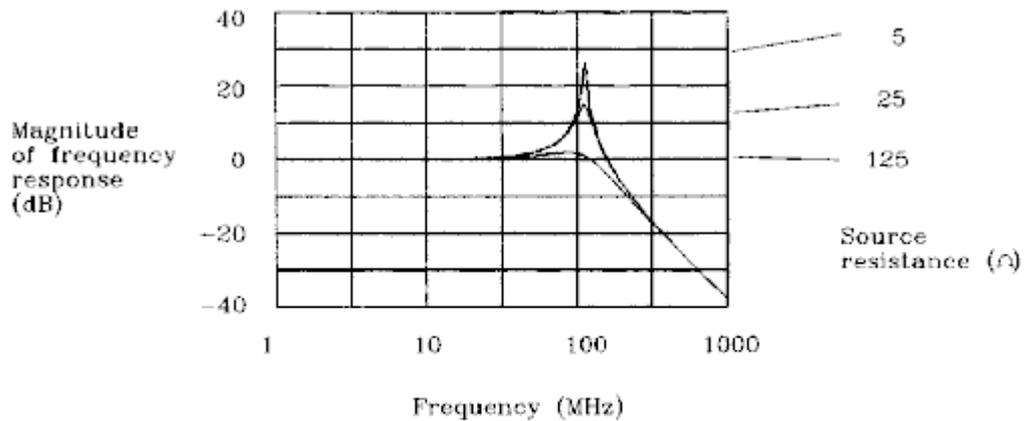
图3.4包括一个与信号源串联的电阻，它模拟驱动被测信号的门的输入阻抗。对于TTL或高性能CMOS驱动器，这个源阻抗约为30 Ω，对于ECL系统（硅或GAs），输出电阻大约10 Ω。

LC电路的Q，或谐振，受被测信号的源阻抗影响很大。L、C和 R_S 串联组成的谐振电路的Q值约为：

$$Q \approx \frac{(L/C)^{\frac{1}{2}}}{R_S} \quad [3.12]$$

在公式3.12中，Q是储存在环路中的能量与谐振衰减时单位弧度能量损耗的比值。一个高的Q值电路在外部激励下会振荡很长时间。在电路的频率响应中，这个振荡会表现出大的峰值。

图3.4的电路中，当我们减少源阻抗 R_S 时，LC滤波器在100MHz附近产生大的谐振。图3.5画出了源阻抗分别为5、25、125Ω时的效果。



Probe ground loop is
1 in. × 3 in.
Probe input impedance
is 10 pF, 10 M Ω .

Figure 3.5 Frequency response of a probe with a ground wire.

图 3.5 带有地线的探头的频率响应

5 Ω 源阻抗引发了 29-dB 谐振(resonance)。截止频率高于 100 MHz 的数字信号通过探头电路会产生很大的畸变。

25 Ω 源阻抗引发了 15-dB 谐振(resonance)。截止频率高于 100 MHz 的数字信号通过探头电路会产生畸变。

125 Ω 对应的曲线显示了它的临界阻尼(Q=1) (The 125 Ω plot shows critical damping(Q=1))。源阻抗为 125 Ω 附近时，探头有最好的频率响应。

当使用图 3.4 所示的探头时，拐点频率低于 100 MHz 的数字信号不会有虚假的振铃和过冲（有一句话没翻译），公式 1.1 告诉我们上升时间要长于 5 ns 以保证低于 100 MHz 的截止频率。

$$\text{Rise time} > \frac{0.5}{100 \text{ MHz}} = 5 \text{ ns} \quad [3.13]$$

5 ns 的上升时间的限制与探头的布置参数有关，在这个例子里，接地环路的电感是 200 nH，旁路电容是 10 pF。

3.2.4. 结果的重要性

我们预测用带接地线的探头测量由低阻抗源输出的快速信号时会产生虚假的振铃和过冲 (artificial ringing and overshoot)。

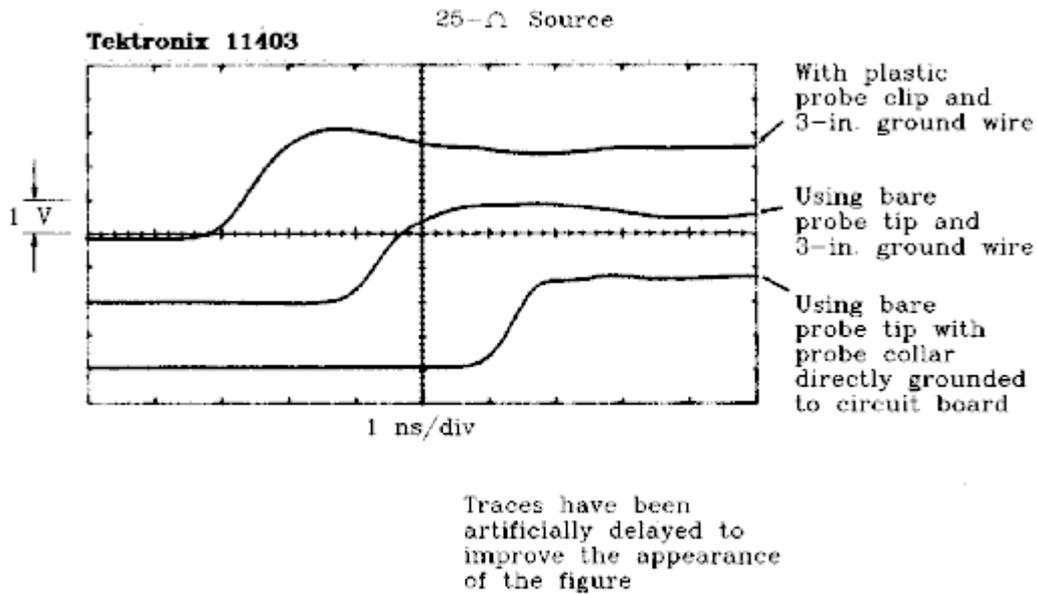


Figure 3.6 Ringing induced in a 1.7-pF probe by a 3-in. ground wire when viewing a 25-Ω source.

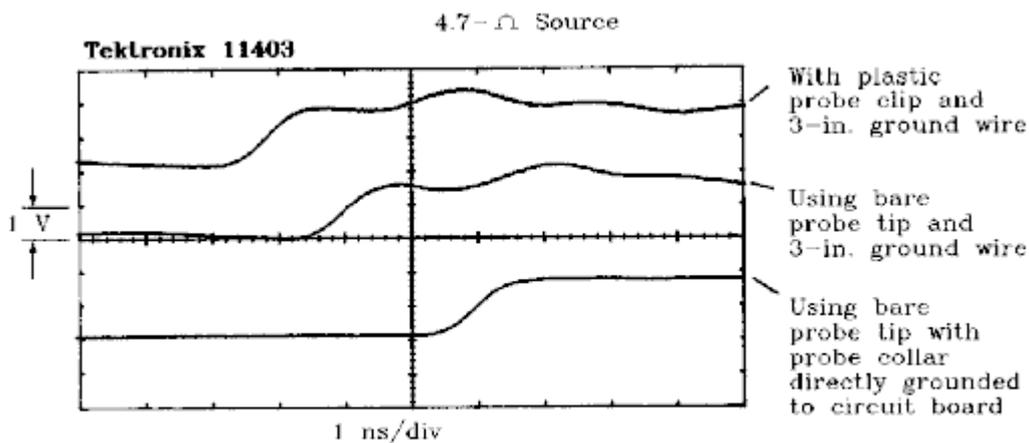


Figure 3.7 Ringing induced in a 1.7-pF probe by a 3-in. ground wire when viewing a 4.7-Ω source.

图3.6和3.7比较了我们的预测和实际测量结果。实验中使用了一个FET输入容抗非常低的探头(very-low-capacitance FET input probe), 它的旁路电容为1.7pF, 带宽为1GHZ 3-dB, 连接到 Tektronix 11403 数字采样示波器。在图3.6中源阻抗是25 Ω, 而在图3.7中源阻抗是4.7 Ω。在两个图中最上面的波形用了标准的塑料探头, 有夹子夹住了探头头部, 带有一根3in的接地线。中间波形是用赤裸的探头接触被测信号, 探头有一根3in的接地线。显然, 去掉塑料探头夹子不会有什么影响。这些波形显示了在25 Ω情形下有大约15%的过冲, 在5 Ω情形有29%的过冲。

图中振铃周期在2-6ns范围之内, LC时间常数为:

$$T_{LC} = (LC)^{\frac{1}{2}} = (200 \text{ nH} \times 2 \text{ pF})^{\frac{1}{2}} = 0.63 \text{ ns} \quad [3.14]$$

LC时间常数 6.3 ns 计算振荡周期为：

$$\text{Expected period} = 2\pi T_{LC} = 4.0 \text{ ns} \quad [3.15]$$

至此，测量的结果和原理很完美的统一起来。那两幅图中最底下的波形呢？为什么它会比较好呢？

两幅图最底下的波形给了我们一个很好的线索去解决过冲的问题。在最低下的轨迹中，我们除去了保持和地线配件连接的塑料套筒和除去了地线。暴露覆盖探头乃至探头顶端的金属部分 (exposing the metal shield which covers the probe all the way out to the bare probe tip)。我们还可以用一小刀片直接连接这金属探头到电路地，使接地点和被测点尽量靠近 (见图3.8)。使探头金属壳的接地电感与实际一样小 (this shorts the metal probe shield to ground with as little inductance as practical)。当用这个直接的接地方法时，25 Ω 和 5 Ω 二者的波形得到很大的改善。

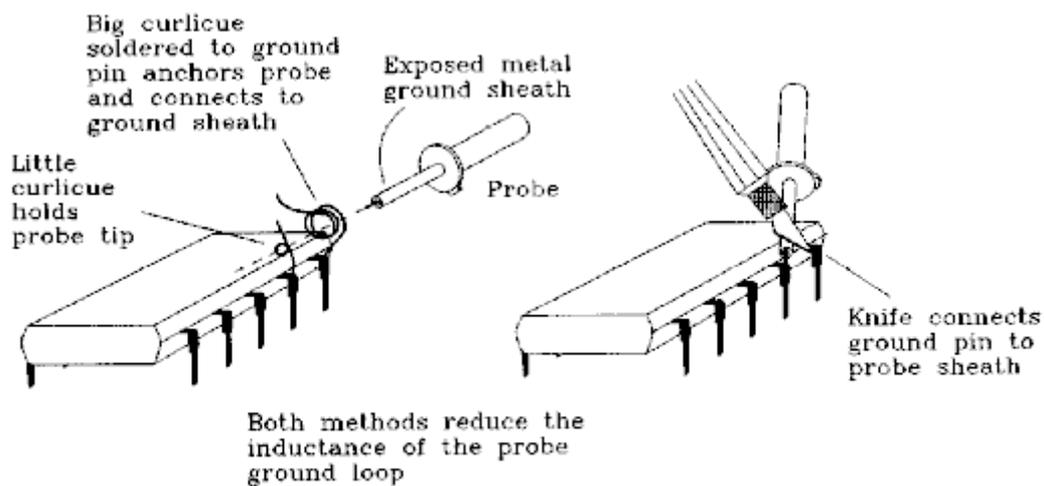


Figure 3.8 Methods for grounding a probe tip near a signal under test.

为什么探头接地点与信号源靠近时会有帮助？最根本的原因是我们极大地减小了探头接地回路电感，减小电感就是减小探头上升时间（公式3.10和3.11）和降低Q值（公式3.12）。

接地环路电感要小到什么程度才能保证低的Q值和快的上升时间？能不能只用一条更短的地线，而不必这么麻烦去用刀片？表3.1分别列出TTL（30 Ω ）和ECL（10 Ω ）测量中10-90%的上升时间(ns)和Q值，其中Q是环路电感的函数。

TABLE 3.1 EFFECT OF GROUND LOOP INDUCTANCE ON 10- AND 2-pF PROBE PERFORMANCE

| Ground loop inductance (nH) | 10-pF probe | | | 2-pF probe | | |
|-----------------------------|-------------|-----------|-----------|-------------|-----------|-----------|
| | T_{10-90} | Q_{TTL} | Q_{ECL} | T_{10-90} | Q_{TTL} | Q_{ECL} |
| 200 | 2.8 | 4.7 | 14.1 | 1.3 | 10.5 | 32.0 |
| 100 | 2.0 | 3.3 | 9.9 | 0.89 | 7.4 | 22.0 |
| 30 | 1.1 | 1.8 | 5.4 | 0.49 | 4.1 | 12.0 |
| 10 | 0.6 | 1.1 | 3.2 | 0.28 | 2.4 | 7.1 |
| 3 | 0.3 | 0.6 | 1.7 | 0.15 | 1.3 | 3.9 |
| 1 | 0.2 | 0.3 | 1.0 | 0.09 | 0.7 | 2.2 |

对于10pF的探头，为了使TTL上升时间为1ns时过冲较低，我们必须把环路电感降到10nH以下。对于ECL电路，将需要更低的电感。

为了降低环路电感，让我们试着用粗一些的地电线取代图3.4中的地线。如果开始电线是AWG 24，我们可以试试AWG 18，它的直径为前一种的两倍。重新计算公式3.9：

$$L \approx 10.16 [1 \ln(3/0.02) + 3 \ln(1/0.02)] \text{ nH} \quad [3.16]$$

$$\approx 170 \text{ nH} \quad [3.17]$$

可以看到接地线直径的改变对电感的降低贡献很小。接地线直径增大一倍，电感只减少了15%。

另一方面，导线的硬度与导线直径的立方成正比，随着直径的增长，导线的硬度增加得更明显。硬度和电感之间是一对矛盾，因此光用粗的线并不能解决问题。

环路电感与环路面积和线的长度大致成正比。解决电感问题的方法一般是缩短导线长度或者减少环路面积，而不是增大导线的直径。

表3.1说明了2-pF探头获得比10-pF探头好的上升时间，但是测量低阻抗信号时会有更大的Q值。

本节要点：

- ◆ 在10-pF的探头中，3-in. 的接地线会引起2.8ns的10-90%上升时间。
- ◆ 增粗接地线对消除振铃没有什么帮助。
- ◆ 大幅度缩短接地线环路能改善振铃和减小上升时间。

3.3. 探头接地环路产生的虚假信号

任何地线环路，除了延长探头的10-90%上升时间之外，还增加了干扰。附加的干扰通过探头地的回路耦合到信号线上。这种附加的噪音，如果和测试下的信号同步，那么它是很困难和真正的信号区分开。

图3.9显示了一个DIP封装的集成电路，它发送数字信号给一个50 pF 的负载。信号电流环路用粗的黑线表示。在环路A中电流的变化，通过环路A和环路B之间的互感的激励，在环路B中产生电压。

我们将首先估算在环路A中的变化的电流和计算环路A和环路B之间的互感，最后我们将用互感的结论去找出示波器在这种条件下收到的干扰电压。

3.3.1. 在环路A中变化的电流

假定IC驱动电路符合例2.4，这最大的 di/dt 是 $7.0 \times 10^7 \text{ A/S}$ 。

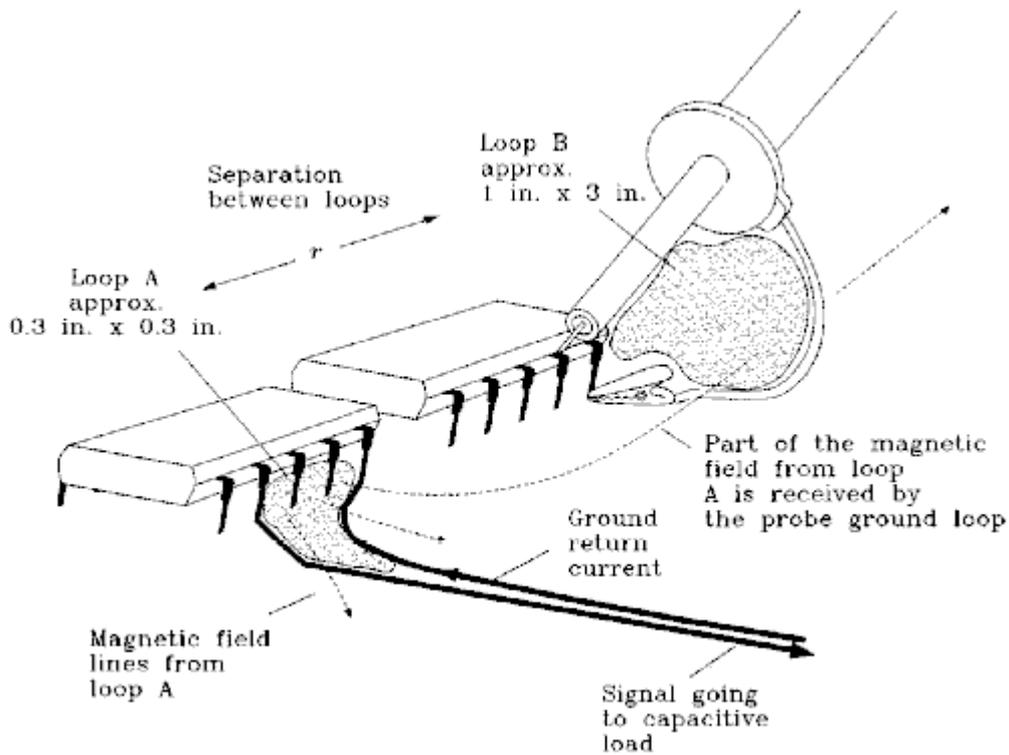


Figure 3.9 A probe ground loop picks up spurious noise voltages.

3.3.2. 环路A和环路B之间的互感

环路A和环路B的尺寸如图3.9，我们需要从附录C中找到应用的公式来计算两回路的互感。

$$L_M = 5.08 \frac{A_1 A_2}{r^3} \quad [3.18]$$

$$= 5.08 \frac{(0.3 \times 0.3)(1 \times 3)}{2^3} \quad [3.19]$$

$$= 0.17 \text{ nH} \quad [3.20]$$

where A_1 = area of loop 1, in.²

A_2 = area of loop 2, in.²

r = separation of loops, in.

L_M = mutual inductance between loops 1 and 2, H

3.3.3. 互感定义的应用

在回路B中产生的噪声电压是回路A电流变化速率和回路A和B互感的乘积。

$$V_{\text{noise}} = L_M \frac{dI}{dt} = (0.17 \text{ nH})(7.0 \times 10^7 \text{ V/s}) = 12 \text{ mV} \quad [3.21]$$

where L_M = mutual inductance of loops A and B, H

dI/dt = rate of change of current in loop A, A/s

V_{noise} = noise voltage induced in loop B, V

在回路A中电流的瞬间变化只在回路B中产生12mV的干扰脉冲。12mV本身可能是能够忽略的，但如果探头的地回路移到靠近32-bit的总线会是怎样的呢？它极有可能是干扰电压相加，结果是会出现0.384V的干扰。这种干扰与TTL的电压裕度相比是很可观的，是严重的测量错误的源头。

快速逻辑电路有干扰（noise—pickup）的问题(faster logic compounds the noise-pickup problem)

3.3.4. 磁场检测器

为了观察电感的耦合，将示波器的头和地短接，如图3.10所示，不要将探针接触任何物体。理想情况下，应该不会有任何信号；相反，任何做过这个试验的人知道，准快速数字逻辑电路中会看到很多信号。

探针和地环路的配合对于变化的磁场肯定有反应，这磁场会在环路上感应电压。当回路在高速数字电路附近移动时，它能通过互感耦合检测到干扰。

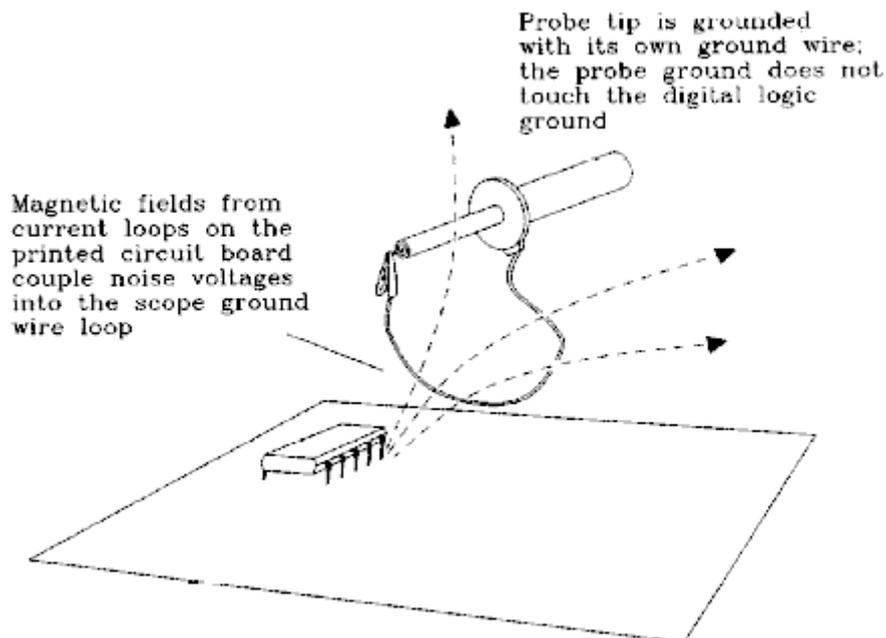


Figure 3.10 Magnetic field detector.

如果你把地线和探头压在一起，环路面积减少了，耦合的信号自然就小了。耦合的噪声量与接地环路面积成正比。如果在某一区域产生大量的耦合信号（如连接器），调整环路方向使其与磁力线垂直能够明显消除耦合信号。

探头探针的面积很小，因此它和数字电路之间不存在互感。试试不用地线，而只把探头放到高速数字电路旁边，看看它们之间的互感会不会在探头上形成噪声电流，探头是防静电的。

本节要点：

- ◆ 探头的接地点与被测点要尽量近，以减少接地环路面积。
- ◆ 探头的接地线要尽量短，或者用刀刃直接把探头的金属外壳和电路板的地接起来。
- ◆ 做一个电磁场检测器来检测互感耦合噪声。

3.4. 探头如何对电路形成负载(how probes load down a circuit)

探头会对被测电路产生影响。相信我们都碰到过这样的情况：当我们用探头测量电路时它是工作正常的，而探头一移开它就不正常了。这是很正常的现象，源于探头对被测电路形成负载效应。

当一个探头当作电路的负载，我们想波形上会有什么变化呢？在一个电路中诱发变化的主要有三个方面的因素：

被测数字信号的拐点频率（公式1.1）。

被测电路在拐点频率的源阻抗。

示波器探头在拐点频率的输入阻抗。

暂时认为典型的数字源阻抗的范围是10到75 Ω ，我们只需要研究探头对频率变化的特性。图3.11显示三种普通的示波器探头的输入阻抗。

- (1). 10 \times 无源探头，输入电容 0.5-pF，输入电阻 1000 Ω 。
- (2). 10 \times FET 有源探头，输入电容1.7-pF，输入电阻10-M Ω 。

(3). $10\times$ 无源探头, 输入电容 10-pF , 输入电阻 $10\text{M}\Omega$ 。

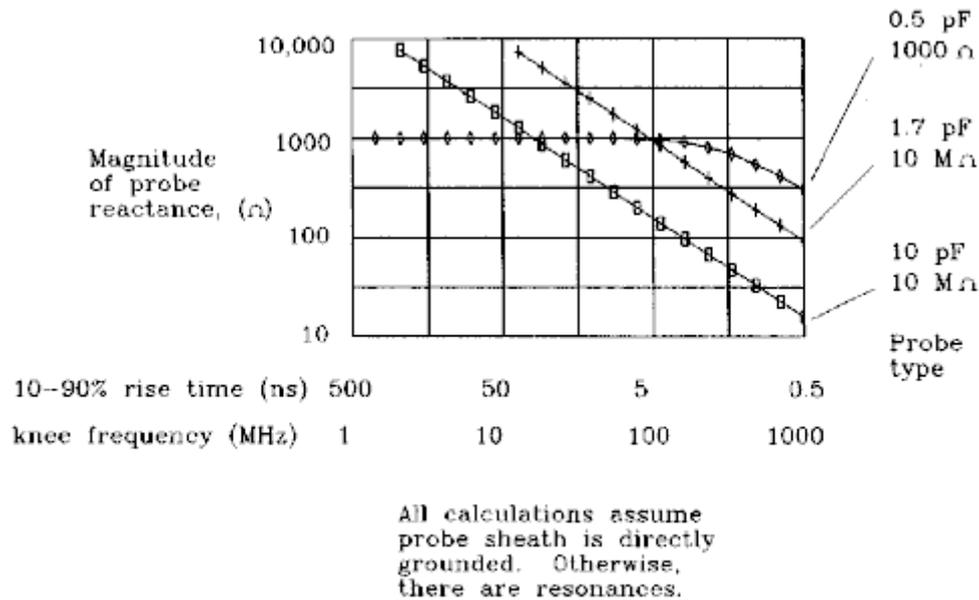


Figure 3.11 Probe input impedance.

参考图3.11, 在我们所关注的上升时间范围, 探头旁路电容越高, 阻抗就越小。在高频, 只有旁路电容起作用(only the shunt capacitance matters)。

如果我们希望探头对被测电路的影响小于10%, 那么探头的阻抗起码是被测电路源阻抗的10倍。对于5ns的上升沿, 经过 10pF 的探头时会被滤掉(for any rise time less than 5ns, the 10-pF probe fails to pass muster)。

例3.3: 探头负载

参考图3.12, 输出信号与 $50\ \Omega$ 终端电阻之间通过阻抗为 $50\ \Omega$ 的传输线相连。终端处与探头连接, 探头内带有对短的RG174 $50\ \Omega$ 同轴电缆的 $1000\ \Omega$ 馈入电阻(consisting of a $1000\text{-}\Omega$ resistor feeding a short length of RG174 $50\ \Omega$ coax.)。电缆的另一端连到 $50\ \Omega$ 的终端匹配, 输入到高速采样示波器。

我们现在可以把各种不同的负载探头连到测试点, 观测它们的影响。

图3.13揭示了Tektronix P6137探头对电路的负载效应。P6137探头衰减10倍, 10-pF , $10\text{-M}\ \Omega$, 输入到可携带400-MHZ示波器。第一条轨迹是没有探头负载的情况, 第二条轨迹是有探头连接的情况, 其中使用了6英寸的接地线。第三条轨迹是裸露的探头点到节点A, 探头基体通过刀片直接接地。

第一条轨迹有是好的上升时间 600ps , 振铃中等, 第二条轨迹有使上升时间减缓了一点, 在初始上升沿之后有较大的反向过冲, 第一条轨迹虽然也有波纹, 但它是在渐近线的半格范围之内。最后一条轨迹的上升时间是 800ps , 波动很小。

我们计算一下期望上升时间减缓量, 与实验结果相比较。

第三条轨迹的情况，连接了小的串联电感，探头表现为简单的容性负载。图3.12中测试点的容源阻抗是 $25\ \Omega$ 。当与 10pF 容性负载相连时，RC上升时间是：

$$T_{RC} = (25\ \Omega)(10\ \text{pF}) = 250\ \text{ps} \quad [3.22]$$

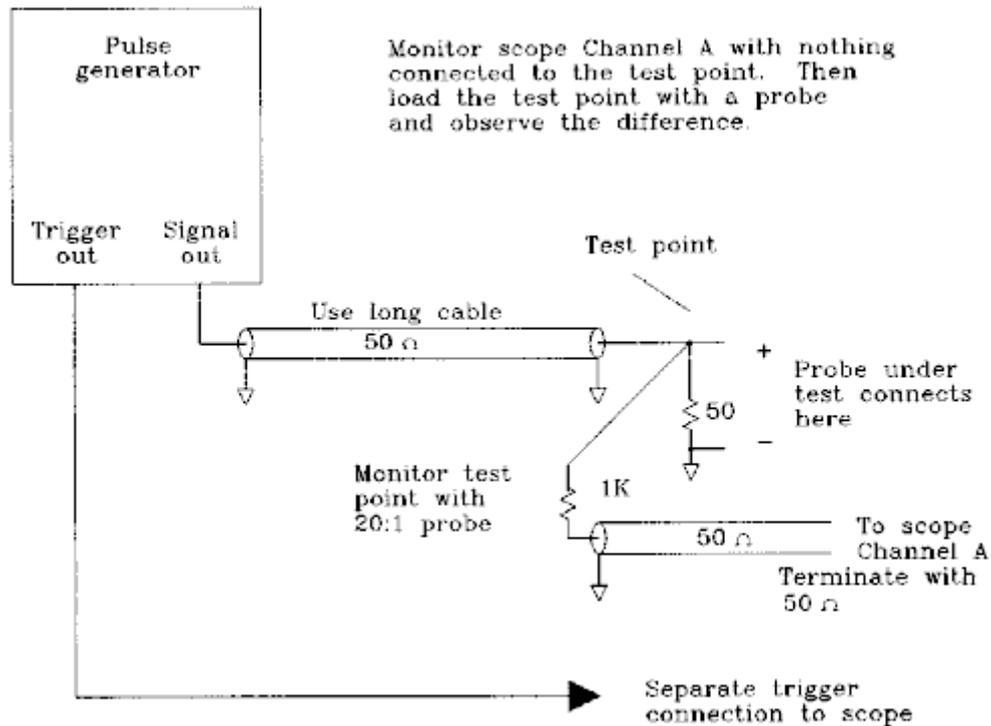
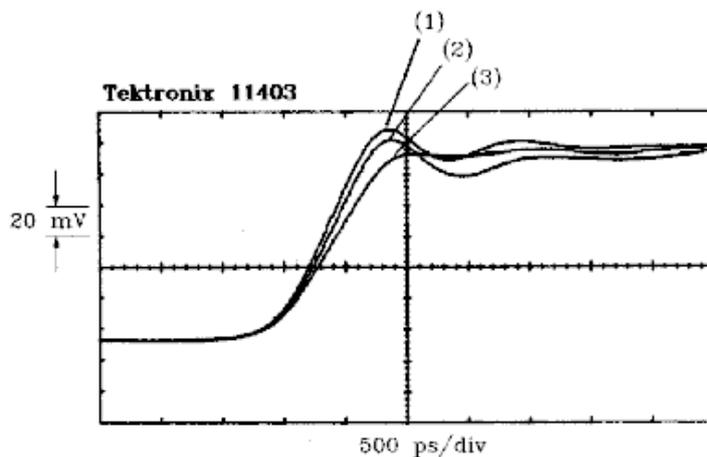


Figure 3.12 Fixture for testing probe loading.



- (1) No load
- (2) P6137 10-pF probe using 6-in. ground wire
- (3) P6137 10-pF probe with collar directly grounded using small knife blade

Figure 3.13 A 10-pF probe loading a 25- Ω circuit.

RC电路的10-90%上升时间要乘2.2:

$$T_{10-90} = 2.2T_{RC} = 550\ \text{ps} \quad [3.23]$$

与测试信号原有的600-ps上升时间组合起来，得到合成结果：

$$\begin{aligned} T_{10-90 \text{ composite}} &= [(600 \text{ ps})^2 + (550 \text{ ps})^2]^{1/2} \\ &= 814 \text{ ps} \end{aligned} \quad [3.24]$$

这个数字与测量结果800ps很接近，达到了我们所期望的准确度。

探头负载使上升时间增加200ps，而延时只增加了100ps，这是因为大部分是在上升沿的中间翻转的，而不是在10%或者90%的点。

本节要点：

- ◆ 一个10-pF探头对于3ns的上升沿就象100 Ω 的电阻。
- ◆ 探头电容越小，它对电路的负载就越小，测量结果就更精确。

3.5. 特殊的探测装置

在数字开发实验室中大多数便携式的示波器用的探头有10-pF的输入电容和3到6-in.的地线。这种样式的探头，不可能准确地看到2-ns的上升延。考虑到这个问题，当探头附加在电路上时，探头将有效的改变信号的上升时间和脉冲形状。

这一节将介绍三种测量技巧，这些技巧可以解决接地环路电感和旁路电容的问题。

3.5.1. 厂制的 (Shop-Built) 21:1的探头

如图3.14所示一典型的21:1的探头，这种探头由普通的50-Ω同轴电缆 (RG-174, RG-58, 或 RG-8) 制成，电缆一端焊接到被测信号处，另一端焊接到本电路的参考地上。探头通过50 Ω 的插座输入示波器 (the probe terminates at the scope into a 50 Ω input jack)。测量端同轴电缆，在远端与示波器相连，看起来完全呈现阻抗。这探头总的输入电阻是1050 Ω。1000 Ω 的馈入电阻 (feed resistor) 和50 Ω 电缆电阻组合组成一个电阻分压器，分压比是：

$$\text{Division ratio} = \frac{50}{50 + 1000} = 0.048 \quad [3.25]$$

当你的示波器设置成50-mV/Division，显示的垂直的灵敏度将是：

$$\begin{aligned} \text{Vertical sensitivity} &= \frac{0.050 \text{ V/div}}{0.048} \\ &= 1.04 \text{ V/div} \end{aligned} \quad [3.26]$$

如果需要，在垂直的灵敏度的游标上微小地调节能修正到1.00V/Division。

这种21:1的探测设备的优势有如下三点：

- DC 输入电阻是1050 Ω。

- 一个1/4-W 1000-Ω 的并联电容大约1/2PF，这是非常好的。
- 这种探头的上升时间十分的快。

三点因素决定了对于这种厂制的（shop-bult）探头10-90%的上升时间的计算因素：BNC连接器的上升时间、同轴电缆的上升时间和检测回路的上升时间。

假定示波器上用到50 Ω BNC输入插座，BNC连接器在50 Ω 电缆上引入串联电感，其中保护套一直从中心导体覆盖到BNC连接处。表3.2显示几种型号的电缆连接器的串联电感和它们的10-90%时间常数。如果你的示波器没有50-Ω 内部终端匹配，可以在外部添加。这种连接会在设备上引入很大的寄生电容，特别使用带单独终端插头的BNC “T” 配件的时候。在这种设备应该高质量的在线终端器(get a good-quality in-line terminator for this setup)。

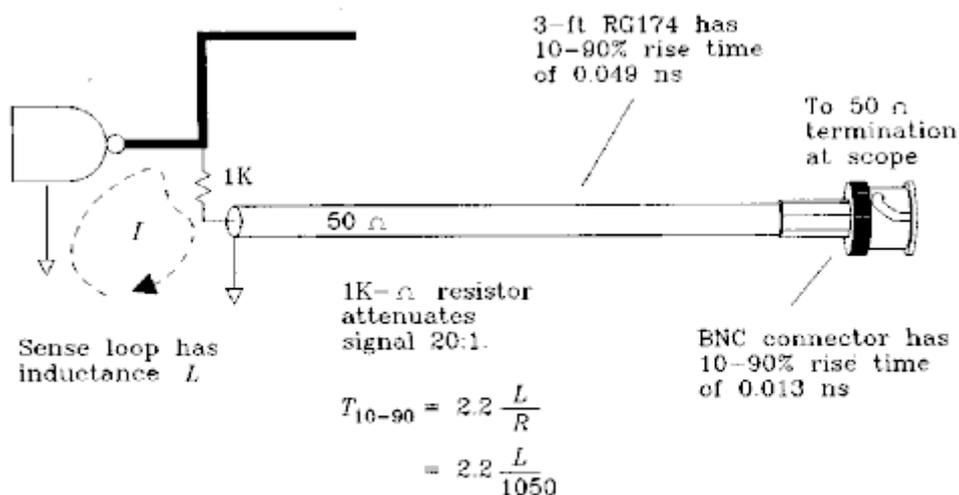


Figure 3.14 Shop-built 20:1 probe.

图3.14 厂制的（shop-Built）20:1 探头

TABLE 3.2 10-90% RISE TIME OF MALE COAX CONNECTORS

| Type | $L_{\text{connector}}$ | t_{10-90} (ns) |
|-------------------------|------------------------|------------------|
| RG-58 BNC twist-on | 1. | 0.022 |
| RG-58 BNC double-crimp | 0.5 | 0.011 |
| RG-174 BNC double-crimp | 0.5 | 0.011 |
| RG-8 N-type | 0.2 | 0.004 |

表3.3记录了不同长度和不同型号的电缆10-90%上升时间。电缆上升时间是和距离的平方成比。对于每一种型号电缆，它们之间有一个固定的比例常数。

找到衰减为3.3dB处的频率，你就可以估计电缆的上升时间。对于同轴电缆，这个值是拐点频率。通过拐点频率求出上升时间： $T=0.5/F_{\text{knee}}$ 。这个公式仅对短的电纜适用（总的衰减只有几个分贝）。

注意在高速时这衰减是和频率的平方根成比的，这有助于在电缆厂商的目录中加入衰减规范点。衰减直接与长度成正比。

TABLE 3.3 10-90% RISE TIME OF COAX CABLE

| Feet | T_{RG-174} (ns) | T_{RG-58} (ns) | T_{RG-8} (ns) |
|------|-------------------|------------------|-----------------|
| 1 | 0.004 | 0.002 | 0.0002 |
| 2 | 0.014 | 0.006 | 0.001 |
| 3 | 0.032 | 0.014 | 0.002 |
| 4 | 0.056 | 0.024 | 0.004 |
| 5 | 0.088 | 0.038 | 0.006 |
| 10 | 0.35 | 0.15 | 0.025 |
| 20 | 1.4 | 0.61 | 0.10 |
| 50 | 8.8 | 3.8 | 0.64 |

21:1探头的探测回路在信号源开始，包括1000- Ω 的传感电阻，同轴电缆的附件，同轴电缆到印刷板的连接，及地到信号源的通路，这条回路越紧越好。

作为检测回路直径的函数，表3.4列出了检测回路的电感和10-90%上升时间的值，表3.4假定检测回路主要用AWG 24电线制作。

因为厂制的（shop-built）探头包含了1K- Ω 的输入电阻，上升时间变长。与使用50- Ω 同轴电缆或10-pF输入探头的情况相比，检测回路的电感要小得多（L/R, Due to the inductance of the sense loop is much smaller than when working with a 50- Ω coax or with a 10-pF input probe)。厂制的（shop-built）探头有十分快的上升时间。电阻大一点，上升时间会更短。

一种因素限制了衰减探头的作用，那就是这衰减电阻端到端的并联电容。1/4W电阻通常有1/2pF端到端电容，在很高频率的情况下，并联电容导致更多的能量消耗在同轴电缆上，就会增加被测电路的负载。

TABLE 3.4 10-90% RISE TIME OF PROBE SENSE LOOP

| Loop diameter (in.) | L_{sense} (nH) | t_r (ns) |
|------------------------|---------------------|---------------|
| 0.1 | 3.9 | 0.01 |
| 0.2 | 11.4 | 0.02 |
| 0.5 | 31.0 | 0.06 |
| 1.0 | 80.0 | 0.17 |
| 2.0 | 200.0 | 0.42 |
| 5.0 | 500.0 | 1.1 |
| 10.0 | 1220.0 | 2.6 |

用一个比较小的电阻（1/8W）减少并联电容带来的问题。限制1/8W 1000- Ω 电阻上的电源，它承受的最大电压是 $\pm 11V$ 。

另一种对付并联电容的措施是在同轴电缆的末端并联一个电容。这一个修正电容和感应电阻的并联电容一起，形成一个匹配的21:1分压网络。就算在异常高的频率下，这个网络有平坦的频率

响应。商用的示波器探头使用了这种技术。在实验室中制作这种精确的电容分压器组合是很困难的。

衰减探头有低的Q值，使用合适的21:1探头，你可以感受到过冲和振铃问题变少了。

Tektronix 生产各种各样的低阻抗、无源衰减探头，与shop-built模型差相似。这个系列产品包括：P6156, P6150和P6231。P6156可以用于任何一种Y轴放大器上，因为它有BNC输入和50-Ω内部终端匹配。

例3.3 shop-built 探头的10-90%上升时间

用6英尺长的RG-174电缆和BNC双向卷曲 (dual-crimp)连接器构造一个21: 1的探头，探头环路直径为0.5英寸。

From Table 3.2, $t_{\text{BNC}} = 0.013 \text{ ns}$

From Table 3.3, $t_{\text{cable}} = 0.19 \text{ ns}$

From Table 3.4, $t_{\text{loop}} = 0.08 \text{ ns}$

$$t_{\text{composite}} = (t_{\text{BNC}}^2 + t_{\text{cable}}^2 + t_{\text{loop}}^2)^{1/2} = 0.206 \text{ ns} \quad [3.27]$$

本节要点：

- ◆ 一个shop-built探头有很好的上升时间。

3.5.2. 为低电感接地回路所用的固定装置

大多数的示波器探头顶端带有可拆除的IC钩抓式的夹子，移走塑料夹子，可以看到探头管 (probe barrel)。如果必要可以撤卸探头套管，保持接地线的位置，从而暴露低电感探头的地外壳 (ground sheath)。这种金属外壳，几乎延伸到探头的末端。它主要服务于两个目的：为探头端头加上防静电屏蔽和在靠近端头处提供一个好的接地点，得到一个低电感检测回路。

图3.8显示了用金属探头屏蔽取得低电流感应回路的两种方法。

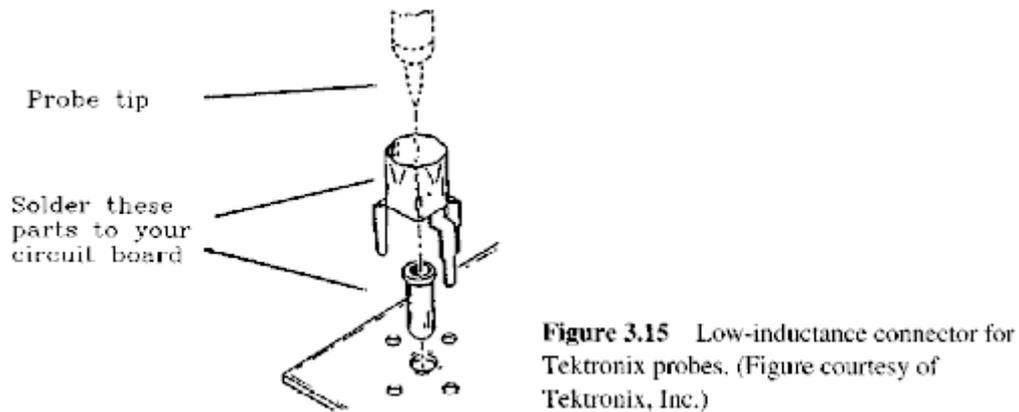
在图3.8中大的花体是一个电阻电线环绕在金属接地屏蔽外壳上，然后焊接到一个便利的接地脚上。它在机械上保持探头的位置，同时使它接地。这小的花体固定探头顶端。这些固定装置能够被应用于任何电路板上。花体 (curlicue) 可以很好地达到工程目标，可是并不持久，而且不容易加工。

地衬 (Ground pad) 的方法仅仅在探头点附近放置了小面积裸露的接地材料。当用探头测量被测点时，使用小刀片把探头的外壳与地衬相连。0.035-in.地垫已经足够大了。如果板子的上表面没有地，则用0.020-in.过孔把地接到表面来，然后在它的周围铺上0.035-in.地衬。

地垫是很有用的，当一个设计需要更改时，它能作为更改电路的附加点。一些模拟工程师在一个原型工作的时候会让整个地表面裸露，因此操作方便。

两种方法的测量环路电感在3到30nH之间，要看手艺如何。

Tektronix专门设计了一种连接探头顶端和被测电路的固定装置，它的接地环路电感非常小。如图3.15所示，如果电路的机械布局允许探头垂直伸到电路板上，这种固定装置是很有效的。如果板卡必须插在板卡箱里的话，不能用这种装置。



有些示波器探头的管子上(probe barrel)带有微小的夹子，使探头管可以直接接地。

3.5.3. 用于探测的内嵌式的固定装置

可拆除的探头会对电路形成干扰，因为探头进行测量时和离开电路之后电路的环境不一样。考虑一下10pF负载的探头对高速信号的影响。内嵌式的探头设计使电路在任何情况下的环境都是一样的。

另外，下面推荐的内嵌式探头装置1pF的寄生电容，远小于10pF的探头。

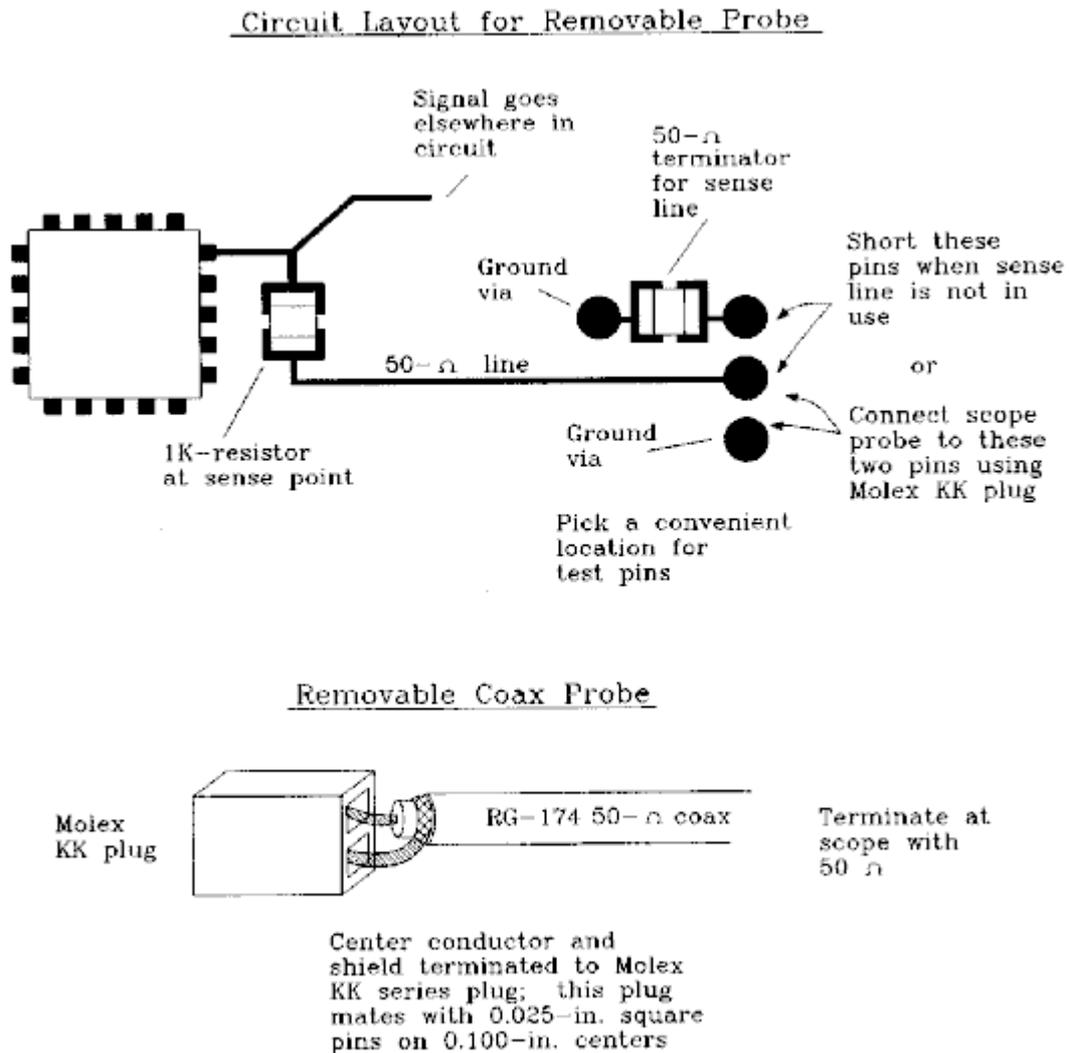


Figure 3.16 Embedded probe fixture.

图3.16 内嵌式探头固定装置

图3.16中内嵌式的固定装置实现21:1的探头功能，提供一个方便的检测连接点，使电路在任何时候以相同的方式连接。一个1000- Ω 感应电阻把被测电路连到50- Ω 的测量线上。50- Ω 的测量线一直走线到电路上方便的测试点上。图3.16提供了几种用50- Ω 把测量点与地短接的方法，此时没有接示波器。

把测量点连到示波器的方法有很多。与PC连接(PC mounted)的BNC是其中一种选择，但它占了电路板的大量空间。

图3.16显示了在大小为0.1平方英寸的区域的中部布置了0.025平方英寸的针，这部分是便宜的，可以与多种孔连接器相配。

作者喜欢用MOLEX/WALDOM KK系列的终端连接器。RG-174电缆直接卷到(crimps into) MOLEX/WALDOM KK的母插孔上，然后与电路板的公接头相连，这种连接估计有10nH的串联电

感。当与 $50\ \Omega$ 电缆串联时，得到的 T_{10-90} 是 0.22ns 。如果你把MOLEX引脚紧密地连到 $1000\ \Omega$ 传感电阻上，与连接器环路电感串联电阻为 $1000\ \Omega$ ， T_{10-90} 降为 0.025ns 。

无论你选择哪一种方式，它都能在不用时中止(terminate)测量线，并能够断开传感电阻。图3.16表示了一种测量线不用时的短路跳线，它有 $50\ \Omega$ 终端电阻(engages a $50\ \Omega$ terminating resistor)。

终止测量线会给被测电路带来常数阻值 $1050\ \Omega$ 的负载，尽管这时候探头已经移开了。

3.6. 避免从探头屏蔽检取电流

示波器探头有两根线，一根在测试下连接被测电路到垂直放大器（感应线），而另一根连接本地数字逻辑地到示波器机壳地（屏蔽线）。一般的，我们考虑示波器对测量线上电压的响应。这一节解释示波器如何对它屏蔽线上的信号作出响应。

示波器逻辑地与机壳地之间任何电压差都会引起电流在屏蔽线中流动，屏蔽层电流，通过图3.17所示的屏蔽线电阻 R_{shield} ，产生压降 V_{shield} 。探头电缆的中心导体、感应电线没有通过屏蔽电流，因而在上面没有压降。

在运行的电路中当屏蔽和感应电线两者都接触地，在他们之间不同的压降通过两根线引起输入到Y轴放大器。没有办法知道这个压差是由探头电缆遥远的末端实际信号电压引起的还是由于屏蔽层电流引起的。尽管你希望示波器显示的电压为0，它所显示的是屏蔽层电压。

示波器对屏蔽层电压作出响应，把这作为真实的信号。

屏蔽电压是与屏蔽层电阻成正比而与屏蔽层电感不成比例。这是因为屏蔽层和中心导线相互之间是互感的。屏蔽层中电流流动产生的变化磁场环绕着屏蔽层和中心导线，在两条线上感生了

电压。感应电压在两根电线上都有，不像电阻压降，只存在于屏蔽层上。

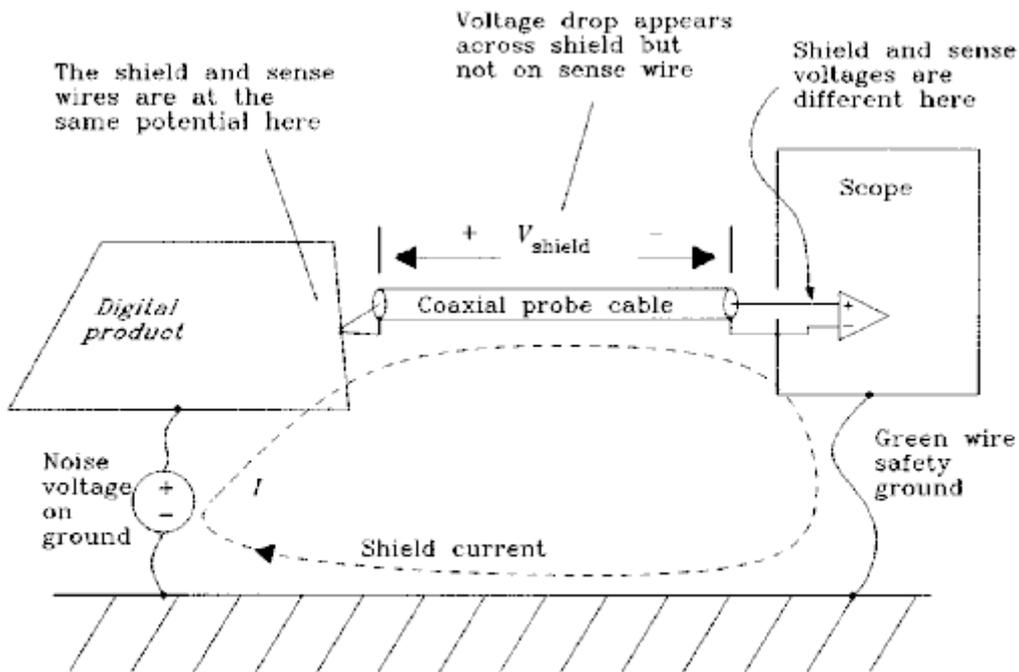


Figure 3.17 Noise pickup from probe shield currents.

屏蔽层电压是很容易观测到的：

- (1). 把示波器的地和探头顶端连在一起。
- (2). 在工作的电路旁边移动探头而不要碰到任何东西，这样你只看到探头测量环路上感应的信号。
- (3). 用铝箔盖住探头端部，直接把顶端短接到探头的外壳，把感应的电压降到接近零。
- (4). 现在连接短接的探头到逻辑地，将仅仅看到屏蔽层电压。如果屏蔽层电压很小，忽略它。

屏蔽层噪声会严重影响控制大功率设备的数字系统。很大的60-HZ交流电流在设备中流到任何地方，都能在数字逻辑地上感应出电压，从而产生屏蔽层干扰。如果屏蔽层干扰产生麻烦，有九种应付方法：

- (1). 减少屏蔽层电阻，如果探头是买来的，实现起来是困难的，如果用shop-built同轴电缆探头，可以试着用比较粗的电缆，把RG-174更换成RG-58，或从RG-58更换成RG-8，粗的电缆会很硬，这种方法是不切实际的，除非是固定的仪器配置。
- (2). 在示波器和逻辑地之间加一个并联阻抗。这种方法会使大部分干扰电流流过并联的阻抗，少量的流过屏蔽层。这种方法通常不合实际，尤其是高频。在电路板上找到一个好的地并用足够小的电感把它连到示波器上而不引起任何变化，几乎不可能。

如果并联阻抗与探头线一样长，将不会存在直径足够大的物体导致任何的变化（电感是直径的对数）。如果并联阻抗比探头长度短很多，它可能起到作用。

(3). 关断电路板或关断它的一部分。这种方法只适合当只观测电路的一部分时。如果怀疑问题出自屏蔽层电流的干扰，这是一种很好的方法。它将确定干扰是否是真的从你的电路发射，或者是从别的源头。

(4). 在屏蔽层串联一个大的电感。用一个高频磁性的铁心，将探头在它上面绕5到10圈(make 5 to 10 turns through it with the probe)。这种方法提升探头屏蔽层的电感，降低电流。这种方法十分适合频率范围在100KHz—10MHz。低于100KHz需要十分大的电感才能发挥作用。大于10MHz磁性铁心的效用变得恶化。

(5). 重新设计你的电路以减小辐射面积。变双层板为四层板，让一层为固定地平面。减少被辐射的面积首先能够降低地平面上产生的噪声。

(6). 断开示波器的保护地。断开检测设备的保护地，失去了AC电源系统的保护特性。示波器电源上任何碰到示波器的外壳，外壳带有110V的电。这是致命的。如果出现这种故障，保护地分流大量的AC电源电流到地，本地电路上的断路器断开，把整个单元从电源上断开，保护你的生命安全。

但是，应该知道断开示波器的保护地对高频信号有什么影响。

示波器外壳与保护地的理想隔离使探头的地屏蔽环在示波器处断开(Perfect isolation of the scope chassis from the safety ground breaks the probe shield ground loop at the oscilloscope)，减少探头屏蔽层的电流。不幸的是，断开保护地不能达到理想的隔离。

大多数的示波器在机壳和每条AC电源线之间连有一个0.01pF的电容，然后连到地。就算没有电容，电源传输线上的寄生电容也足以在机壳和交流电源线之间形成高频通道。

当频率超过10MHz，示波器对地有足够的自然电容(natural capacitance)，所以隔离保护地是没用的。

这种方法适合音频的频率，不适合高速数字逻辑。

(7). 在探头上用一个三轴(triaxial)的屏蔽。三轴屏蔽一端连到示波器的框架，另一端连到电路板的地。屏蔽层必须完全包裹探头。三轴屏蔽层和探头在同一点接地。在高频，由于表面效应，大部分的屏蔽层电流在屏蔽层外表面流动。因为探头屏蔽层内层没有电流，也就没有电阻压降，所以没有干扰电压形成。这听起来违反直觉，但它的确是这样。三轴屏蔽层可以用铝箔来做，也可以把旧的RG-8的屏蔽层剥出来卷在探头上。尽量缩短三轴屏蔽层地和探头顶端之间探头裸露部分的长度以减少电磁噪声耦合到环路上。

如果你想自己制作21: 1的三轴探头，POMONA卖的BNC-to-triax适配器比较有用。把适配器上BNC的插头插到示波器的BNC插座上。适配器的另一端是母接头，它的外层和中间层的地在内部与BNC地连接。在三轴屏蔽层的一端接上一个一般的三轴公接头并把它插到适配器上(Terminate

one end of the triax in a normal triax male fitting and plug it into the adapter)。在屏蔽层的电路板端，直接把外屏蔽层和中间屏蔽层焊在一起。

(8). 用1:1探头替代10:1探头。10:1探头不能衰减屏蔽层的电压效应。因为10:1的探头只衰减实际的逻辑信号，用一个10:1地探头相当于把屏蔽层电压放大10倍。

(9). 使用差分探头布置。图3.18显示了差分测量上的探头布置。探头1连接到信号点，而探头2连接到电路地。两个探头的屏蔽层在点 G_S 连接在一起，**但没有接到电路板上**。一条独立的地带(ground strap)连接电路板到示波器的地，如果电路板到真实的大地没有适合的连接，这条独立的地带(ground strap)才是必须的。

在示波器上设置探头1的信号减去探头2的信号。这个操作并非都是那么理想，有时候需要小的调整。把两个探头同时点到一个一般信号点上，调整两个探头的增益直至最佳地消除示波器上的波形。然后把两个探头都点在地上，看看是否有残余的干扰存在。我们的目标是要降低干扰，因此是值得去做这个检查的。

使用差分探头时屏蔽层电流不存在，因为屏蔽层没有接触任何东西。这是差分探头的最大好处。对于地浮动的电路或者地的电压高于大地电压的情况，用差分探头进行测量可能是唯一的选择。

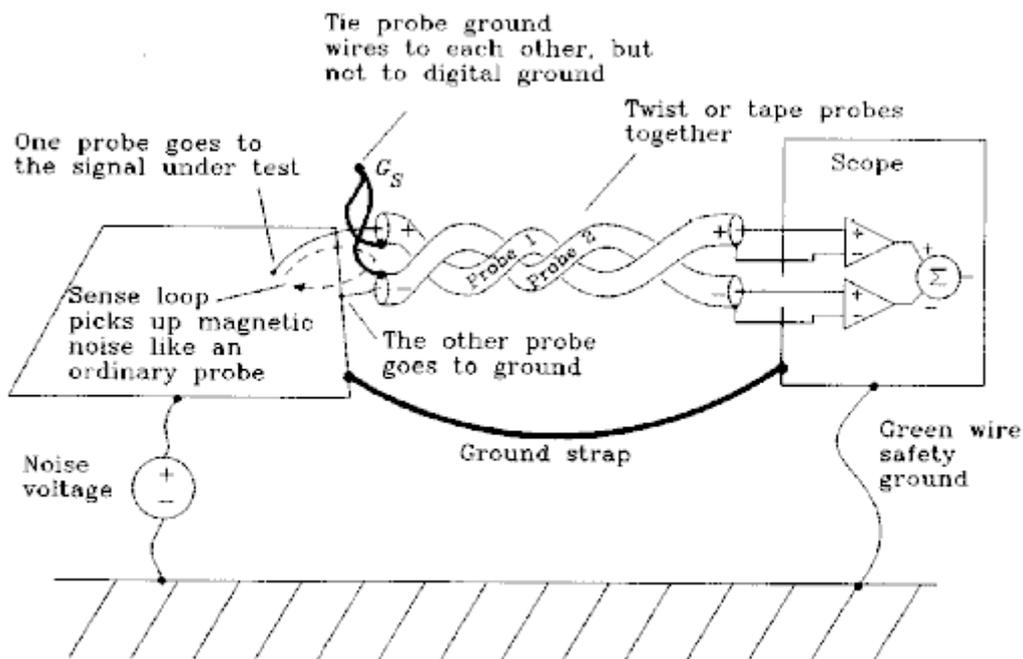


Figure 3.18 Using differential probing to eliminate shield current noise.

使两个探头靠近，以减小它们之间电磁检噪环路(magnetic pickup loop)的大小，环路上任何检取(pickup)会导致探头之间形成电压。保证靠近的方法是：把它们绞在一起或taping the probes.

对于一般的探头，使接地点与测量点靠近。噪声通过互感耦合到探头间的传感环路，就象一般的单端探头一样。

为了实现差分检测，探头的型号和长度必须是一样的。两个探头在频率响应或延时上的不平衡会导致显示屏上的显示共模信号。

有些示波器带有专门的差分调节模块，和增益匹配的匹配探头，并有自己的频率响应特性。这些模块有特别的共模消除功能，但一般带宽太低不足以用于高速数字信号的测量。

记住在差分测量中使用10×的探头，高频补偿调整和直流增益必须完全匹配以消除共模干扰。但在高速信号中难以做到。

本节要点：

- ◆ 单端(single-ended)探头把屏蔽层电压也当作真实信号。
- ◆ 要看屏蔽层的电流是否引起噪声，用铝箔把探头尖屏蔽起来，然后把探头和探头的地接到电路板的地。
- ◆ 把差分探测中的两个探头接到同一个信号点上，并调整它们的增益平衡以消除它们之间的波形。

3.7. 观察串行数据传输系统

图3.19说明了一个100-Mbit/s 数字传输系统，由于信号间的干扰和附加的干扰，这种系统在输出波形D中比在传输信号A中存在更多的抖动。这一节说明如何找出输出波形中抖动的特征。

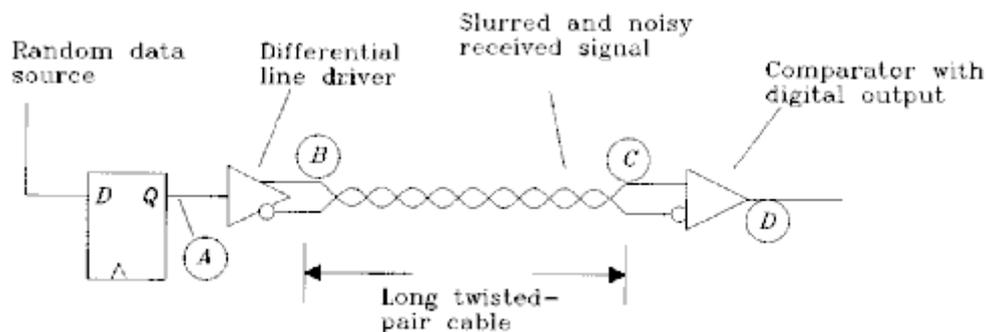


Figure 3.19 Typical data transmission circuit.

图3.19 典型的数字传输电路

我们的第一步是把示波器的通道1接到信号D，把通道1设为触发源，调整示波器使它在正向跳变的时候触发。我们在图3.20中看到它的的模式。

注意到波形在触发点是没有抖动的。这表明有些东西是错误的。示波器等待正向的跳变，然后把数据波形沿着左边光标处的触发点向右排列(then shifts the data waveform to line up the trigger point with our left cursor mark)。第一个脉冲代表跳变之间的最小距离。但随后的时钟点周围的抖动误差是实际时钟-数据抖动(clock-to-data)的两倍。

图3.21显示了正确的测量，图3.21的信号是用时钟源作为绝对参考进行触发的。这里的抖动是刚才的一半，前一种方法移动了每一个波形，它以一点为基点排列随后的跳变沿，这种移动把抖动加到其他所有传输区域里(the shifting added jitter to all the other transition zones)。时钟

源是稳定的、没有抖动的信号，是所有数据测量的稳定参考点。

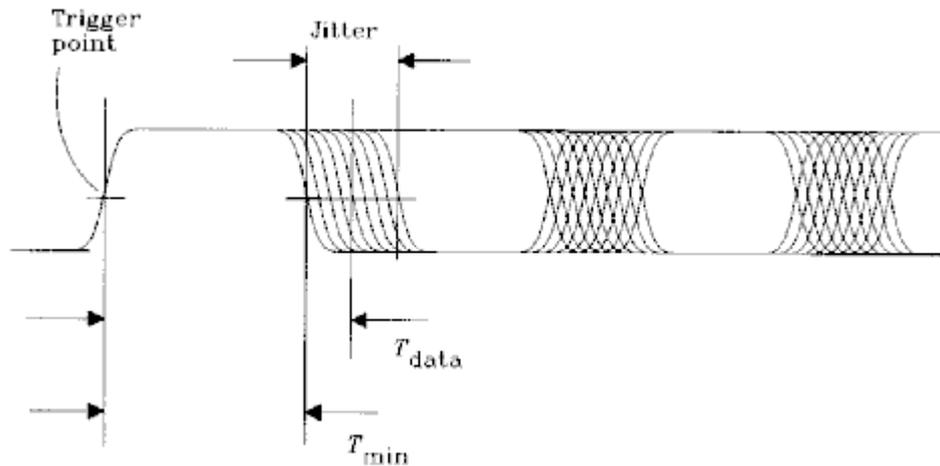


Figure 3.20 First attempt at eye pattern observation.

有一个学生问过我：“我们为什么不用图3.20的方法，然后把结果除以2？”答案是图3.20中的眼图要打开得足够宽才能进行抖动测量，我们不会总是那么幸运，有时眼图根本就没有打开 (sometimes the eye does not open at all)，除非我们运用图3.21中的高级触发方法。

当源数据时钟不可用时，可以用源数据信号触发（在图3.19中的位置B或A），这在源头的的数据大部分没有抖动。

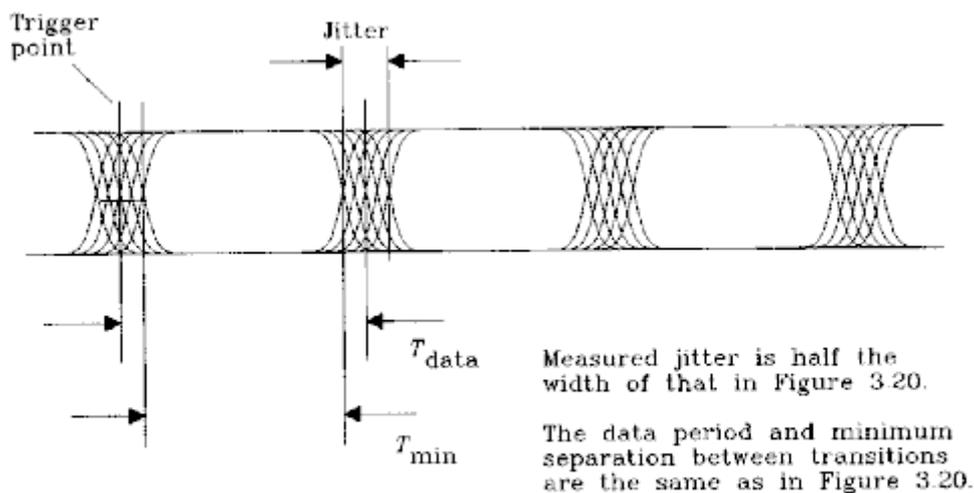


Figure 3.21 Eye pattern triggered by a source data clock.

有些示波器，特别是比较新的数字采样模块，触发功能很弱，尤其像数据波形这样的无周期信号。由于纵向输入(vertical input)可能能够显示很高速度的信号，触发电路可能不对他们进行触发(the triggering circuit may not trigger on them)。当面对一个性能差的示波器触发电路时，首先构造一个数字电路，将系统时钟分频，从分频出来的波形中触发。随着触发稳定性的改良，可以看到示波器上显示的信号的上升时间明显缩短。

本节要点：

- ◆ 通过时钟触发观测串行的数据流。

3.8. 降低系统时钟

高速数字信号经常包括振荡、串扰、和其它噪声。在满时钟的速率时，多方面影响叠加。这叠加使我们很难找出每一种影响的特征。降低主系统时钟有助于把各种影响分离开来。

一个足够慢地时钟允许所有信号的瞬态在第二个时钟周期开始之前有足够的时间衰减。第 n 个周期留下的反射和振荡不会出现在第 $n+1$ 个周期里，因此我们可以单独地看到每个数字转换中的全部响应过程。有时候响应过程要比你预期的时间长得多，好的终端匹配能够解决这个问题。

本节要点：

- ◆ 测量的过程中，一个足够慢地时钟允许所有信号的瞬态在第二个时钟周期开始之前有足够的时间衰减。

3.9. 观测串扰

串扰问题，因为它涉及几个没有连接的逻辑模块的相互作用，*Are difficult to corner*。这些问题经常间歇地出现，可能跟数据模式有关（*pattern-dependent*），或者可能出现得很少。这些使它们很难观测。由串扰造成的错误通常涉及多种因素：

- (1). 由于振铃减小逻辑容限(*logic margin*)。
- (2). 容限依赖于设置及保持条件(*Marginal compliance with setup and hold requirements*)。
- (3). 多条数据线的相互耦合。

如果你怀疑串扰是一个问题，这儿有一些方法对存在的串扰进行量化，而不用等到错误的出现。

首先，在你希望监测的信号线（初始信号）上装配一个同轴电缆21:1探头。在把探头接到初始信号之前，感应电阻焊接到附近的地，打开数字装置，测量检测回路和屏蔽层电流引起的残留噪声大小。噪声应小于数字信号2%。如果有大于2%的噪声，串扰将不会清晰地显示，调整探头的布置，直到它检取的噪声小于2%。

然后连接一个外部的触发器到示波器，触发器必须与所怀疑的串扰源同步，而且在整个实验过程都用到。使用外部的触发器，看一下这时候来自21:1探头的噪声。

现在连接21:1探头到初始信号(*primary signal*)，你应该看到以下各种信号的组合：初始信号、源于初始信号的振铃、串扰及测量系统上的噪声。

我们的目标就是证实和量化串扰，串扰由于其本身特征，是很难观测的。为了放大串扰的可视性的效果(*to amplify the visible effects of crosstalk*)，有三种方法：关掉初始信号、关掉串扰或产生人为的串扰。

3.9.1. 关掉初始的信号

在初始信号的开始点断开，然后把这一点接到地。如果它的逻辑驱动器能够承受，可以短接初始信号到这个驱动器的地。短接到地（Short-to-ground）是关键的(critical)，如果初始的走线开路（open-circuited），通过互感耦合的噪声会消失。

当短接一个逻辑门时，必须用宽的、平的、电感很小的物体，例如刀片或一片铜箔。假如用一条1/2英寸长的线进行短路，它有足够的电感使幅度可观的脉冲通过。我们希望这一点的输出为零。

当关闭了输出，串扰将清晰地显现。

如果你处理的是总线，现在是时候去改变总线的模式了。在一条线每次改变电平而其它线保持不变的情况下进行一系列的实验。跟总线的布局相关，有些线对初始信号产生正向的影响，有些可能产生反向的串扰。如果你把任何一条数据传输线的极性反过来，它的串扰极性也应该反过来。对每条数据线，找出导致正向干扰的极性。

最后一个实验，设置如下数据模式：每条线同时传输数据，每一条都产生正向干扰。这显示出可能的最坏干扰。32位总线上的串扰电平比较显著。

3.9.2. 去掉串扰

设置一种你认为可以产生串扰的数据模式。对初始信号拍两张照片，其中一张系统正常操作，另外一张没有连接干扰线。

可以简单地把干扰线剪断，或者在信号源端把它短接到地，两种方法都可以。短接到地不是特别的重要，只要我们把它的电流降到零。

这两张照片的不同在于串扰，如果数字示波器有数字操作特性（Tektronix 11403有此性能），然后储存波形，把它们的数值相减。

3.9.3. 产生人为的串扰

把系统关掉或使其不发生作用，把初始信号的驱动端短路，现在在干扰线(interfering trace)处诱发一个已知上升时间的阶跃跳变沿，测量在初始信号上感应的电压，如图3.22。

串扰与干扰线(interfering trace)上信号的 dV/dt 成正比。这种方法最适合于没有插芯片的空板(bare board)。

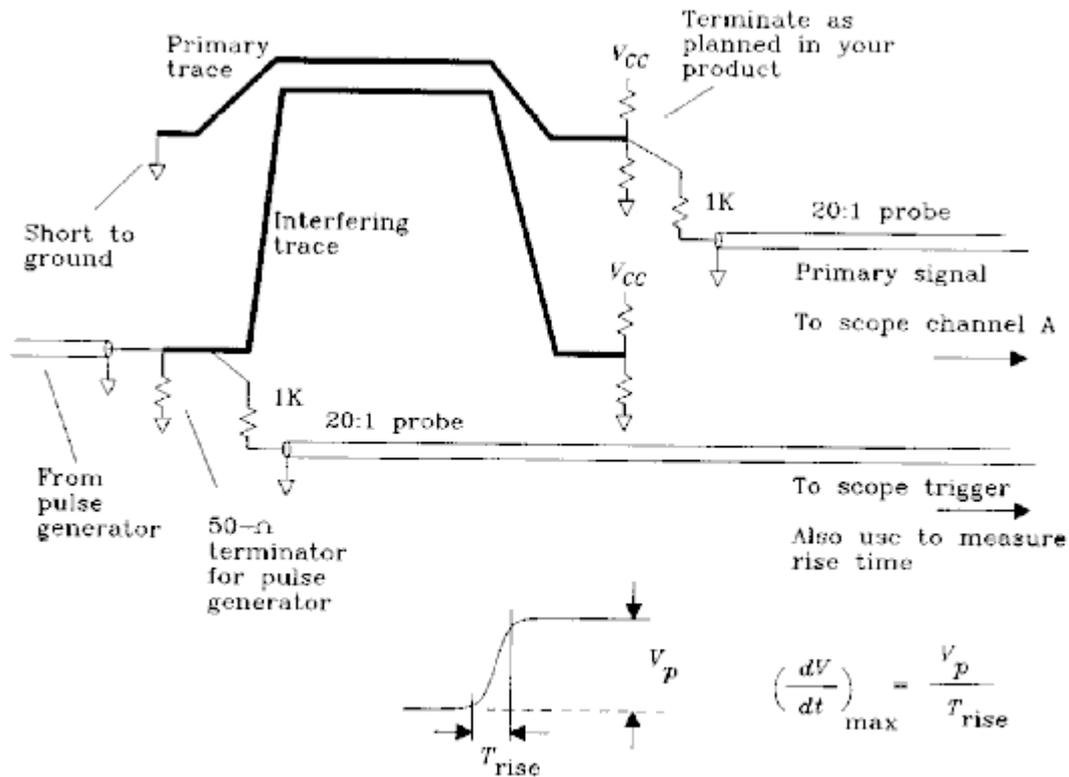


Figure 3.22 Measuring crosstalk between two signal traces.

3.10.测量操作容限

数字电路工作在两种状态：打开或关断。不像模拟电路，数字系统表现出小的容限，或工作状态变差。一旦数字系统开始工作，就很难定量它的操作性能如何或者它有多少剩余的操作容限。这一节讲述了对数字系统的操作容限进行量化的有用的方法。

制造工程师习惯用统计质量的控制确认测量质量和维持质量(maintaining quality)之间的关系，那些制造定理直接应用于数字产品。

这些测量是全局的，考虑了对整个系统的影响。假设有一执行与不执行（go-nogo）试验去显示系统是否在工作。执行与不执行（go-nogo）试验应尽可能全面，系统任何区域的逻辑故障都会产生一个不执行(nogo)响应。

在每一个试验中，用go-nogo测试器，使系统面对下面列出困难。我们将测量系统发生故障前能承受多大压力(stress)。这个测试过程把简单的go-nogo测试变为对产品质量的量化测试。

确保系统发生故障的时候你的测试仍然继续。我们要它报告不运行(nogo)，自动重启，在有错误产生时仍能继续运行。这一性能使我们很容易调整进出错误区的压力以确保我们得到准确的读数值(this property makes it easy to vary the stress in and out of the error zone to make sure we are getting accurate readings)。通过设置压力等级使每几秒产生一个错误。你可以用逻辑分析仪去捕捉错误。一旦将错误定位，根据错误进行设计就很容易。如果运行-不运行(go-nogo)测试在第一个错误停下来，你就很难确定错误率，你可能永远也不能对问题进行调试。

3.10.1 附加的噪声

适合于有高速信号处理元素的小电路，附加噪声测试简单地在电路的每个节点上加上随机噪声。对于这些检测最好的随机源是有漂移限制的信号，好比正弦波、方波、和伪随机数二进制模式。

在每一个电路节点用一个不对电路形成负载的串联电阻注入干扰，对于TTL、HCMOS 和ECL用1K串联电阻。

一次向一个节点注入干扰以得到它的特征。如果你怀疑布局的改变引入更大的振铃（降低对附加噪声的容限），这个实验结果是有用的。

一旦你知道每个节点的相对敏感度，用一套校正过的电阻一次向一个节点注入临界(critical)噪声电流。每个电阻都通过一个开关连到噪声源。现在我们改变噪声的水平，所有的节点应该在同一噪声水平附近出现故障。一个性能变差(deteriorated)的节点在较低的噪声水平就会出现故障。如果与制造序号相对应，每个产品的噪声故障水平是分散的，表明生产线上制造过程的改变。

附加噪声测试其实很难进行，因为它需要一个钉床(*bed-of-nails*)测试装置，或者在印制电路板上安装特殊的连接器以进行噪声信号的连接。

附加噪声测试适合于数据接收、时钟恢复环(*clock recovery loops*)、各种锁相环、模拟I/O接口及总线。简单地说，适合于有大量信号通过有限的测试节点的情况。

3.10.2. 调节宽总线上的定时

大多数宽总线是由一个普通的时钟同步的，它沿着总线分布。对于这些系统，设计工程师得出详细的定时分析结果，显示了理论保证的设置(*theoretical guaranteed setup*)和总线上的传输保持时间。

为了验证设置和保持时间假设，我们需要一种方法改变传输数据的定时，提高或降低它的速度，直到它出现故障。通过记录出现故障之前系统能够接受的定时调整量，我们得到一个量化的总线定时裕度。

为了进行这个测试，首先设置一个由设备A通过总线到设备B的数据传输。确保有方法知道系统在什么时候出现故障。最好系统能够报告出错率，或者出错的时候指示灯闪烁，但系统仍然运行。

现在切断两个设备间总线上的时钟分配线，两个设备使用不同的时钟，两个时钟与系统时钟频率相同，但相位稍为不同。把一个时钟相对于另一个时钟的定时提前（或推迟），我们可以得出总线的定时裕度。

这个测试里我们需要一个特殊电路，它产生两个锁定频率的时钟并且可以调节它们的相位。以下五种方法的任何一种都可以使用。

3.10.2.1.通过同轴电缆延时调节时钟

对于时钟频率达到20MHz的，用同轴电缆段和一般开关做一个同轴电缆延时选择盒(make up a coax delay selector box from segments of coax and ordinary switches)。由单一的时钟源出发，时钟(A)通过时延选择器而另一个时钟(B)通过一固定长度的同轴电缆。用一段同轴电缆阻抗(50、75、或93 Ω)来匹配本地总线阻抗。

挑选同轴电缆的长度，使时延选择盒设为中间段(delay selector box set to midrange)，并且两个时钟的定时匹配。这对于固定延时长度是微不足道的(this may take some fiddling with the fixed delay length)。

不要尝试去做一个精细的二进制选择器，因为要获得长度匹配的电缆段使得延时级别呈线性是很困难的。可以使用多位开关并安装长度为1、2、3...、10和长度为10、20、30...的延时单元。

3.10.2.2.通过脉冲发生器调节时钟

带有时延可调和触发-输出(trigger-to-output)的脉冲发生器是一个理想的时钟调节器。从一个单一的时钟源，使时钟(A)进入到脉冲发生器触发输入端，另一个时钟(B)通过固定长度的同轴电缆直接送到总线。使用与本地总线阻抗匹配的同轴阻抗(50、75或93 Ω)。设置脉冲发生器的输出脉冲宽度等于名义时钟周期的一半。

挑选同轴电缆的长度，使脉冲发生器的延时设为中间范围，两个时钟的定时相匹配。这对于固定延时长度是微不足道的(this may take some fiddling with the fixed delay length)。

如果当前脉冲还没有结束，下一个触发已经来到，许多脉冲发生器将不会触发，这把延时调节范围限制在0-180度(degree)。如果固定(fixed)的同轴电缆延时设为90度，有效的调节范围是-90度到+90度。

3.10.2.3.用于时钟相位调节的简单电路

图3.23A的电路显示了用于产生30~160ns延时的十六进制转换器(inverter)。每一段延时从5到35ns，要看可变电阻的设置。每一段的延时时间不得超过时钟周期的12%以确保可靠的操作。

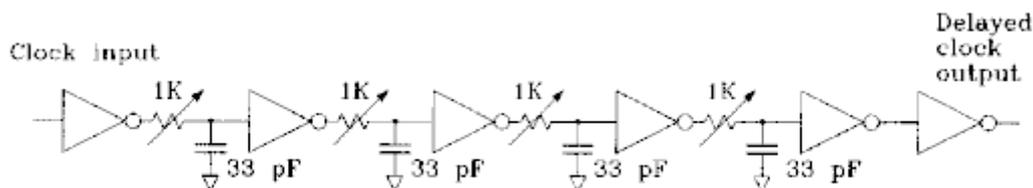


Figure 3.23A TTL or CMOS adjustable-delay network.

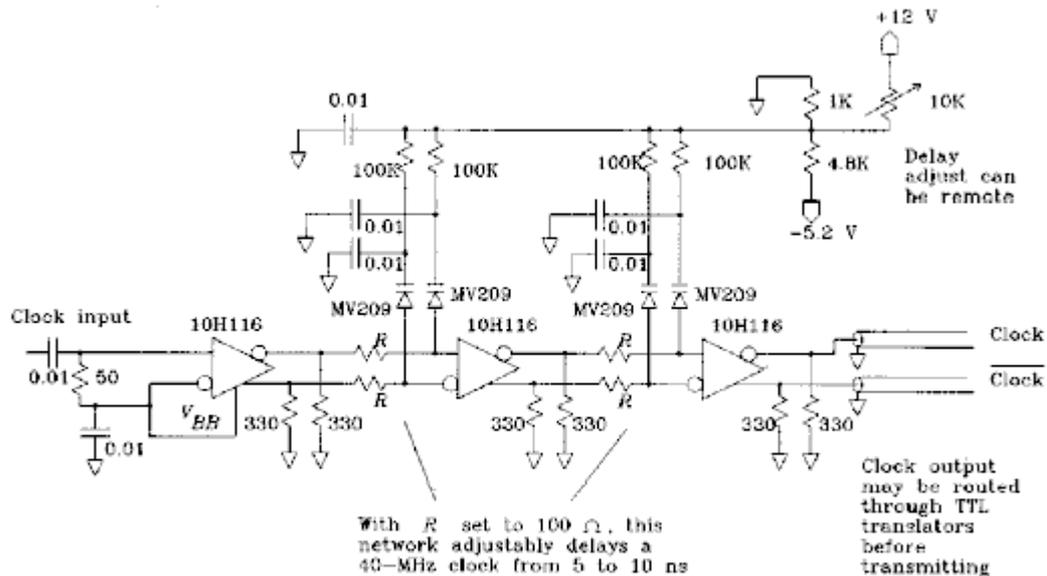


Figure 3.23B ECL remotely adjustable-delay network.

平衡延时节点的数量（两个或四个）并同等地调节各个延时段中各电阻的阻值（可以尝试使用滑线变阻器(ganged potentiometers)），可以使周期波形的变形最小(will keep duty cycle distortion to a minimum)。在延时链的末端至少使用一个额外的转换器清除(square up)输出信号，不使它返回系统。

图3.23A中电路的缺点是信号必须穿过物理变阻器。在高速信号系统中，这意味着电位器必须小并且在物理上靠近有效线路(active circuitry)。在图3.23B的电路中使用varactor从而避免了这些困难，varactor是反向偏置二极管，它的电容随着它两端电压的改变而改变。在图3.23B的电路的速度比图3.23A中的电路高。

图3.23B中显示的可变相位调整网络的每一部分可以使它的输入延时2.5~5ns。这个网络使用一个RC相移调整网络，MV209反向偏置二极管可以对网络进行调节。把若干部分级联增加了总的延时变化量。图3.23B使用了两部分，它的延时范围是5~10ns。

这种特定的设计在时钟频率为40MHz时很有效。对于不同的频率，要另选R值：

$$R = 100 \Omega \frac{40 \text{ MHz}}{F_{\text{clock}}} \quad [3.28]$$

向可变延时单元提供一独立的较准的电源，保持单元的温度以获得更好的稳定性。

对于每个电路，从单一的时钟源，使时钟（A）通过可调节延时单元，时钟（B）通过一固定长度的同轴电缆直接到总线。使同轴电缆的阻抗与总线自身的阻抗匹配。挑选固定的同轴电缆的长度，使可调节延时设中间范围(midrange)，两个时钟的定时相匹配。

3.10.2.4.用锁相环调节时钟

图3.24描画了时钟周期调节电路的方框图(Cadillac)。对于大规模的生产试验，可能值得制作这样的电路。对于普通实验室，太麻烦了。

电路将总线时钟进行N分频，并使用相位-频率-类型比较器把它和同样被N分频的本地时钟比较。这电路把本地振荡器频率锁定于总线时钟，而相位由相位调整网络确定。

因为相位锁定出现在比时钟振荡器小N倍的频率上。相位调整网络中改变Y度，则高频时钟输出改变了 $N \times Y$ 度。结果是，相位调节网络只需要在分频后的时钟频率上作微小的调节。varactor-controlled的RC调节器可以轻易实现这一功能。

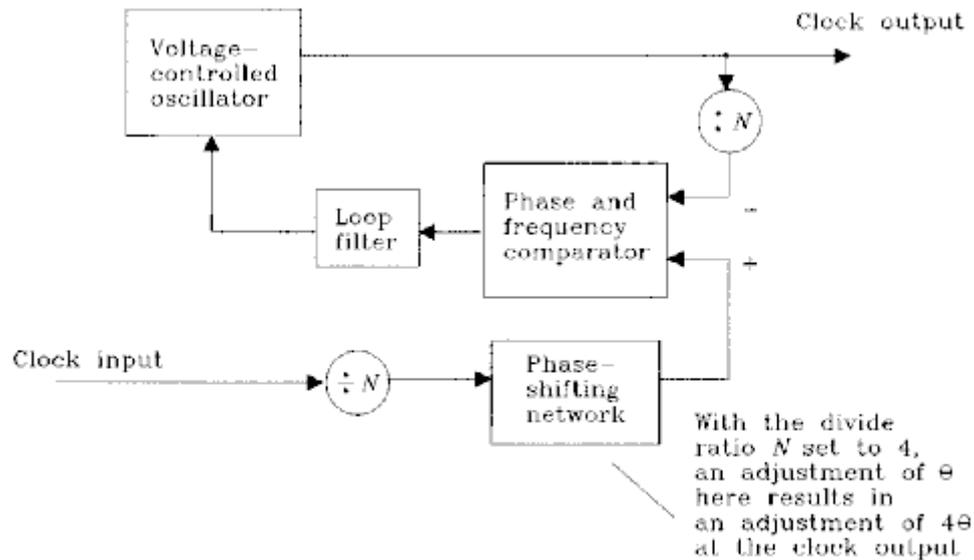


Figure 3.24 Adjustable-delay network using phase-locked loop.

图3.24 使用锁相环的可调节延时网络

这个电路能够进行大于 ± 180 度的调节。大范围的调整对于这样的系统是有用的，它分配高速时钟并对其分频形成本地控制信号。对于调试容纳好几个时钟周期抖动的异步电路来说，大的调节量也是很有用的，例如在电信通信中使用的T3同步，和FIFO电路。

3.10.2.5.通过改变电压调节时钟

改变末端(terminating)电压或通过上拉或下拉电阻来改变时钟线的电压，会引起时钟接收器翻转时间的微小变化，于是调节了有效时钟周期。同样的方法对于总线接口也有效。

这种近似的缺点是可靠的调节范围被限制在上升时间一小部分。

3.10.3.供电

在10%的范围内调整逻辑供电电源会引起延时的小量变化。通过调节电源可以调制极端敏感系统的故障率。很可能的是，一个有足够裕度的系统的电源电压变化可以超出这个范围。

从图3.25针对CMOS和TTL的以供电电压为横座标的延时曲线和建立时间(setup time)曲线可以看出电压的期望变化范围。CMOS芯片74HC174对电压变化的敏感度是TTL芯片74F174的两倍还要多。

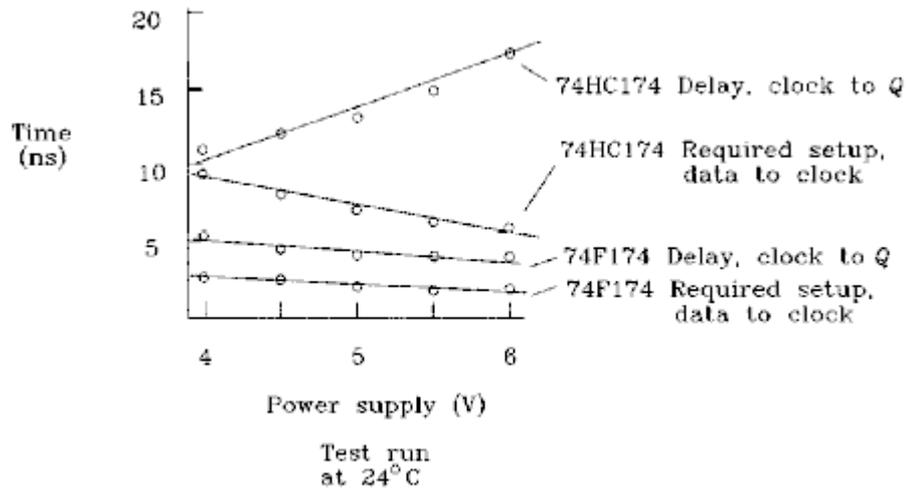


Figure 3.25 Delay and setup time versus power supply voltage.

3.10.4 温度

温度的变化和电源变化是相似的，它引起延时特征上小量的变化。

温度变化在物理上是比电源变化更难实施。在工作台上，工程师通常用冷却喷雾器瓶去降低电路板上温度，或用特大的干燥器去提高温度。

记住许多的冷却喷雾器由危险的化学物组成，它们破坏地球大气的臭氧层。如果你必须使用冷却喷雾器，首先制作一个硬纸笼子围绕在需要冷却的电路板的周围，然后直接将冷却剂喷入硬纸笼子围成的空腔中。冷却这样一个小区域所需的冷却剂会大为减少，它的温度回升到室温的过程也会变慢。

用手工方法去改变温度，调节加热空气或冷却空气的周期以控制温度需要一些技巧 (modulating the duty cycle of the heated (or cooled) air to control the temperature)。在电路板上面放一个温度传感器以确保温度没有超出范围。

带有空气入口的系统有自然的通道使热空气或冷却空气进入整个系统。干燥机的通气管及输送带可以把系统和热空气源或冷空气源永久连在一起，或者用热气枪对着进气口。

很多公司投资建造大的加热或冷却箱（房），以用于对热量循环产品进行加工过程的最后测试。这些加热或冷却房对于工程开发是不合意的，限制了辅助设备的型号和大小，而且工程师不想把时间浪费在温度测试上，但它毕竟提供了一个现实的测试环境。

从图3.26针对CMOS和TTL的以供电电压为横座标的延时曲线和建立时间(setup time)曲线可以看出电压的期望温度变化范围。CMOS芯片74HC174对温度变化的敏感度是TTL芯片74F174的两倍还要多。

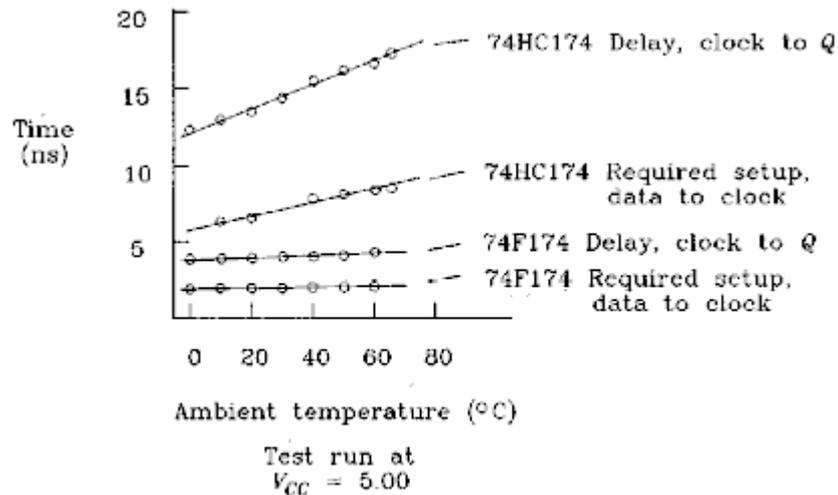


Figure 3.26 Delay and setup time versus temperature.

3.10.5 数据吞吐量

设计工程师一般用测试设备去验证数字设备的逻辑准确率。设计工程师可能会做成套的操作以验证新设备中的每个逻辑连接。看到每一步的结果都正确，得出结论是：“设备正常运行”。

遗憾的是，实际系统要复杂得多。很多计算机可能通过单步逻辑测试，但在实际操作速度下或实际数据吞吐量下却出现故障。如果你对复杂的系统已经积累了丰富的经验，这个结论可能没多大意义，但它说明了真实情况。

高负荷运行时，高速数字设备中的总线和其它结构产生大量的噪声。设备上通过的数据越多，噪声就越大。最佳的测试是针对日益增高的数据流动密度，构建这样的最终测试，它包含大流量的数据，大负荷的流水线逻辑和存储器访问操作，和其他逻辑的临界定时。好的数据模式不会带有不期望的耦合噪声而使一般的操作出问题。

本节要点：

- ◆ 测量系统在go-nogo测试中出现故障之前能够承受多大的负荷。这个过程使简单的go-nogo测试变成对产品质量的定量测量。

3.11 观测亚稳态

同步D触发器电路，当工作环境良好时，表现出很高的可预见性。只要你依照建立和保持时间的规则，在每个时钟跳变之后输出Q与输入D是吻合的。

当使用D触发器同步数字设备的外部信号时，我们不能保证所需的建立和保持时间。外部的异步信号任何时候都有可能改变，而不管内部同步时钟是怎样。

如何解决这个问题？有没有办法把异步信号同步到同步数字设备中而不需要时不时的对建立和保持时间进行干预？没有。因此我们必须知道我们干预它的建立和保持时间的时候，触发器有什么变化。

对建立和保持时间的干预引起的效果叫“亚稳态”。这一节介绍了一些仪器用于亚稳态下的实验，对实验结果的解释，及解决问题的一些法则。

3.11.1 亚稳态测量

图3.27显示了用于离散触发(discrete flip-flop)的基本亚稳态观测装置，使用这个装置你至少需要双通道的示波器。

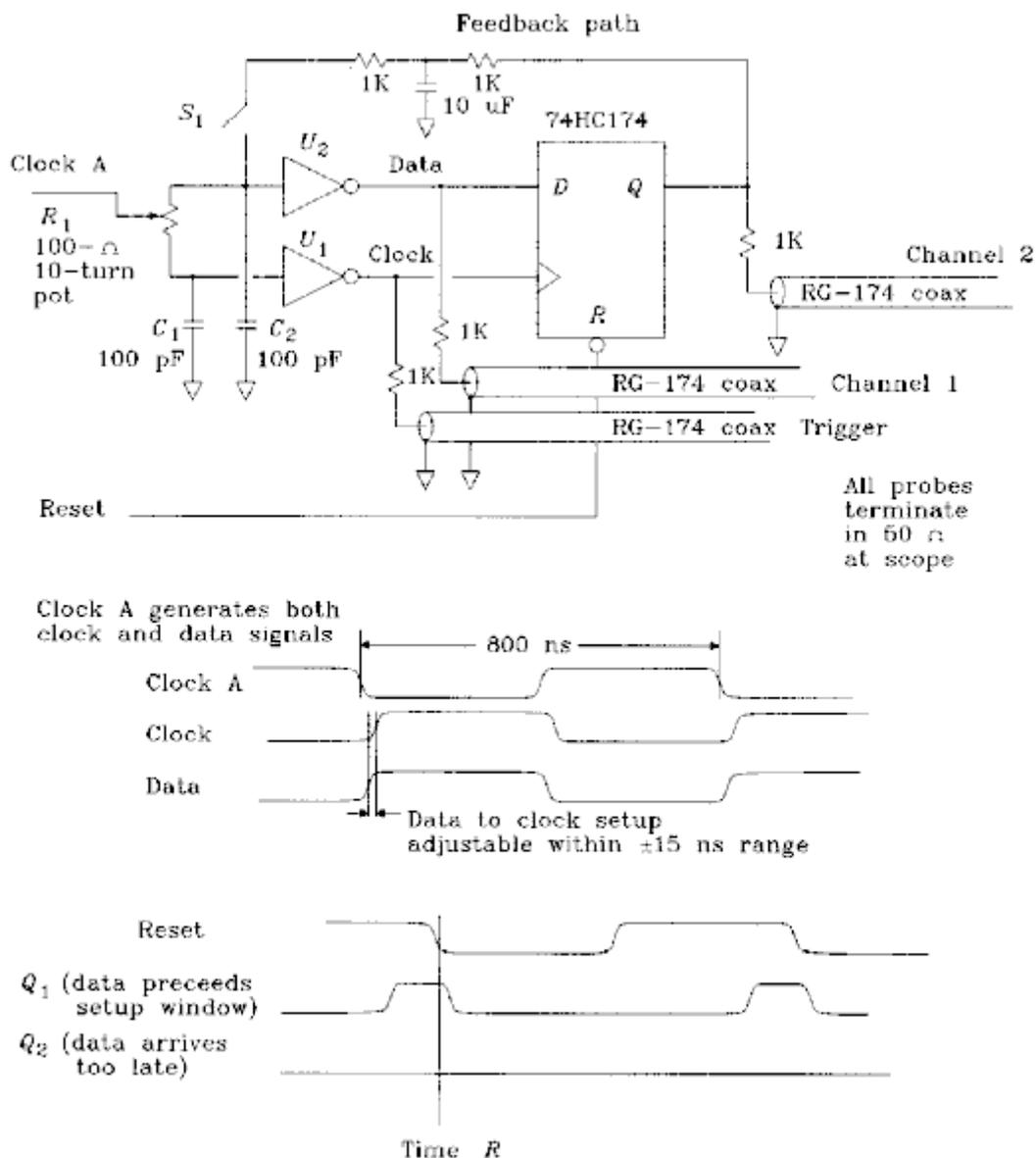


Figure 3.27 Observing metastability.

CLKA的波形是方波，经过R1和C1、C2之后延时了，R1向DATA输出端移动(with R1 turned to the DATA output)，CLK的延时达到最大值。R1向CLK输出端移动，DATA延时达到最大值。DATA和CLK的相对位置调整范围是 ± 15 ns。

RESET波形上在每个时钟正跳变之后有一个负向的复位脉冲。这把触发器复位到预知状态。你可以根据需要设定RESET对时钟的延时量。

图3.27中的所有关键信号是用21:1探头经过1K电阻测量的。先用示波器测量DATA和CLK信号。

让反馈开关S1打开，在数据提前最大到延时最大的过程慢慢调节(turn the pot slowly from maximum data advance to maximum delay)。画出DATA-CLK定时相对变阻器的关系曲线。确定调整横跨足够大的宽度。在最大数据提前时，数据应该在最小建立时间之前到达。在最大数据延时情况下，数据应该在最小保持时间过去之后才出现。

计算每次调整变阻器得到多少ps的延时变化量。

现在用示波器测量CLK和Q的信号。在DATA电缆的中止处接一个50 Ω 的电阻使它的响应不变。示波器设为CLK信号触发，调节变阻器以达到最大的数据提前量。

开始，D输入完全符合输入要求，输出Q的响应就象Q1一样，如图3.27所示。每个时钟里Q输入设为高，而每个周期中的R点输出Q复位为低。不要用时钟的反相信号复位触发器，否则复位造成的瞬时信号会混合到亚稳态效应中。

调节变阻器使数据延时，直到数据超过最小建立时间窗(minimum setup window)，有些点输出Q突然断开(snaps off)。现在数据太晚到达，输出Q永远不会变高，如图3.27中的波形Q2。数据位置与时钟有关，有一点触发器刚好不能锁存D输入，这一点叫关键翻转点。关键翻转点在生产商标注的最小建立时间和保持时间之间。生产商提供了这两个极限之间的范围(spread)以保证关键翻转时间在所有极端温度和电压的情况下仍在极限之内(the manufacturer provides a spread between these two limits to ensure that the critical switching time on all parts, across extremes of temperature and voltage, stays between the limits)。

在关键翻转点之前到达的信号永远会被锁存下来。而在关键翻转点之后到达的数据永远也锁存不来。这是不是我们想要的？是的，但我们还要对亚稳态的问题进一步研究。

图3.28画出用这个设置得到的触发器相对Q的延时和被测数据建立时间的对比关系曲线 (figure 3.28 plots measurements made with this setup comparing the flip-flop delay, clock to Q, with the measured data setup time)。在这条曲线中，时间轴表示了实际数据建立时间和关键翻转时间差值的对数。当数据在关键翻转点之前3ns以前到达，时钟到Q的延时是固定值13.5ns。当数据的到达时间向关键翻转点移动，输出Q仍然翻转为高，但时钟到Q的延时变长。对于数据靠近关键翻转点到达，时钟到Q的延时与建立时间和关键翻转点差值的对数成正比。

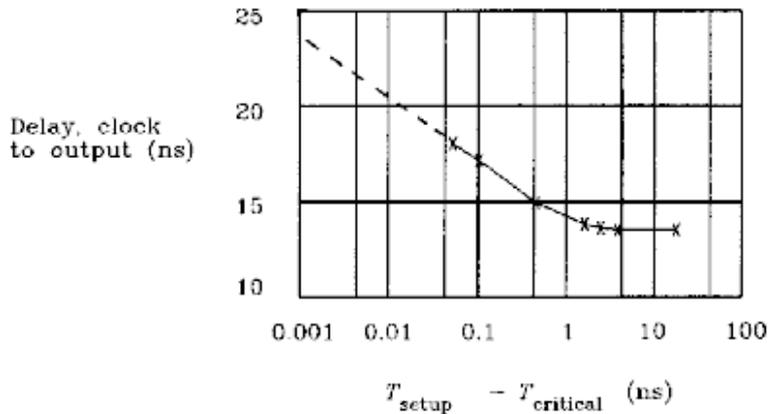


Figure 3.28 Output delay versus data setup time 74HC174.

时钟到输出的延时增量随输入建立时间变化是亚稳态的本质。你不可能改变它，所有的触发器都是这样。它严重影响高速同步设计。*只能使它发生的可能性小一点，但不可能消除。*

时钟到输出的延时可以有多长？这要看数据波形与关键翻转点的距离有多近。实际上可以很长。下一节解释为什么。

3.11.2 理解亚稳态(metastable)特性

图3.29是触发器的简化原理图。在这个例子里，放大器由对称的正负电压供电。正反馈使电容C上的正电压趋向于正电源，使电容C上的负电压趋向于向电源。

施加时钟后，电路永远保持在正或者负的状态，所有触发器的工作原理就是这样。

图3.29的下半部分显示了触发器的时序图。在时钟触发时刻，开关S2打开一段较短的时间，当S2打开时，开关S1暂时为关闭状态，向电容C充电到输入电压 V_{in} 。当S2再次闭合，周期结束(ending the cycle)，通过R1的正反馈使放大器进入饱和状态，输出要么是正，要么是负，保持了锁存的位(bit)。

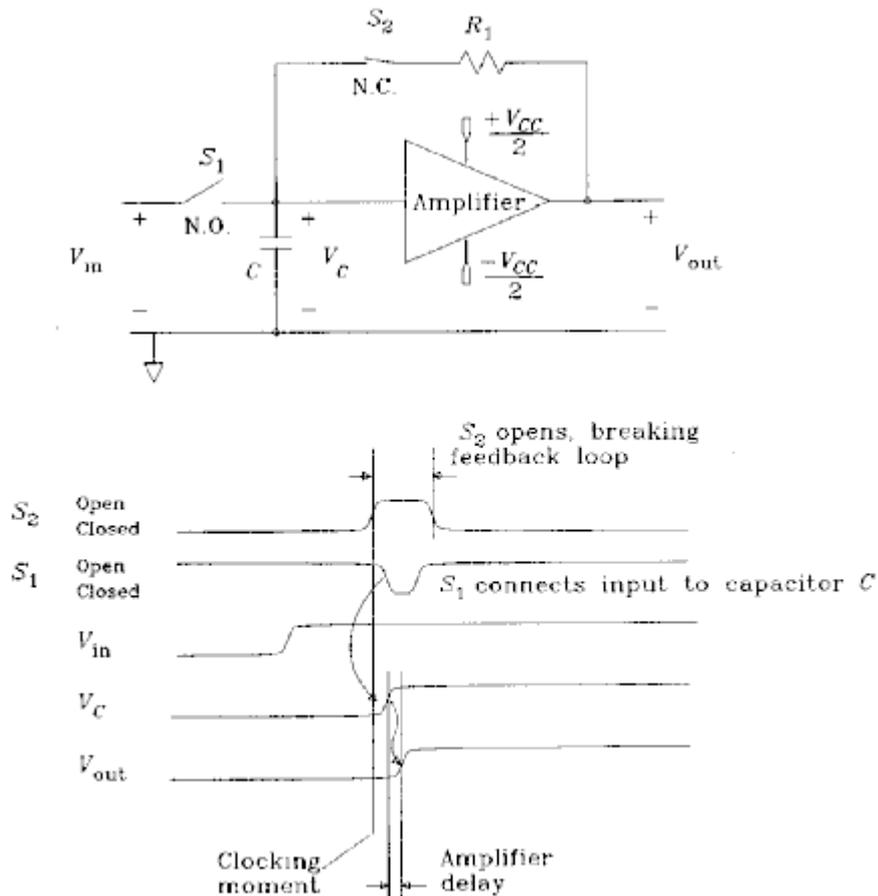


Figure 3.29 Simplified flip-flop circuit.

芯片生产商已经尝试了所有的电路以获得S1和S2更好的时序关系(chip manufacturers have tried all kinds of crazy circuits to get the sequencing of S2 and S1 just right)。不管他们尝试的是什么电路，触发器总会表现出亚稳态效应。

如果输入是二进制逻辑信号，它应该是完全的正或者负电平。触发电路的放大器，一旦在当S1关闭时回转的方向正确(once slewed in the correct direction)，只会使电路保持在一种特定的状态。

当触发器的输入时钟变化时会发生什么？当S1闭合时，电容C充电形成输入电压，当S1打开时，电容C上的电压是开关打开瞬间所充到的电压。如果开关S1在输入数据改变的时候打开，锁存到电容C上的电压可能接近零，看起来不象是二进制的(that doesn't look very binary)！

触发器上的建立和保持时间的必要条件确保开关S1打开时数据不变。在一个同步数字系统内，我们可以保证这些条件永远得到满足。当与外部异步信号相连接时，我们不能防止数据在时钟沿发生改变。

放大器到达正电源或者负电源所需要的时间开关S2闭合时电容上的电压值 V_C 决定。从闭合那一刻开始，放大器的输出电压呈指数增长，如下式所示：

$$V_{out}(t) = V_{in} e^{Kt} \quad [3.29]$$

其中K是时间常数，它与放大器的带宽及反馈电阻阻值有关。

如果采样时的输入电压非常接近零，输出需要很长时间才能到达正电源或者负电源电压。这个过程被称为亚稳态。

由于触发器完成90%的翻转才能满足后续逻辑的电压裕度要求，我们必须等待放大器完全响应之后才能说锁存操作已经完成。

如果输入电压非常接近零，亚稳态会持续较长时间。要获得T秒的亚稳态延时，输入电压应该是多少？

使输出在时间T到达电源电压，解方程3.29：

$$|V_{in} e^{KT}| = \frac{V_{CC}}{2} \quad [3.30]$$

$$|V_{in}| = \frac{V_{CC}}{2e^{KT}} \quad [3.31]$$

where V_{in} = how close the input must be to zero
 T = to generate a metastable delay of T seconds
 K = constant dependent on amplifier and switches
 V_{CC} = power supply voltage

公式建立了采样时刻的输入电压值与等待触发器输出的时间T之间的关系。

使用输入信号的上升时间，我们可以把输入电压 V_{in} 转换为时间偏移。通过观察当电压接近零处，信号波形是斜线，与边沿转换速度成正比，从而完成了上述转换。如果输入信号的转换点在 T_w (if the input signal transition is located within T_w of the clocking moment)，输入电压将小于 V_{in}

$$T_w = V_{in} \frac{T_{10-90}}{V_{CC}} \quad [3.32]$$

公式3.33把相同的结果转换到时间域，告诉我们输入到达时刻和等待输出的时间的关系。

把公式3.31代入公式3.32中的 V_{in} ：

$$|T_w| = \frac{T_{10-90}}{2} e^{-KT} \quad [3.33]$$

如果数据上升沿在亚稳态窗 $\pm T_w$ 之外到达，输出延时小于T秒。如果数据在亚稳态窗内到达，输入数据延时大于T秒。

所有的触发器都表现亚稳态特性。它们的亚稳态窗宽度 T_w 由以下公式求得：

$$|T_w| = C e^{-KT} \quad [3.34]$$

其中，常数C和K是所使用的特定触发器的特征参数，T是Resolution time.

例3.4：亚稳态误差率

图3.30中的电路使用的是Actel ACT-1门阵列，当它的输入改变时，输出产生脉冲的机率是有多大？对同步逻辑原理过分简化的应用会告诉我们永远不会有输出脉冲。但我们对它有更深入的了解。

先看一下最坏情况的上升时间：

$$\begin{aligned}
 T_{PD} &= 9.3 \text{ ns (clock to } Q_1, \text{ with good setup time)} \\
 T_{PD} &= 9.3 \text{ ns (inverter-XOR combination)} \\
 T_{SU} &= \frac{5.0 \text{ ns}}{23.6 \text{ ns}} \text{ (setup time for } D_2)
 \end{aligned}$$

低于42MHz(23.6ns)的时钟能够满足所有传输时间和建立时间的需求。Y1和Y2应该永远相匹配，而输出Q4应该永远不为高。

使电路出故障的唯一可能是亚稳态使Q1很迟改变，而错过了D2的建立时间窗（由于逻辑门G1和G2的传输延时），但至少太迟，因此D3没有错过时间窗。

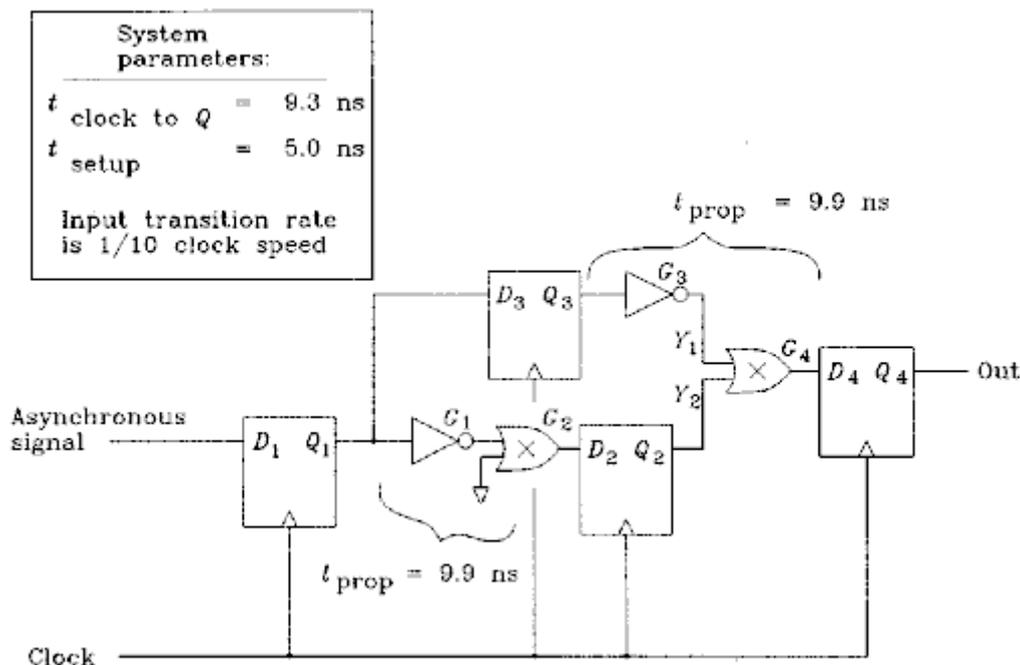


Figure 3.30 Analysis of a metastable circuit.

如果实际时钟速度F小于42MHz，我们可以预计Q1在不错过D2建立窗前提下的亚稳态延时，分配给亚稳态的允许额外延是

$$T_r = \frac{1}{F} - 23.6 \text{ ns} \quad [3.35]$$

延时 T_r 称为允许处理时间(resolution time)

如下亚稳态窗，Q1在其中要花比 T_r 长的时间才达到稳定

$$T_w = C e^{-KT_r} \quad [3.36]$$

在亚稳态窗 $\pm T_w$ 内周期超出 $1/F$ 的可能性是(the probability of hitting within $\pm T_w$, out of a total cycle time of $1/F$, is)

$$\text{Prob(failure)} = 2T_w F = 2FCe^{-Kt} \quad [3.37]$$

Actel的1989 ACT-1系列门阵列产品指导书列出了常数 C 和 K ，现在我们根据我们系统的情况调整了两个常数值。

$$C = 0.5 \times 10^{-9} \text{ (sampling switch rise-time constant)}$$

$$K = 4.6052 \times 10^9 \text{ (amplifier response time constant)}$$

故障平均时间(MTBF)，以小时计，可以由故障可能性和输入翻转率 R 计算。由于亚稳态只在输入变化时发生，翻转越多，故障的可能性就越大：

$$\text{MTBF} = \frac{0.000277}{\text{Prob(failure)} \times R} \quad [3.38]$$

where MTBF = mean time between failure, h

R = input transition rate, Hz

Prob(fail) = probability of failure on any single input transition

图3.31画出了故障平均时间对时钟频率的变化曲线，图中假设输入翻转率是时钟频率的 $1/10$ 。35MHz时，故障可能性是 4×10^{-12} 。如果电路每秒处理3500000个输入，它会每19个小时出错一次（相当于一天的）。

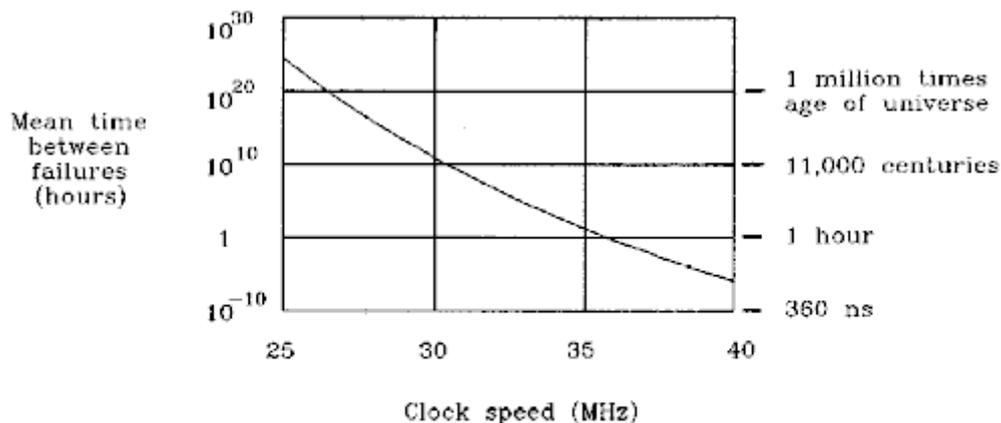


Figure 3.31 Mean time between failures (MTBF) versus clock speed for the circuit in Figure 3.30.

3.11.3 很长处理时间的证据(evidence for very long resolution times)

由图3.28提供的数据，我们必须调整图3.27中的变阻器使关键翻转达时间在10ps内以产生一个大于20ns的时钟到输出的延时。这是很难的。

幸好，还有另一种方法达到非常准确的延时调整。我们可以构造一个监控输出亚稳度的反馈网络，控制时钟-D输入的相对位置以获得很长的处理时间(resolution time)。

反馈电路放大了亚稳态事件的数量，所以我们可以轻易地看到它们。

这个电路在图3.27的上部。它由一个监控Q输出电压并把它反馈到数据缓冲器U2的T形RCR低能滤波器组成。

当DATA信号的上升沿太早到达，Q输出每个周期都会变高，提升了Q输出端的平均电压。T形滤波器通过向U2的输入节点注入正极电流而产生响应，稍微提高该点延时的CLKA信号的电压。CLKA的负向跳变，电平比一般时要高，使U2比平时晚一点变高，有效时使DATA信号的上升沿延时。

总的效果是调整了DATA跳变的位置。控制范围是 $\pm 100\text{ps}$ 。一旦变阻器的调节给DATA信号带来 100ps 的关键翻转时间(once the potentiometer adjustment brings the DATA signal within 100ps of the critical switching time)，控制环路开始工作。变阻器调节的灵敏度会变低且更易调节。

当变阻器调节到产生最大延时，我们得到图3.32。第一个波形是DATA信号的输入，第二个波形是CLK输入，而带有斑点的波形是Q的输出。因为示波器是对输入的波形进行采样而不是连续地显示它们，示波器在每个波形中只捕捉到一个点，所以得到的是斑点图。

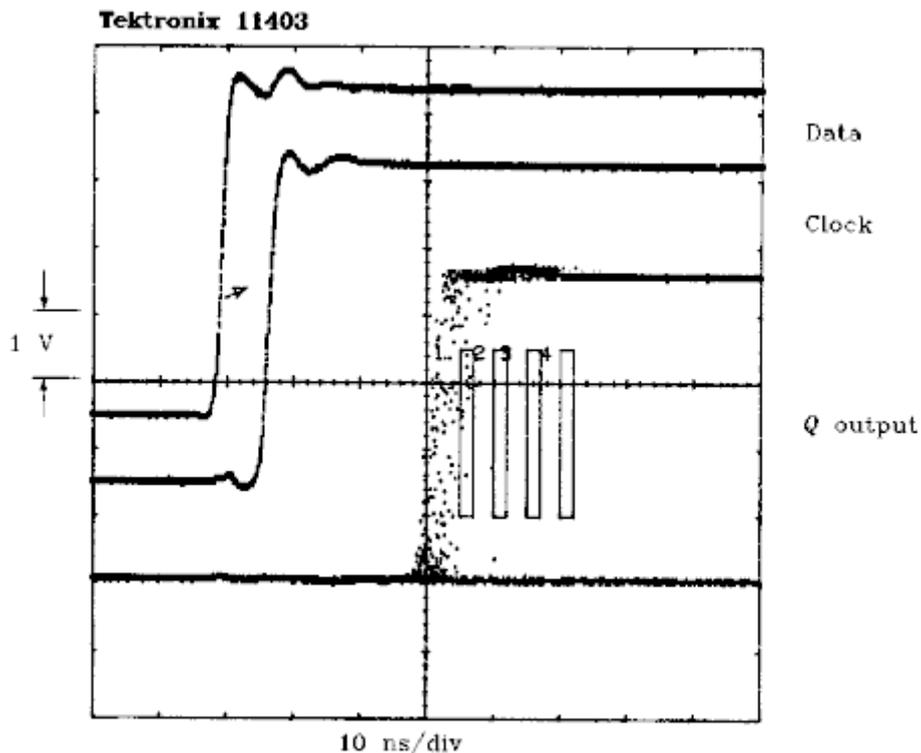


Figure 3.32 Metastability in 74HC174 (CMOS) 3-s point accumulation.

有时Q输出等待 24ns 然后变高。有时它变低。其它时候它等待很长时间才变高。

时钟-输出的最小延时是 24ns 。记住对于好的输入，名义翻转时间是 13ns （如图3.28）。这个长的延时表明DATA信号在关键翻转点由反馈环路保持了几个纳秒。在这个限制时间里，实际DATA信号可能早一点翻转，也可能晚一点翻转，是随机的。

这种随机行为是由触发器内部的热噪声和注入电路的随机外部噪声引起的。在很靠近关键翻转时间点的区域，DATA信号在各点采样的可能性是相等的。

数字采样示波器运行在点累积模式下，保持屏幕上的每个采样点。示波器不断进行点的累积直到屏幕上512个水平位置相对每个位置都有20个点。DATA和CLK信号被分别预先记录下来，并添加在最终波形图上。这幅图的累积时间是3秒。

图中最右边的点表示时钟-Q的偶然延时，最小30ns。这些事件的可能性有多大？

研究图3.34，超出给定处理时间(resolution time)的DATA窗宽度随处理时间呈指数下降。如果DATA的到达时间在关键翻转点附近平均分布，我们希望看到长处理时间的可能性呈指数下降。也就是说，对于处理时间的每个固定增长，我们期望得到超出处理时间的事件的数量下降的固定百分比。

我们可以直接用Tektronix的屏蔽计数(mask-counting)功能验证这个假设。图3.32的四个矩形定义了四个屏蔽计数(mask-counting)区域。示波器对每个屏蔽区内和边界上的点进行计数。屏蔽区域相隔5ns平均分布（在时钟后的35、40、45、50ns）。

在这个例子里，屏蔽区1和2分别有13个点和1个点。没有点落入屏蔽区3和4。我们期望每个区域的点数呈指数下降，但我们得不到足够的点来验证我们的计算。

图3.33使用与图3.32相同的设置，但让点累积功能开启30分钟。屏蔽区域计数是：

| | | |
|--------|------|------|
| Mask 1 | 30ns | 4685 |
| Mask2 | 35ns | 445 |
| Mask3 | 40ns | 42 |
| Mask4 | 45ns | 4 |

相邻区域之间的衰减参数是10。最后一个区域得到4个点，时钟-输出延时是45ns。如果我们等待50小时（图3.33等待时间的100倍），我们可能在55ns处的屏蔽区域得到4个点。

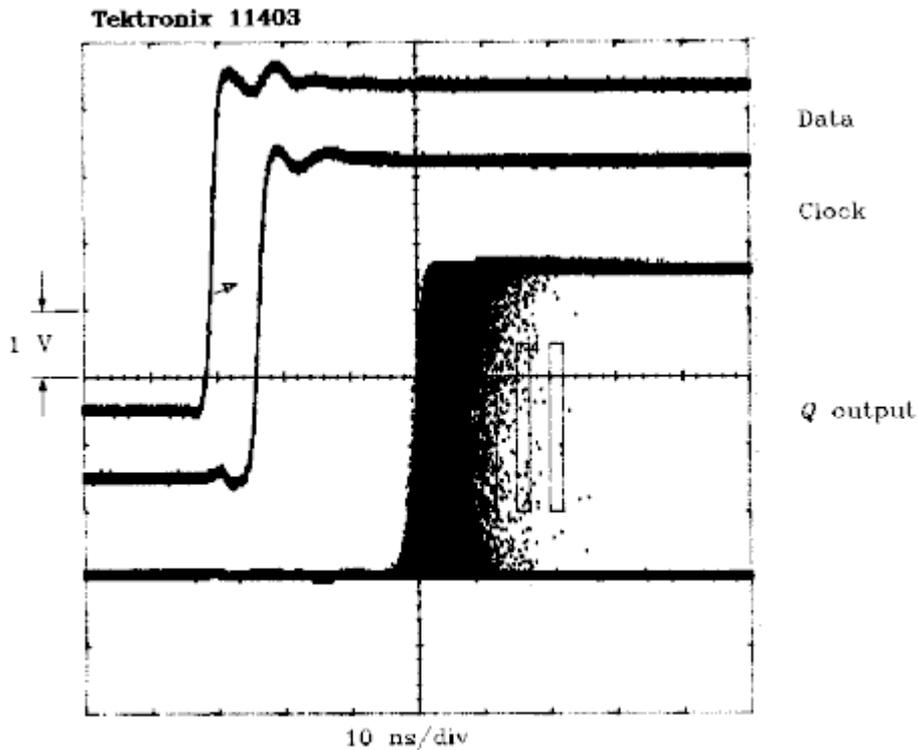


Figure 3.33 Metastability in 74HC174 (CMOS) 30-min. point accumulation.

图3.34在相同的实验中使用74F174触发器。它的延时比74HC174短得多，但效果一样。要提一下的是74F174的输出缓冲比74HC174小，可能只上升到一半(tends to rise to half-mast and then make its decision one way or the other)。输出短脉冲干扰可以轻易地触发输出端Q的后续电路。

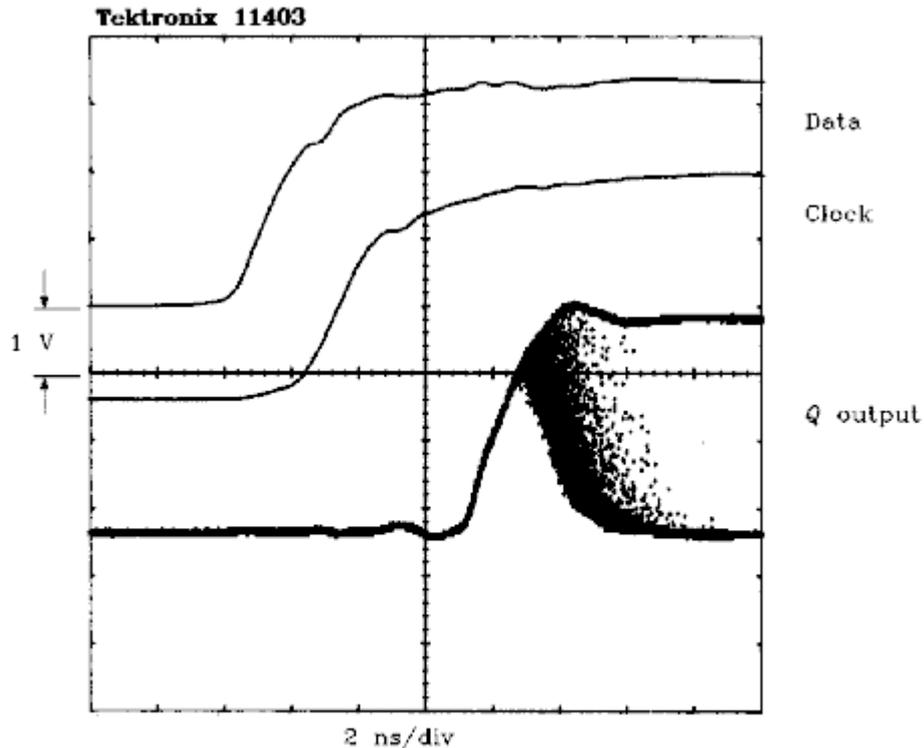


Figure 3.34 Metastability in 74F174 (TTL) 10-s point accumulation.

3.11.4 亚稳态曲线

如果你面临亚稳态的问题，以下建议可能有帮助：

1、使用更快的触发器；它可能有更窄的亚稳态窗。

2、两个（甚至更多）触发器串联，使用相同的时钟，由N个触发器组成的触发器链的误差可能性等于 P^N ，其中P是一个触发器的亚稳态故障可能性。标准的情况至少使用两个触发器，有时三个，对于每个异步输入，触发器是串联的(flip-flops in series for every asynchronous input)。

3、使用亚稳态稳定(metastable-hardened)的触发器，这些器件内部包含一个高速低功耗的触发器，K值很大，带有正常速度输出驱动器。它们有非常吸引人的亚稳态特性。

4、少点采样（如果可能）。更宽的时钟周期降低了进入亚稳态窗的可能性，给予触发器更多的时间处理它的输出。随着时钟频率的降低，故障率以比指数更快的速度下降。

5、有些触发器在输入信号变化缓慢的时候亚稳态问题更严重。使用变化快的信号输入。

本节要点：

- ◆ 所有触发器都有亚稳态。
- ◆ 随着时间T的增长，触发器输出延时大于T秒的可能性呈指数下降。