

高速数字电路设计教材

拟制: _____
审核: _____
审核: _____
批准: _____

日期: yyyy-mm-dd
日期: yyyy-mm-dd
日期: yyyy-mm-dd
日期: yyyy-mm-dd



华为技术有限公司

版权所有 侵权必究



目 录

前言	2
第 1 章 基本原理	4
1.1 频率和时间	4
1.2 时间和距离	7
1.3 集中式系统和分布式系统	8
1.4 关于3-dB 和 频率均方根值 的注意点	10
1.5 四种类型的电抗	11
1.6 普通电容	12
1.7 普通电感	18
1.8 估算衰减时间的一个更好的方法	22
1.8.1 在响应曲线下测试覆盖面积	22
1.8.2 图1.15的应用	24
1.9 共模电容	24
1.9.1 共模电容和串扰的关系	25
1.9.2 终端电阻之间的共模电容	26
1.10 共模电感	27
1.10.1 共模电感和串扰的关系	29
1.10.2 翻转磁耦合环	32
1.10.3 电容耦合和电感耦合的比值	33

前言

这本书是专门为电路设计工程师写的。它主要描述了模拟电路原理在高速数字电路设计中的分析应用。通过列举很多的实例，作者详细分析了一直困扰高速电路路设计工程师的铃流、串扰和辐射噪音等问题。

所有的这些原理都不是新发现的，这些东西在以前时间里大家都是口头相传，或者只是写成应用手册，这本书的作用就是把这些智慧收集起来，稍作整理。在我们大学的课程里面，这些内容都是没有相应课程的，因此，很多应用工程师在遇到这些问题的时候觉得很迷茫，不知该如何下手。我们这本书就叫做“黑宝书”，它告诉了大家在高速数字电路设计中遇到这些问题应该怎么去解决，他详细分析了这些问题产生的原因和过程。

对于低速数字电路设计，这本书没有什么用，因为低速电路中，'0'、'1'都是很干净的。

但是在高速数字电路设计中，由于信号变化很快，这时候模拟电路中分析的那些影响会产生很大的作用，使得信号失真、变形，或者产生毛刺、串扰等，作为高速数字电路的设计者，必须知道这些原理。这本书就详细的解释了这些现象产生的原理以及他们在电路设计中的应用。

书本中的公式和例子对于那些没有受过专业模拟电路设计训练的读者也是有用的。在线性电路原理理论课程中只接受了第一年的培训的读者，也许能更好地掌握本书的内容。

第1章——第3章分别介绍了模拟电路术语、逻辑门高速特性和标准高速电路测量方法和技巧等内容。这三章内容构成了本书的核心，应该包括在任何高速逻辑设计的学习中。

其余章节，第4章——第12章，每一章都讲述了一个高速逻辑设计中的专门问题，我们可以按照自己的需要选择学习。

附录A收集了本书各部分的要点，列出了所提出的最重要的思想和概念。它可以作为我们进行系统设计时的一个检查要点（CHECKLIST），或者碰到问题时可作为本书内容的索引。

附录B详细给出了各种上升时间测量形式背后的数学假设。它有助于把本书的结论跟相关术语的标准及来源联系起来。

附录C是列举物理结构中的电阻、电容和电感计算的标准公式。这些公式已经在MathCad上实现并可以从作者处获得。

第 1 章 基本原理

摘要:

高速数字电路设计跟低速数字电路设计不同的是：他强调组成电路的无源部件对电路的影响。这些无源器件包括导线、电路板和组成数字产品的集成电路。在低速设计中，这些部件单纯的只是电路的一部分，根本不用多做考虑，可是在高速设计中，这些部件对电路的性能有着直接的影响。

高速电路设计研究的主要内容是以下几个方面：

- 1、无源电路单元是如何影响信号传输的（振铃和反射）。
- 2、信号间的相互影响（串扰）。
- 3、与周围环境间如何影响（电磁干扰）。

我们在下面的几个小节里面首先介绍一下频率、时间和距离相互之间的一些关系。

1.1 频率和时间

在低频电路里面，我们可以随便直接使用一个导线把两个电路连接起来，但是在高频电路中我们不能这样做，我们只能使用一个宽一些并且是平整的物体才可以把两个电路短接起来。这是因为在低频电路中没有什么影响的导线，到了高频电路中，就变成了一个电感。

这是一个普遍的现象吗？难道真的是一个电路不能在可变化的频率范围内工作？电路的参数真是对频率敏感的吗？

是的。如果我们给一个电路画出以频率为底的对数曲线，没有一个电路参数能够在频率增加10倍或者20倍以后保持不变的。因此必须考虑每个电参数的有效频率范围。

我们先来研究一下在频率很低（周期很长）的电路中的电路特性，然后我们再来研究在高频时电路会有什么变化。

如果一个正弦波的频率是10—12 HZ，也就是说他完成一个周期需要30000年。这样的一个波形在TTL电平里每天的变化不会超过1微伏，这样的频率确实太低了，不过他还没有等于0。

这个时候我们用示波器来观察这个波形，实际上我们观察不到任何变化，因为它的周期太长了，要等到他变化完成一个周期，设备都已经风化了。

相反我们再来考虑一下如果频率是10+12 又会如何？

这时候，参数变化太大了，本来在低频时候是0.01欧姆的电阻，当频率到了1GHZ 时，由于趋肤效应，变成了1欧姆，不但如此，还增加了一个50欧姆的感抗。

频率到底在多大的范围内会对高速电路设计造成影响？图1.1是一个随机数字脉冲与它的频谱重要部分的关系图，回答了这个问题。

图1.1 的数字信号是一个触发器的输出，它的时钟频率是F_CLOCK，每个时钟对应的数据输入是随机的。在这个例子中10-90%上升时间叫做 Tr，是时钟周期的1%。

这个信号的功率密度谱如图1.1，在时钟的整数倍时是非常小的值，并且从Fclock开始直到Fknee（拐弯频率）以斜率 -20dB/10倍频 下降，越过了拐弯频率以后频谱线下降的速度急剧增加，大大快于-20dB/10倍频。在拐弯频率位置，频谱幅值是正常下降速率点再往下降-6.8dB。对于任何电路，拐弯频率的值与电路信号沿的上升时间Tr（或下降时间）有关，与时钟频率无关：

$$F_{knee}=0.5/Tr \quad \text{公式1.1}$$

式子中:

Fknee: 拐弯频率

Tr: 脉冲上升时间

可见上升时间越短, 拐弯频率越高, 上升时间越长, 拐弯频率越低。

数字信号的时域特性主要取决于Fknee以下的频谱特性。由此我们可以定性的推出数字电路的两个重要特性:

推论1、所有对低于或等于Fknee 的频率响应都是均匀的电路, 能够不失真的传输相应的数字信号。

推论2、当频率高于Fknee时, 对数字信号的处理会有一些影响。

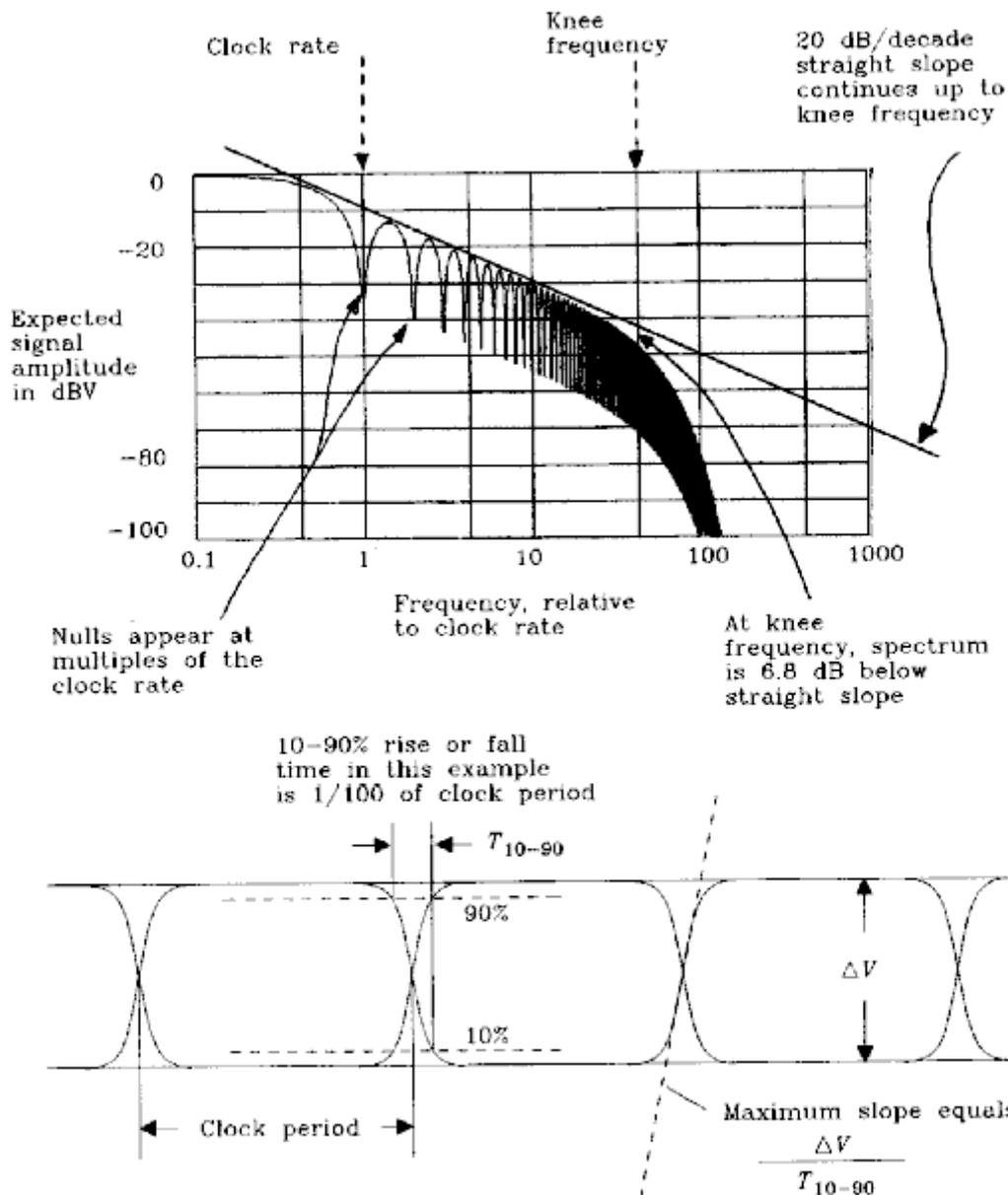


Figure 1.1 Expected spectral power density of a random digital waveform.

图1.1 随机脉冲波形的功率密度频谱

请注意我们这里的 F_{knee} 只取决于 T_r ，而跟电路的其它频域参数没有任何直接联系。这样简单的一个定义易用也易记。

当我们使用 F_{knee} 的时候，我们也要记住：这个值不是非常精确的。但是可以作为一个指示特征，我们可以通过他来区分频率敏感的影响，那些是无关紧要的，那些是破坏性的，那些是令人担心的问题，实际上在设计中我们想知道的也就是这些内容。

当然， F_{knee} 也是有限的，他并不能够精确的确定系统的性能。实际上它并没有精确定义怎样测量上升时间。它不能代替成熟的傅立叶分析。也不能估计电磁辐射，它取决于频率在 F_{knee} 以上的的频谱特性。

同时，对于数字信号， F_{knee} 方便有效地确定了时间与频率之间的关系。在这本书中我们全部使用 F_{knee} 作为数字信号频谱的上限。附件B附加了一些上升时间和频率测试的不同方法，有兴趣可以看一下。

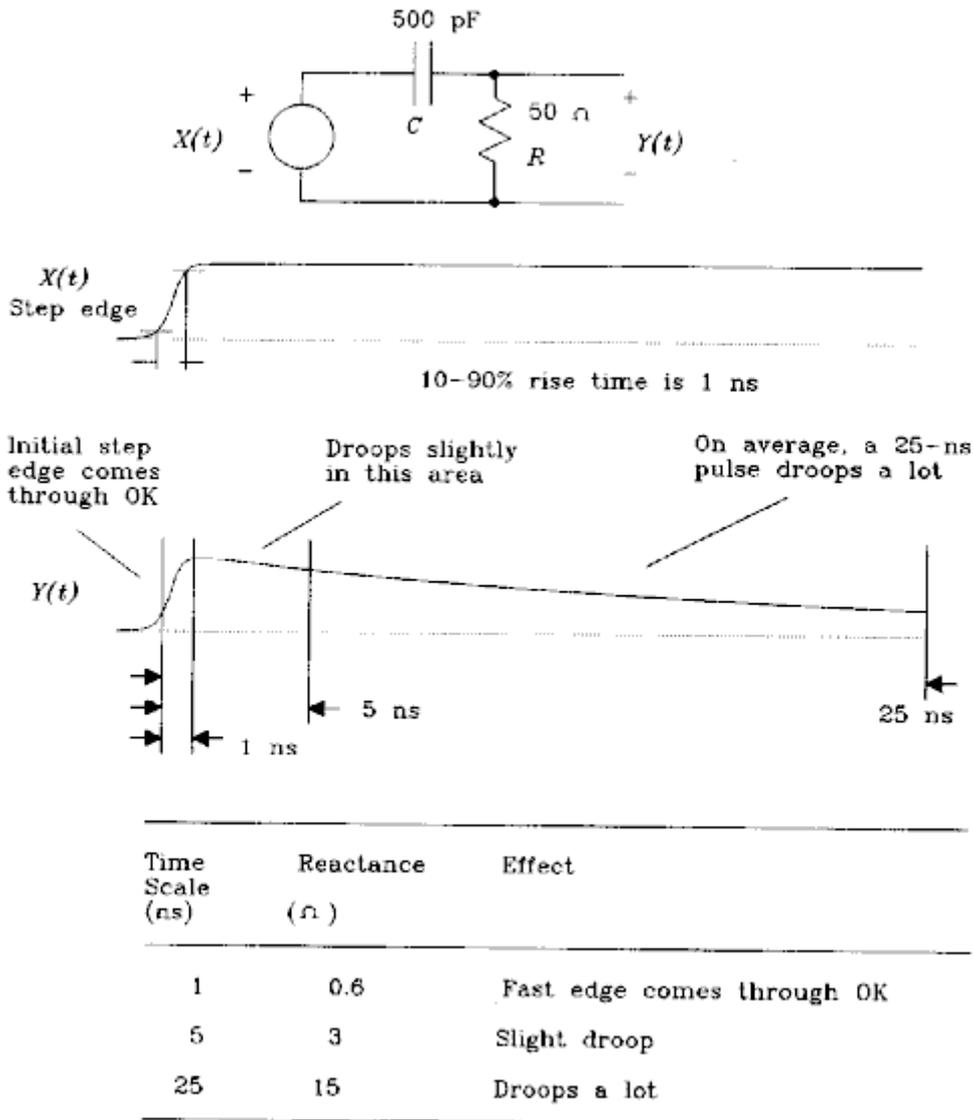


Figure 1.2 Time domain analysis of a simple RC filter.

图1.2 一个简单RC滤波器的时域分析

按照上面的推论（1），如果一个系统在低于 F_{knee} 时的频率响应是非均匀的，他会是怎样影响电路信号的呢？以下是一个实例：

我们知道一个电路的高频响应影响它的瞬态事件处理（比如上升时间）。而低频响应则影响电路的长时间事件处理（比如一个长的稳定脉冲）。图1.2显示了一个电路的高低频响应特性。对于这个电路，他是通高频，阻低频的。

我们从特殊频率点 F_{knee} 分析图1.2，在频率 F_{knee} 时电容C的电抗是： $1/C2 \pi F_{knee}$ 。我们可以利用这个公式来计算电抗值：

$$X_c = 1/C2 \pi F_{knee} = T_r / C2 \pi = 0.06 \text{ 欧姆} \quad [1.2]$$

T_r = 阶跃输入的上升时间，秒

F_{knee} = 阶跃输入的最高频率，HZ

C = 电容值，F

公式1.2表示了如何用拐点频率 F_{knee} 或上升时间来估计电容的电抗。

图1.2的电路中0.6欧姆的电抗是一个虚短路，在 F_{knee} 处的上升沿幅值会对电容造成很大冲击。

当时钟周期超过25ns的时候，比如20MHZ，电容的容抗会上升到15欧姆，将会使耦合信号明显下降。

本节要点：

- ◆ 一个电路的高频响应影响它的瞬态事件处理（比如上升时间）。
- ◆ 一个电路的低频响应影响电路的长时间事件处理（比如一个稳定的长时脉冲）。
- ◆ 数字脉冲的大部分能量集中在低于 F_{knee} 的频率范围内：
- ◆ $F_{knee} = 0.5 / T_r$
- ◆ 电路在 F_{knee} 处的特性决定了它对变化沿（STEP EDGE）的处理。
- ◆ 电路在高于 F_{knee} 时候的频率特性对数字信号几乎没有影响。

1.2 时间和距离

电信号在传输线或者PCB线路上面的传输速度取决于周围的环境。传输延时的单位是ps/inch（皮秒每英寸），传输速度的单位是inch/ps（英寸每皮秒），它们是倒数关系。

传输延时与导线周围媒体的绝缘参数的平方根成正比。同轴电缆厂家通常使用泡沫塑料或者有皱纹的材料作为绝缘材料，以减小电缆的有效绝缘常数，从而减小传输延时和传输损耗。表1.1中列出了两个同轴电缆的不同绝缘材料区别。

PCB板的传输延时与绝缘材料的绝缘常数和PCB线路的形状有关。常用的电路板材料FR-4的绝缘常数在低频时是 $4.7 \pm 20\%$ ，在高频下会恶化到4.5，计算传输延时的时候使用高频数值4.5。

TABLE 1.1 PROPAGATION DELAY OF ELECTROMAGNETIC FIELDS IN VARIOUS MEDIA

Medium	Delay (ps/in.)	Dielectric constant
Air (radio waves)	85	1.0
Coax cable (75% velocity)	113	1.8
Coax cable (66% velocity)	129	2.3
FR4 PCB, outer trace	140-180	2.8-4.5
FR4 PCB, inner trace	180	4.5
Alumina PCB, inner trace	240-270	8-10

表1.1 电信号在不同媒体中的传输延时

线路的几何形状决定了电场是停留在板上还是传播到空气中，如果停留在板上，材料的绝缘常数会增大使得传输速度降低。封闭在地层之间的 PCB 走线周围的电场是全部都在板上的，因而使得FR-4 的绝缘系数典型值为4.5。而最外层PCB走线由于与空气接触使得绝缘系数在1和4.5 之间。所以PCB外层布线比内层布线传输速度快。

特殊陶瓷材料氧化铝用于高密多层板（可到50层），它的一个优点就是温度膨胀系数小而且机械加工性能好，可以到很薄，可是太贵。微波工程师也喜欢氧化铝材料是因为他可以减小谐振腔的机械结构。

本节要点：

- ◆ 传输延时与导线周围介质的绝缘常数的平方根成正比。
- ◆ 信号在空气中的传输延时是85ps/inch。
- ◆ PCB 外层布线的信号传输速度要比内层的高。

1.3 集中式系统和分布式系统

一个传导系统对一个输入信号的响应很大程度上取决于这个系统是大于还是小于信号最快电特性的有效长度。

跟上升沿一样，电特性的有效长度取决于特征持续时间和传输延时。比如，我们分析一个10KH ECL信号的上升沿，这些门的上升时间约为1.0ns，当信号在FR-4内部走线上传输时，上升沿长度是5.6inch:

$$l = \frac{T_r}{D} \quad [1.3]$$

where l = length of rising edge, in.

T_r = rise time, ps

D = delay, ps/in.

图1.3画出了一系列沿着10英寸直导线的传输电位图。在左边输入一个1ns的上升沿，脉冲信号在导线传输的过程中，各点的电压是不一样的。这个系统沿着这根导线传输的脉冲响应是分布式的，我们把它成为分布式系统。在第4ns得到的上升沿的物理长度是4.5inch。

一个物理上足够小的系统，小到每一点的响应都可以认为是几乎同时的时候，我们就称之为集中式系统。图1.3示意了一个1英寸导线响应同一个1ns上升沿时，作为一个集中式系统的响应，可以看出，在每一点，变化几乎是同步的。

一个系统是集中式系统还是分布式系统取决于通过它的信号的上升时间，把系统大小和上升时间大小比值作为区分特征。对于PCB 点对点 and 总线走线，如果线长度小于信号传输有效长度的1/6，就可以看作是一个集中式系统。

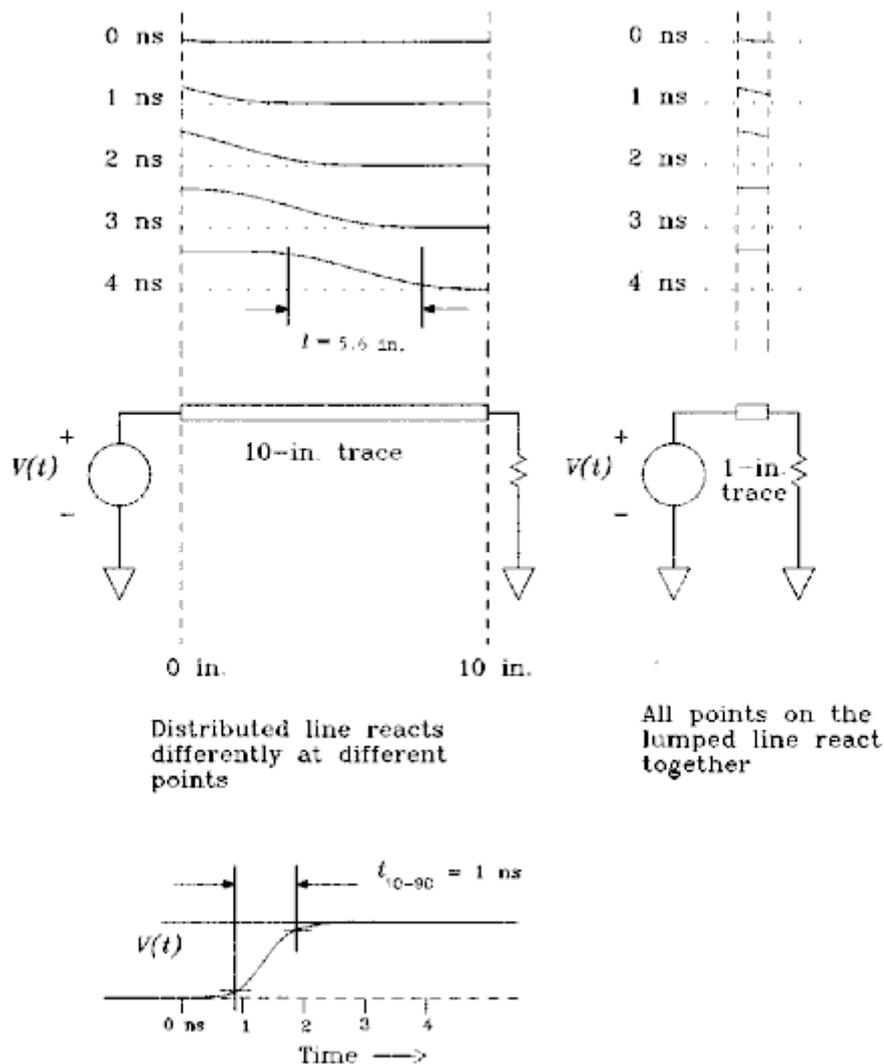


Figure 1.3 Snapshots in time of the electric potential on distributed and lumped transmission lines.

图1.3 分布式和集中式系统传输线上对上升沿响应不同时间各点电位示意图

本节要点:

$$\text{Length of rising edge } l = \frac{\text{Rise time (ps)}}{\text{Delay (ps/in.)}} \quad [1.4]$$

- ◆
- ◆ 上升沿长度: $L = \text{上升时间} / \text{传输延时}$
- ◆ 如果线长度小于信号传输有效长度的1/6, 那么我们就把他看做是一个集中式系统。

1.4 关于3-dB 和 频率均方根值 的注意点

与模拟领域的规范不同, 在数字领域, 通常把频率响应转换为上升时间。

例如示波器厂家对垂直放大器引入一个操作带宽, 而对每一个探针又引入一个相应的最大带宽。根据不同的厂家可能引入的概念是3-dB 带宽或者 RMS带宽 (等价噪音)。不管是那种情况, 带宽和上升时间的转换据决定于示波器的频率响应曲线的形状。

幸好我们并不是需要每回都要计算出精确的上升时间。鉴于这本书的目的, 我们建议了一种易用的方式, 我们可以忽略频率响应形状的细节。附录B对比了几种不同的脉冲类型的计算, 说明了这种方法的正确性。

下面的式子中我们把频率转化为10-90%上升时间。正如附录B中的说明, 对于我们做测试和数字电路的维修所需要的精度, 不管是定义上升时间为10-90% (示波器脉冲中间点斜率的倒数) 还是用标准的偏差法, 都没有什么关系。

$$F_{3\text{dB}} \approx \frac{K}{T_r} \quad [1.5]$$

$$T_r \approx \frac{K}{F_{3\text{dB}}} \quad [1.6]$$

where $F_{3\text{dB}}$ = frequency at which impulse response rolls off by 3 dB

T_r = pulse rise time (10-90%)

K = constant of proportionality depending on exact pulse shape;

$K = 0.338$ for gaussian pulses; $K = 0.350$ for single-pole exponential decay

对于高斯脉冲, $K=0.338$; 对于单极指数衰减脉冲, $K=0.350$ 。对于大多数的数字信号, 这种小变化是没有什么关系的。

如果厂商引入RMS带宽或者等价噪声带宽, 下面的关系式可以算出子系统的10-90%上升时间, 这里的常数 K 从0.36变化到0.55, 取决于不同的脉冲类型, 跟3.6式子比起来有稍微增大:

$$T_r \approx \frac{K}{F_{\text{RMS}}} \quad [1.7]$$

where F_{RMS} = RMS bandwidth

T_r = rise time (10-90%)

K = constant of proportionality depending on exact pulse shape;

$K = 0.361$ for gaussian pulses; $K = 0.549$ for single-pole exponential decay

通过示波器来观看一个非常快的上升沿（远快于示波器的响应速度），可以区分它是单极响应还是高斯类型响应。如果响应的上升沿非常陡，下降的拐弯非常急，然后是长长的尾巴，它可能是单极脉冲响应（SINGLE-POLE）；如果脉冲沿比较平缓，上升和下降是比较对称的，估计就是高斯脉冲。如果介于两者之间，则K取值为：0.45。

1.5 四种类型的电抗

四个电路概念区分了高频数字电路和低频数字电路的研究：电容、电感、共模电容、共模电感。这四个概念有助于我们对高速数字电路元素的描述和理解。

研究电容和电感的方法非常多，微波工程师用麦克斯维方程式进行研究，控制系统的设计师使用拉普拉斯变换，一种专门的 SPICE 仿真使用线性微分方程，而数字工程师则一般使用阶跃响应的方法。

阶跃响应的方法显示了我们需要的东西：一个脉冲输入到一个电路元素时的响应。这样我们就可以得电路元素的阻抗—频率曲线。在这个意义上，阶跃响应法至少与频域的阻抗测量方法一样有效。

我们对电容和电感的研究将集中在电路元素的阶跃响应。

图1.4 示意了一个双端器件的典型的阶跃响应测量方法。用一个输出阻抗为 R_S 欧姆的阶跃源，并联到测试电压响应的设备。实际测试中，我们一个接一个地发阶跃脉冲，然后在示波器上面就可以同步的看到响应波形。

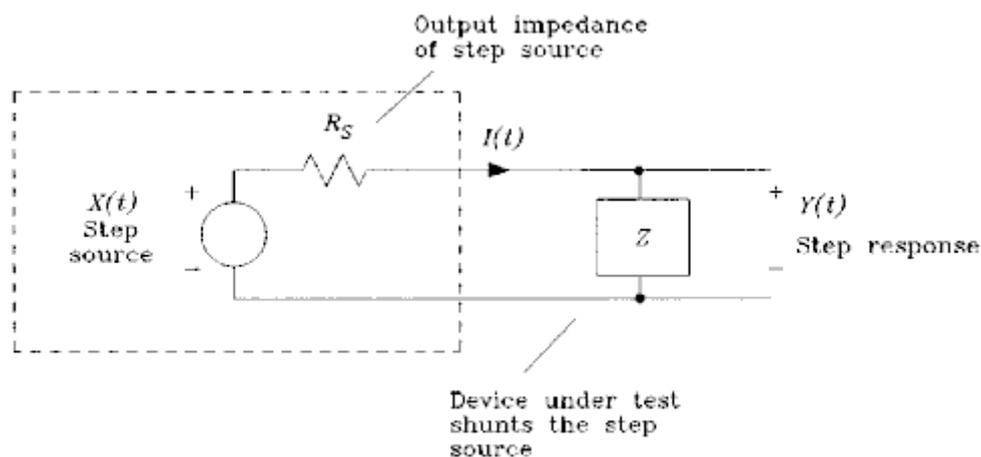


Figure 1.4 Step response test for a two-terminal device.

图1.4 双端器件阶跃响应测试

通过观察阶跃响应和使用以下3个法则，任何人都可以马上得到器件的特性：

- 1、电阻的阶跃响应是均匀的，在0时刻，输出即可以上升到固定值并且保持稳定。
- 2、电容响应是一个上升的阶跃响应，在0时刻阶跃输出也为0，但是不久就可以上升到满幅度。
- 3、电感的响应是一个下降的阶跃响应，在0时刻，输出会上升到满幅度，但是不久就会衰减到0。

我们可以分析电路的响应（它是一个时间函数）的特性是不变的？还是上升的？还是下降的，把器件分为阻性、容性和感性。

电抗性质的影响（包括电感和电容）又可以进一步分为普通和共模两类，普通容抗和感抗描述了独立器件（双端器件）的特性，共模容抗和感抗概念描述了两个电路之间的相互影响。在数字电路里面，共模容抗和阻抗通常产生我们所不期望并设法减小的串扰。普通的电容和电感是有帮助的，要视乎电路的实际情况而定。

我们将使用一种特殊的阶跃响应的方式来测试共模容抗和感抗电路的特性。

我们只研究集中式系统的以下特性：

- 普通电容
- 普通电感
- 共模电容
- 共模电感

1.6 普通电容

如果两个导体充上不同电位的电荷，就会产生电容，这两个导体之间会存在电场，这些能量是由驱动电路供给的。由于驱动电路的驱动源能量是一定的，因此，经过有限的时间以后，电容两端的电压差就可以上升到一个稳定值。这种在外部有一个能量冲击的时候阻止电位上升很快，或者下降很快的特性就称作电容。在有一定的低电压的时候就能够保持大量电场能量的结构，比如两个并列的电极片，就会存在比较大的电容。

图1.5示意了一个电容在30欧姆源驱动下的理想的电流和电压波形（TTL门输出阻抗约30欧姆）。电容的阶跃响应曲线是时间的函数。当阶跃电压瞬间加载电容两端的时候，会有一个很大的电流产生来建立电场，此时由于电流比较大， $Y(t)/I(t)$ 就会很小。电容是瞬间短路的。

经过一定的时间以后， $Y(t)/I(t)$ 变大，电流会变到很小，此时电容可以看做是开路的。最后，当电场完全建立起来以后，只会剩下一个很小的漏电流，这个值的大小决定于电极之间绝缘体的绝缘特性。这个时候 $Y(t)/I(t)$ 非常大。

有的电路对于阶跃响应，在某个时段看起来像是容抗特性，在另外一个时段看起来又像是感抗特性，反之亦然。比如，电容两端的引脚在频率很高时就有电感特性，它的阶跃响应在零时刻的几百个皮秒之内会看到一个脉冲，然后迅速降到0，后面在按照正常的电容曲线显示。

如果阶跃源的上升时间比较长，那么可能会由于示波器扫描时间比较慢的缘故我们将看不到感抗脉冲。有趣的是我们可以通过调节阶跃冲击源的上升时间和扫描时基来确定一个频率范围，这样就可以很好的观察电路的特性。

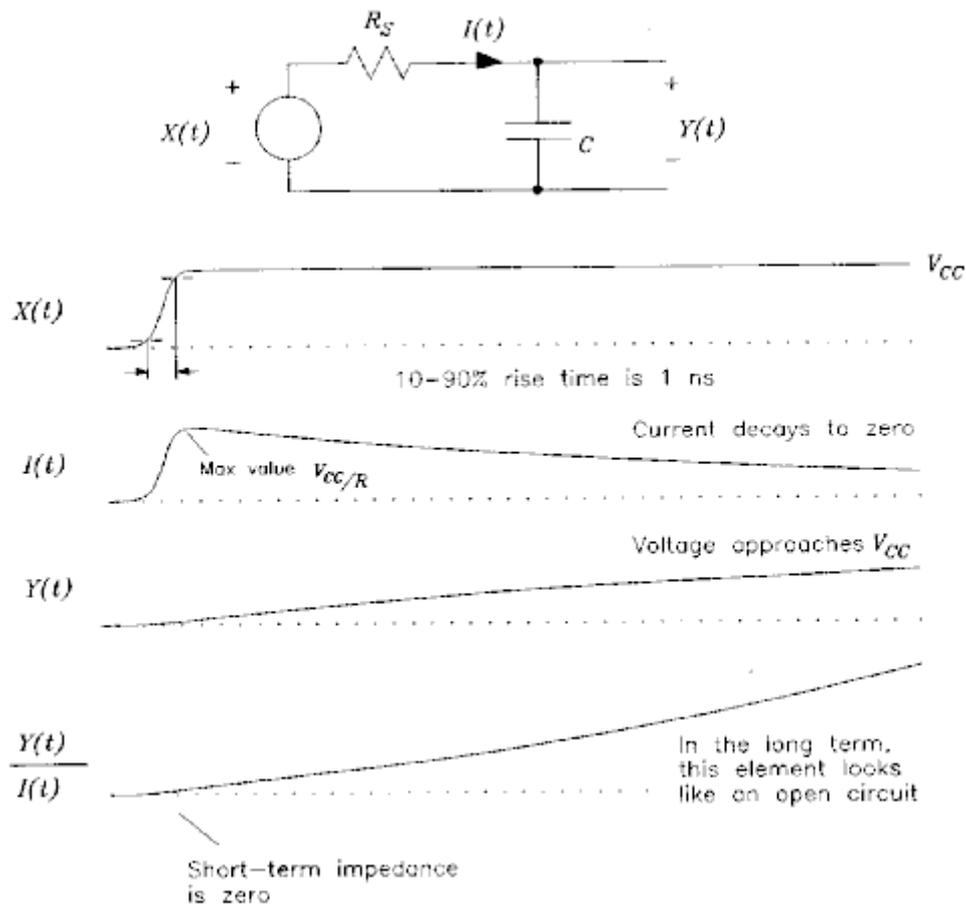


Figure 1.5 Step response of a perfect capacitor.

图1.5 理想电容的阶跃响应

一般说来，如果上升时间是 T_r ，0时刻的阶跃响应与电路在频率 F_A 的阻抗值有关：

$$F_A \approx \frac{0.5}{T_r} \quad [1.8]$$

where T_r = rise time of step source

F_A = approximate analysis frequency

取一段时间阶跃响应的平均值，我们可以估计低的频率时的阻抗，用公式1.8我们可以估算出对应于平均时间 T_r 的分解频率。

阶跃响应的最终值表示了DC的阻抗值。

只根据上升时间是 T_r ，没有办法推断器件远高于 F_A 时候的特性。我们一定要保证阶跃源足够快从而我们可以很好的看到我们需要的东西。

图1.6是一个可以测试pF级别电容在几个纳秒时间内特性的装备，可以用来测试PCB走线、门输入、旁路电容以及其它一些数字电路的容性特性。

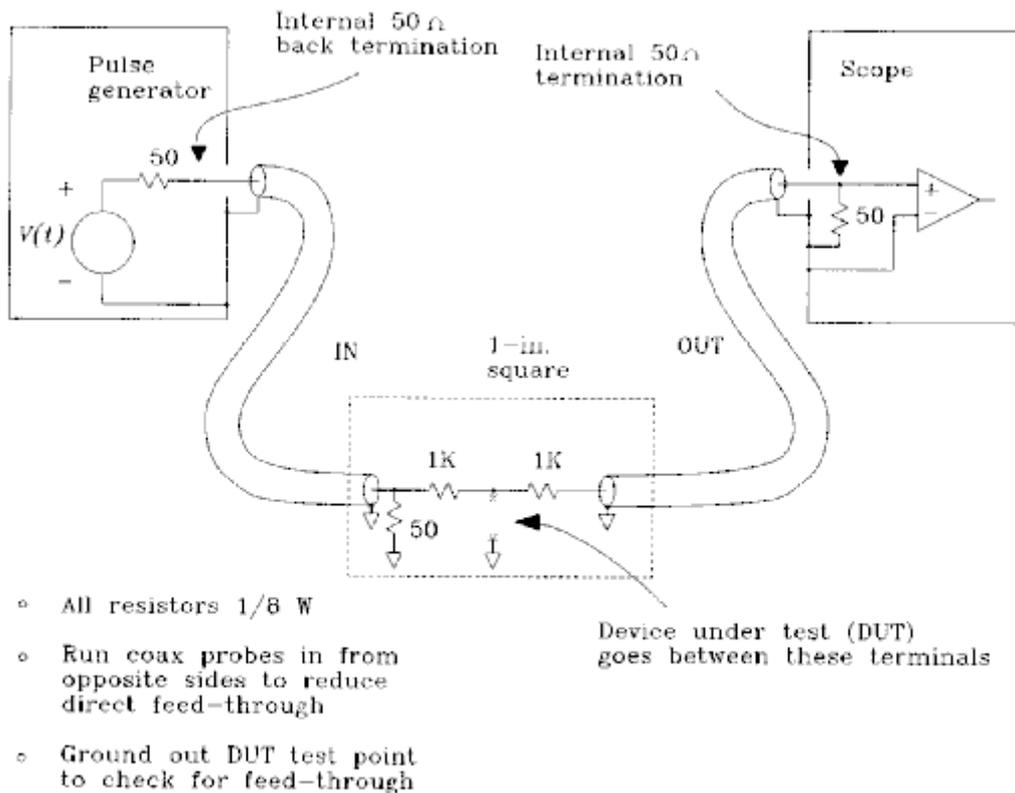


Figure 1.6 A 500-Ω lab setup for measuring capacitance.

图1.6 测试电容的500欧姆试验装置

这个装置使用驱动被测电容的脉冲源阻抗是已知的，通过测量响应波形的上升时间，我们可以推断出电容值。相对我们使用音频的方法来说，这个方法要复杂一些。它的复杂来源于高频时候很难保持和传递电磁场能量。同轴电缆用来把测试信号和测量结果传递进出1平方英寸大小的固体地平面，这个平面是测量进行的地方。限制测量区域为1平方英寸以保证所测电路是集中式系统。

例子：1.1 测量到地的小电容

图1.6实例中的待测设备（DUT）是一个并列金属片电容，0.5英寸*0.75英寸，是印制在地层之上0.008英寸高的FR-4印制电路板上面1.5-oz铜皮。这种结构形成了一个寄生电感非常小的电容。

测试装备由输入和输出两个RG-174的同轴电缆构成，输入电缆对地加了一个50欧姆终端电阻，同时还串了一个1K电阻来驱动DUT。1K电阻把DUT和信号源隔离开来了。使得驱动源的输出阻抗在各种阻抗DUT下都是保持恒定的。驱动阶跃源的上升时间和幅值也不会受DUT负载阻抗影响。

脉冲发生器提供一个类似于实际电路的上升时间和幅值的信号，当测量无源器件时，脉冲发生器的DC分量是无关紧要的。但测量一个输入门的时候，我们要不断调整脉冲源使其跨越输入开

关范围，并把能量传递到被测门，使被测门进入测试的操作范围，如果输入门要求的电流比较大的话，源电阻要比1K小一些。

如果你的信号发生器有一个50欧姆Back-termination特性，能减小输入电缆上的反射，它是在信号发生器的输出串50欧姆的电阻，降低由于Test jig与信号源输出阻抗不可避免的失配而导致的在源电缆上的来回反射。使用back termination可以削弱源信号的反射，首先是在它从test jig反射回来的时候，然后是从信号源的back termination 电阻反射并返回测量设备时。back termination 虽然减小信号源输出的幅值为原来的一半，但是它改善了系统的阶跃响应。

输出电缆通过一个1K电阻单独连接被测电路，在示波器的内部有50欧姆的终端匹配。1K的电阻作为21:1的探头，这样安排的好处在后面的示波器探头一节中有介绍。输入输出电缆的长度都是3英尺。

在DUT断开时，这个开环电路的在2.6V阶跃冲击下的响应波形如图1.7，上面的波形时基是5ns/格，下面波形的时基是500ps/格。

使用的示波器是TEK 11403,自动记录的波形10-90%上升时间是818ps，测得的幅值是63mV（测得的峰值是67mV），算出来得到的DUT处幅值为1.3v,是冲击源的1/2。

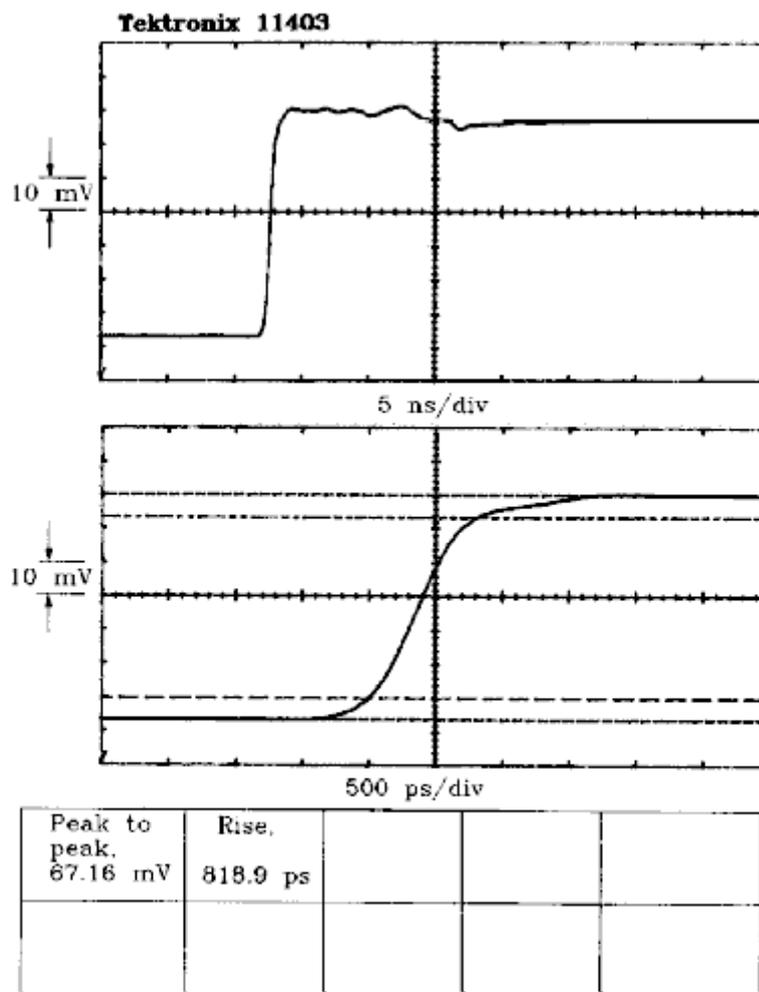


Figure 1.7 Open-circuit response of a 500-Ω capacitance test setup.

图1.7 500欧姆电容测试装置的开环电路响应

图1.8是测试装置的等价戴维南电路，在这个电路里面把系统总的上升时间合进了冲击源，这对测试是没有影响的，只要知道这个测试的比例就可以了。

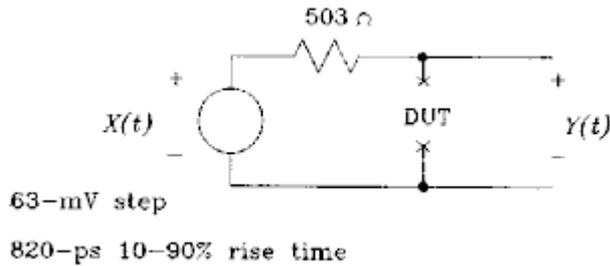


Figure 1.8 Thevenin equivalent of a 500- Ω capacitance test setup.

图1.8 500欧姆电容测试装置的戴维南等价电路

源阻抗是503欧姆，在输出关闭的时候可以用万用表测出来，也可以算出来。

把DUT接上去以后，得到的波形是一个的容性负载波形，一开始较低，然后上升。把保存的开路时候的波形打出来作对比。从整个800ps~40ns的时间里，DUT显示了很好的容性。

图1.9 的光标是波形的63%上升时间处，可以读出来，从开始到这点的时间是23.5ns，由于驱动电阻是503欧姆，可以算出DUT电容是 $C=t/R$ ：

$$C=t/R=23.5\text{ns}/503\text{欧姆}=46.7\text{pF} \quad \text{公式1.9}$$

$$C = \frac{23.5 \times 10^{-9} \text{ s}}{503 \Omega} = 46.7 \text{ pF} \quad [1.9]$$

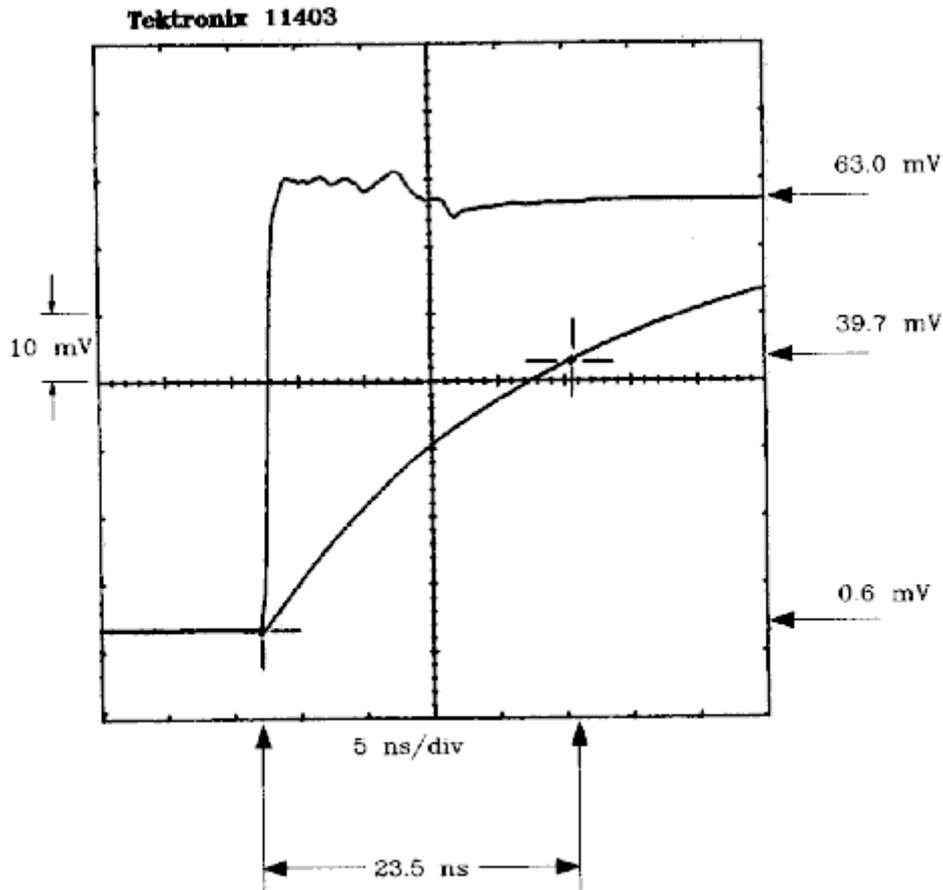


Figure 1.9 Finding a time constant using the 63% method.

图1.9 使用63%的方法找出时间常数

可以用上升时间和频率之间的关系，通过观察电容的数字波形的上升时间而了解到电容的容抗。这个关系在我们分析容抗使得数字波形失真的时候非常有用。

$$X_C = \frac{T_r}{\pi C} \quad [1.10]$$

对于3ns上升时间的阶跃响应，例子1.1的电容电抗是20.44欧姆，它会使带有30欧姆输出阻抗的TTL驱动器的输出波形在3ns的上升沿发生明显的畸变。

任一时刻通过电容电流的大小总是跟它两端电压的上升时间有关的：

$$I_{\text{capacitor}} = C \frac{dV_{\text{capacitor}}}{dt} \quad [1.11]$$

使用公式1.11可以计算两个电路间的电容导致的串扰。

本节要点：

- ◆ 使用脉冲源和示波器我们可以很容易的建立电容的测试装备。

1.7 普通电感

如果有电流存在，就会产生电感，电流产生磁场，这些能量是由驱动电路供给的，由于驱动电路的驱动源能量是一定的，因此，经过有限的时间以后，电流就可以上升到一个稳定值。这种阻止电流上升或下降等变化趋势的特性就称为电感。

图1.10示意了一个电感在30欧姆驱动下的理想的电流和电压波形（TTL门输出阻抗约30欧姆）。电感的阶跃响应曲线是时间的函数。当阶跃电压瞬间加载电感两端的时候，0时刻电流几乎没有，因此 $Y(t)/I(t)$ 会非常大，电感是瞬间是开路的。

经过一定的时间以后， $Y(t)/I(t)$ 变小，电流会变大，最后电压几乎会降至0，此时电感相当于一个短接电路。最后，当电感周围磁场完全建立起来以后，电流值只受电感的直流电阻影响。 $Y(t)/I(t)$ 非常小。

图1.11示意了一个可以测试nH电感特性的理想装置，可以用来测试PCB地线或者一般端连接线的感性特性。

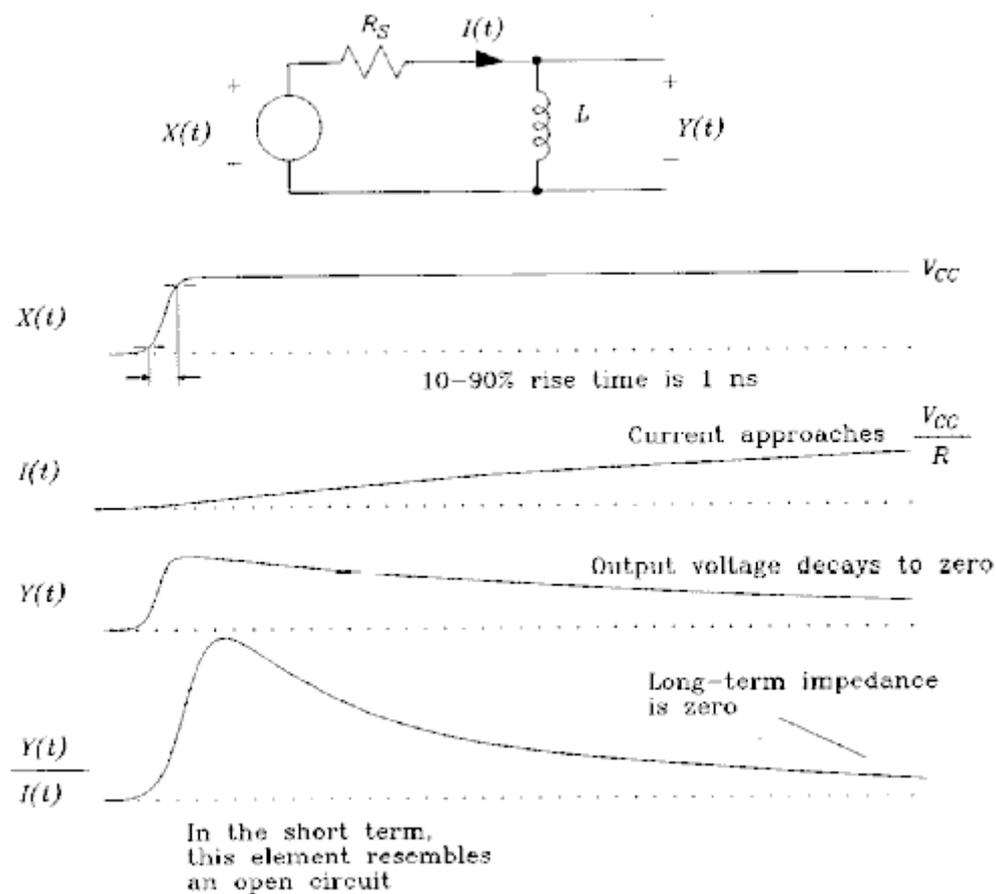


Figure 1.10 Instantaneous resistance of a perfect inductor.

图1.10 理想电感的瞬间阻抗

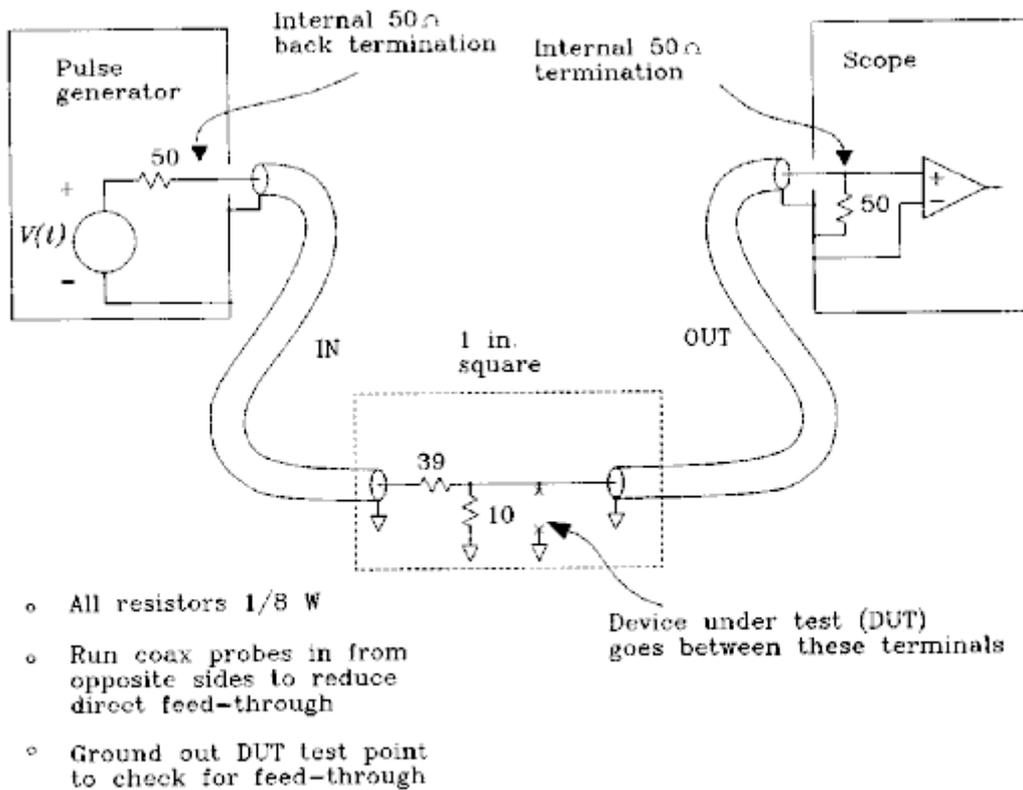


Figure 1.11 A 7.6-Ω lab setup for measuring inductance.

图1.11 理想电容的阶跃响应

例子: 1.2 测量到地的小电感

图1.11实例中的待测设备（DUT）是一个1英寸长的印制线，是印制在地层之上0.008英寸高的FR-4上面1.5-oz铜皮，宽度是0.010英寸，它的远端通过一个直径为0.035英寸的过孔与地相连，这个结构在开路的时候会有一个2pF的寄生电容，当远端短接的时候，此值会下降一半。算出来的电感值大约是9nH。

如果使用一个800ps的上升沿来测试电路特性，这一速度下的寄生容抗比我们要观察的感抗大的多：

$$X_C = \frac{T_r}{\pi C} = 254 \Omega \quad [1.12]$$

$$X_L = \frac{\pi L}{T_r} = 35 \Omega \quad [1.13]$$

大约是8倍的关系，这个电容的影响是：它会使L/R观察值增大12%。

测试装备由输入和输出两个RG-174的同轴电缆构成，输入电缆对地加了一个49欧姆的终端电阻，同时还并了一个10欧姆的电阻到地。这个测试装备冲击源跟DUT进行隔离不及容性测试装备好。驱动源的输出阻抗在各种阻抗DUT负载下范围在39欧姆—49欧姆之间。为了使我们的电路不受反射影响，不要忘记加上匹配电阻。

脉冲源信号是没有DC分量的，不管怎样电感的短路特性会把直流分量消除掉。

在输出关闭但是终端匹配加上的情况下在DUT端可以测到信号源阻抗是7.6欧姆，这是几个电阻并联的结果。

这里在DUT使用了一个小的驱动阻抗以增大L/R衰减时间，如果我们戴维南等效源阻抗为500欧姆的测试装备，期望L/R时间只有0.08ns，但是如果是7.6欧姆，那么L/R衰减时间是1.2ns。

输出电缆通过直接与DUT连接，再与示波器的输入端相连，示波器的终端加了50欧姆的匹配。输入输出电缆的长度都是3英尺。

7.6欧姆的测试装备，2.4V输入的阶跃响应波形如图1.2，示波器自动计算出来10—90%上升时间是788ps，阶跃幅值是417mV，探头的衰减为1:1，所以测得值是实际值。

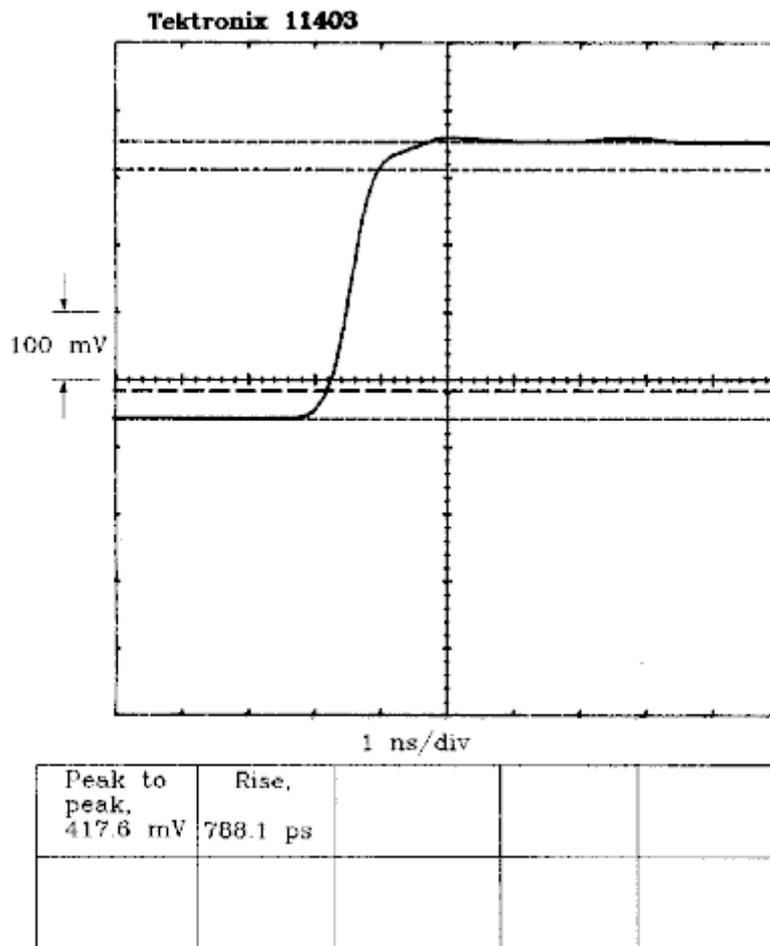


Figure 1.12 Open-circuit response of a 7.6-Ω inductance test setup.

图1.12 500欧姆电容测试装置的开环电路响应

图1.13是7.6欧姆测试装置的戴维南等效电路。

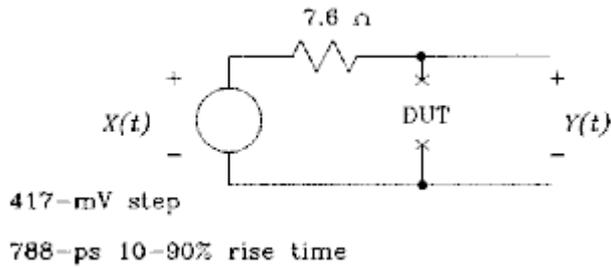


Figure 1.13 Thevenin equivalent of a 7.6-Ω inductance test setup.

图1.13 7.6欧姆测试装置的等价戴维南电路

当我们把DUT接上去以后（如图1.14），电压波形表现出感性特征，随着输入信号上升很快，然后下降，最后到0。在800ps到7ns的范围里，观察到的DUT是感性的。按照我们图中两个乘法因子e对应的光标位置测量出来的指数衰减时间是1.36ns。

根据测得的衰减常数，利用关系式 $L = \tau R$ 可以算出DUT的感抗：

$$L = (1.4 \times 10^{-9}) (7.6 \Omega) = 10.6 \text{ nH} \quad [1.14]$$

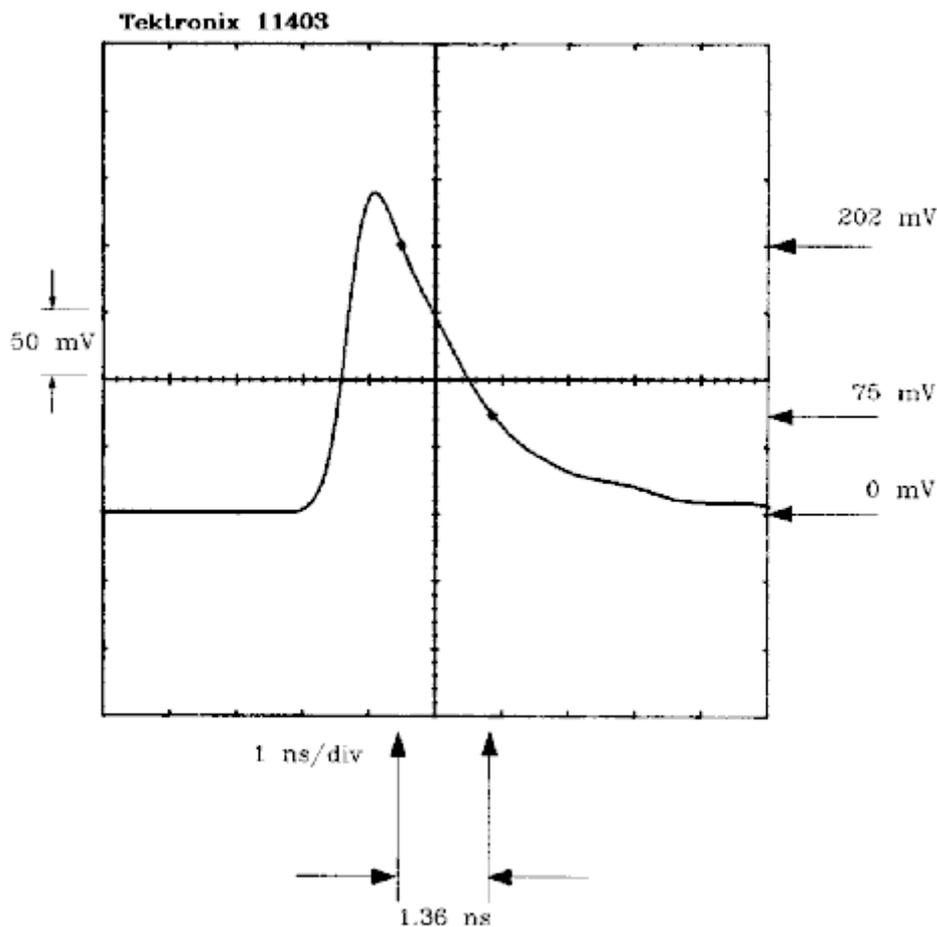


Figure 1.14 Decaying exponential response of a 7.6-Ω inductance test setup.

图1.14 7.6 欧姆 测试装置的衰减指数响应

利用上升时间和频率之间的关系，观察电感的数字波形的上升沿可以了解到电感的感抗。这个关系在分析恶劣的接地情况下寄生电感对地反射的影响时非常有用。

$$X_L = \frac{\pi L}{T_r} \quad [1.15]$$

对于3ns上升时间的阶跃响应，例子1.2中1英寸的走线阻抗是9.4欧姆，如果把它用来接50欧姆的终端匹配到地，它的合成的阻抗将会被削弱20%，如果用他来给8个50欧姆匹配组接地，并联电阻为 $50/8=6$ 欧姆，比导线阻抗还小。如果8个线路一起翻转，这时候匹配电阻完全不起作用。

任一时刻电感两端电压的大小常常是跟通过它的电流上升时间有关的，关系如下：

$$V_{\text{inductor}} = L \frac{dI_{\text{inductor}}}{dt} \quad [1.16]$$

在后面我们将可以使用公式1.16来计算两个电路间的电感导致的串扰。

当讨论什么是或者不是一个理想的短路设置时，考虑两种数字线接地的方法：刀片短路和镊子短路。

在测试中，经常要短路一些信号以验证我们的假设，如果短路导体的感性太强的话，窄脉冲将会通过而不被短路，时钟线和同步中断线特别容易受到这种窄脉冲的影响。

假设是刀片短路了一个距离为0.300英寸的电路，它的感值约为2nH，对于1ns的上升脉冲，阻抗约为6欧姆（公式1.15）。

如果使用镊子短接同样的电路，它就会有10—20nH左右的感值，拐了一个弯的电流产生的电感会大的多。同样对于1ns的上升沿，他会有30欧姆的感抗，要用它来短路TTL的短脉冲就显得太大了。

1.8 估算衰减时间的一个更好的方法

在感抗测试装备中，期望特性衰减时间与测试装备的开路上升时间的比值不是很大：

$$\frac{T_{L/R}}{T_{\text{open}}} = \frac{1 \times 10^{-09}}{0.8 \times 10^{-09}} = 1.2 \quad [1.17]$$

低比率意味着：初始化的阶跃响应上升还没有结束，测试波形已经开始衰减。测试到的波形并非是一个完全的指数曲线，而是一个更复杂的曲线。仔细观察图1.14可以发现实际上波形峰值只有250mv，而开路的渐近值有417mv。这说明例子1.2中的指数时间常数并没有精确的反映电感特性。如果我们在离开初始化过程远一些的地方，进一步从波形中测量衰减常数，实际的波形将更加接近指数衰减。不幸的是，实际上不可能做得更深入，当我们试图观察屏幕右方的波形时，会发现由于寄生耦合、反射和其它的噪音的影响，波形上的干扰太大。

1.8.1 在响应曲线下测试覆盖面积

我们需要一个更加可靠的方法来是用图1.14的曲线估算电感，这就要找出一个代表整个曲线的参数，这个参数应该能够不受测试设备和较短上升时间导致波形失真的因素的影响。方法就是测试在响应曲线下测试覆盖面积来估计感值。

图1.15使用了一个TEK 11403的测试特性来测试曲线面积，得到的面积单位是皮伏/秒，图1.14的面积是495.7pVs。实际中我们也可以使用梯形细分的方法来手工计算出曲线面积——把曲线范围细分成多个梯形，计算各部分面积，求和即可。

下面我们再讨论面积和L之间的关系。

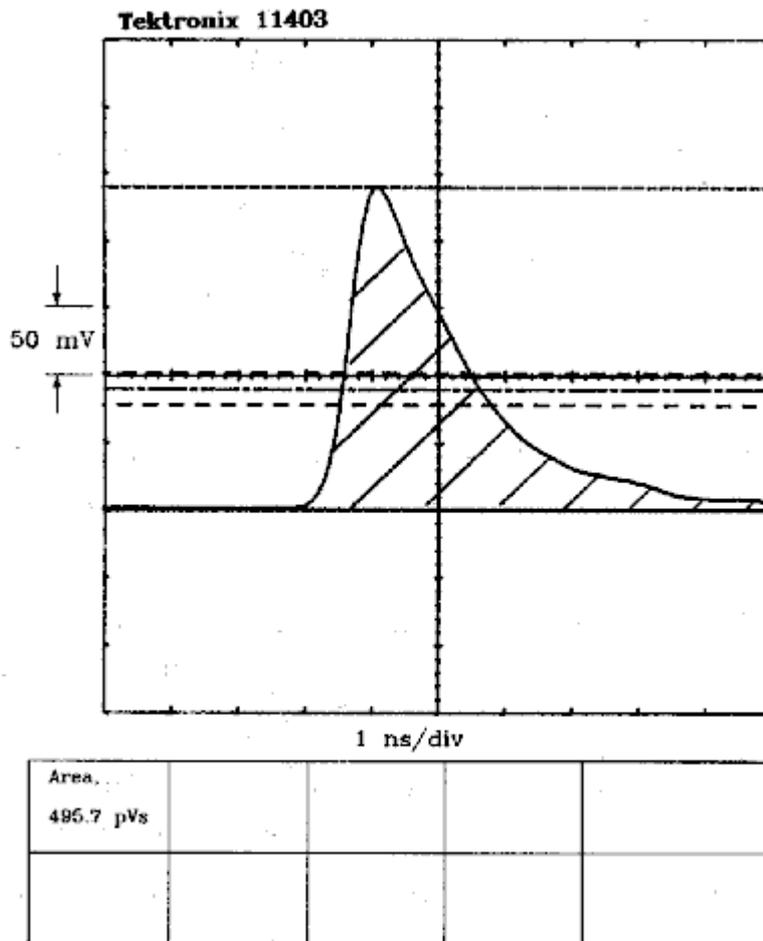


Figure 1.15 Area under the response of a 7.6-Ω inductance test setup.

图1.15 7.6 欧姆电感测试装置响应脉冲面积

首先，电感两端电压与通过它的电流变化率关系有关，关系式如下：

$$[1.18]$$

把上面的公式求积分得到，做一些详细的推导后（推导过程略），将可以得到：

$$[1.23]$$

1.8.2 图1.15的应用

对于图1.15 的实例，我们得到：

[1.24]

由于使用整个面积的方法与选取两个基准点的方法相比，它受噪音和波形失真的影响更小。原理很简单：噪音的平均值为0，积分后被抵消。

消除波形失真影响的原理是基于一个比较有趣的特性的：不管测试装备的阶跃响应是什么波形，响应曲线下的面积不变。

本节要点：

- ◆ 使用L/R指数衰减曲线的面积可以精确的计算出衰减时间常数。
- ◆ 使用我们的测试装备，慢脉冲源上升时间和低速显示波形，都不会改变我们测量的面积。

1.9 共模电容

有两个电路存在的就会有共模电容。一个电路上面的电压产生电场，这个电场影响另一个电路。两个电路间互相干扰的电特性，随着距离的增大，干扰系数快速减小。两个电路之间的干扰系数就叫做“共模电容”。单位是法拉，或者“安培·秒/伏特”，两个电路之间的电容耦合，其实就是电路A和电路B连接的寄生电容。

A共模电容 注入到电路B的电流 与电路A的电压变化成正比，公式如下：

[1.25]

公式1.25是一个对实际耦合噪声电流简化的算式，详细的算式考虑了电路A、B之间的电压和两个电路上共模电容 负载影响。这个简化算式的使用是基于以下假设的：

- 1、CM耦合电容中的电流比主电路A中的电流要小的多，这样CM不会给电路A造成负载了。
- 2、电路B中的耦合电压比电路A中的信号电压小得多，这样在计算噪音电流时就可以忽略这个电压同时可以认为A和B之间的电压差是 。
- 3、假设电容的阻抗与电路B对地的阻抗相比是大的，这样我们计算耦合噪声电压时就可以直接用 乘以对地阻抗即可。这个假设忽略了其它电路对共模电容的影响。

当耦合噪声电压小于信号阶跃幅值的10%，所得的结果可以精确到小数点后一位，足以判断哪种影响值得研究。如果大于10%，那么计算结果误差将比较大。然而到了这个时候，电路已经基本上不能正常工作，精确的计算也没什么意义。

1.9.1 共模电容和串扰的关系

给出共模电容为 C_{cm} ，固定的上升时间为 t_r ，接收电路B的阻抗为 Z_B ，可以估计出串扰大小，它是驱动信号电压 V_{cm} 的一部分。

我们先获得电路A的最大单位时间变化量 $\frac{dV}{dt}$ ，和驱动信号波形的上升时间 t_r ，然后得到：

$$[1.26]$$

然后用公式1.27计算从电路A流到电路B的共模电容电流：

$$[1.27]$$

乘以 Z_B 得到干扰电压，在除以 V_{cm} 就得到串扰值（干扰程度）：

$$[1.28]$$

如果在周围有多个电路干扰源，那么把每个电路的干扰计算出来以后再加起来就可以得到在这个电路上的总干扰。假设每个干扰是2%，旁边共有5个干扰源，那么TTL电路中的干扰电压可达500mv，这已经超过TTL的典型噪声容限，会引起严重问题。

实例1.3 共模电容的测试

图1.16示意了一个有共模电容耦合的环境。两个1/4W碳膜电阻焊接在0.063英寸厚的环氧树脂PCB板上，中心距离是0.1英寸。PCB只在焊接面有一个地层，而在元器件一侧是空的。从电阻R2的一端输入测试信号，在R3的另外一端测试耦合电流。这样就可以把输入和输出分割开了，减小了直接的串扰反馈。终端匹配电阻R1是1/8W的电阻，焊接在焊接面。末端匹配电阻是一个示波器匹配。

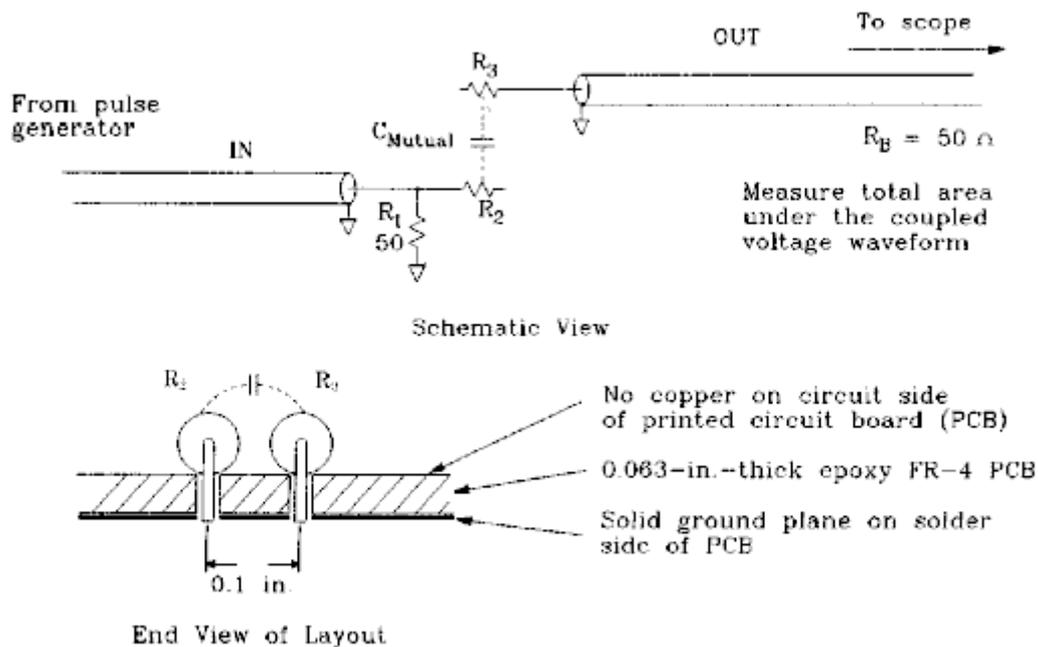

Figure 1.16 Mutual capacitive coupling.

图 1.16 共模电容耦合

图1.17显示了这个试验的测试结果。上面的示波器波形显示了驱动波形（1V/格）和耦合波形（20mV/格），时基是5ns/格，驱动波形的上升时间是800ps，下面的图形只显示了耦合波形（500ps/格）。

我们可以利用面积公式1.23来估计共模电容的大小，积分电流是面积，这个值等于阶跃电压乘以共模电容。共模电容等于：

$$C_M = \frac{\text{area}}{R_B \Delta V} = \frac{56.48 \text{ pV} \cdot \text{s}}{(50 \Omega)(2.7 \text{ V/div})} = 0.4 \text{ pF} \quad [1.29]$$

在使用公式1.28我们可以得到对于800ps上升沿的峰值干扰强度：

$$\text{Crosstalk} = \frac{R_B C_M}{T_r} = \frac{(50)(0.4) \text{ pF}}{800 \text{ ps}} = 0.025 \quad [1.30]$$

对比一下只用实测波形的计算面积得到的串扰：

$$\text{Crosstalk} = \frac{(3.8 \text{ div})(20 \text{ mV/div})}{(2.7 \text{ div})(1 \text{ V/div})} = 0.028 \quad [1.31]$$

1.9.2 终端电阻之间的共模电容

如果把例子1.3中的电阻接地会如何？

如果把例子1.3中的每个电阻的一端接地，那么这个时候的电容耦合噪音幅值大约会只到原来的1/6。很直观的我们可以直接把共模电容看做是一个从电阻中心连接出来的一个横跨电容，如果电阻RA接地，那么电容两端的电压会被分压成一半；如果另外一端接地，那么这时候会有

2/3的电流直接流向地，另外的1/3走另外一端通过示波器流向地。一半电压，1/3电流，得到的结果便是1/6的幅值。对于图1.16我们得到的串扰便是 $0.025/6=0.004$ 。

后面的讨论我们将看到，对于数字电路共模电感的影响比共模电容的影响要大的多。

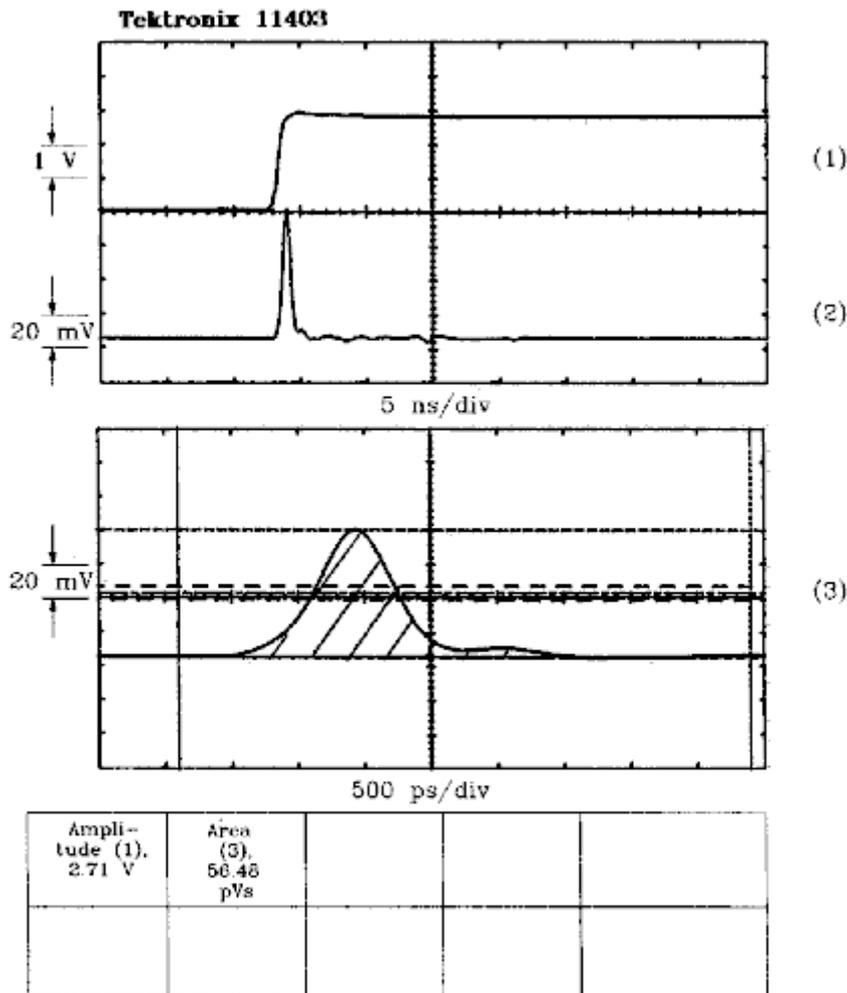


Figure 1.17 Mutual capacitance of two 1/4-W resistors.

图1.17 两个1/4w电阻的共模电容

1.10 共模电感

有两个电流环存在的地方就会有共模电感。一个电路上面的电流会产生磁场，这个磁场会第二个电路。两个电路间互相干扰的电特性，距离越远，干扰系数就会越小。两个电流环之间的干扰系数就叫做“共模电感”。单位是亨利，或者“伏特一秒/安培”，两个电流环之间的电感耦合，就像是在两个电路之间接了一个变压器，如图1.18，两个电流环就像分别是主次级线圈。

共模电感 注入到电路B的电压Y与电路A的电流变化成正比，公式如下：

$$Y = L_M \frac{dI_A}{dt} \quad [1.32]$$

电路A中的电流变化越大，那么在电路B中耦合的电压也就会越大，这说明在高速数字电路设计中共模电感的影响是很严重的。

公式1.32是一个简化的算式，详细的算式应该和电路A、B上的电流差值和负载影响都有关系。这个简化算式的是基于以下的前提的，与公式1.25的前提相似：

- 1、LM耦合电感中的电压比主电路A中的电压要小的多，这样就不要考虑电路A这个负载了。实际上耦合电压常常也是小于源信号的。
- 2、电路B中的耦合电流比电路A中的信号电流小得多，B中的耦合电流很小，可以忽略，同时可以认为A和B之间的电流差是IA。
- 3、假设电感的阻抗比电路B对地的阻抗小得多，这样我们噪音电压时就可以直接用噪音电压加上电路B电压即可。这个假设忽略了电感之间的影响和其它电路对共模电感的影响。

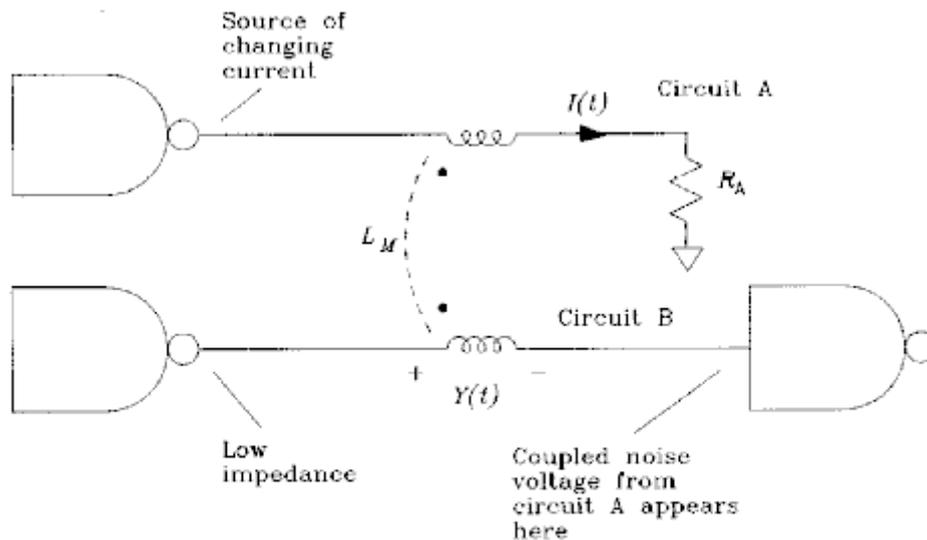


Figure 1.18 Mutual inductance lumped-circuit model.

图1.18 共模电感集中式电路模型

在数字电路里面，共模电感和共模电容一样，会给电路带来我们不希望的串扰。

- 1、电流环A中的电流会产生磁场，电流越大，在环A周围环绕的磁场就越强。
- 2、在电流环B中我们可以计算出由A过来的磁场大小，穿过B的磁场强度成为“磁通量”，它是A/B之间的距离、面积、相对方向和A中电流的一个函数。A中的电流越强，B的磁通量会越大。
- 3、如果A中的电流发生变化，那么通过B的磁通量也会发生变化。
- 4、根据法拉第守则B中的感应电压会跟通过它的磁通量的变化率成正比。

联系起来看，我们就会发现，实际上B中的感应电压跟A中的电流变化率成正比。这个比例系数就是A/B之间的共模电感值。

图1.19示意了共模电感的耦合过程：

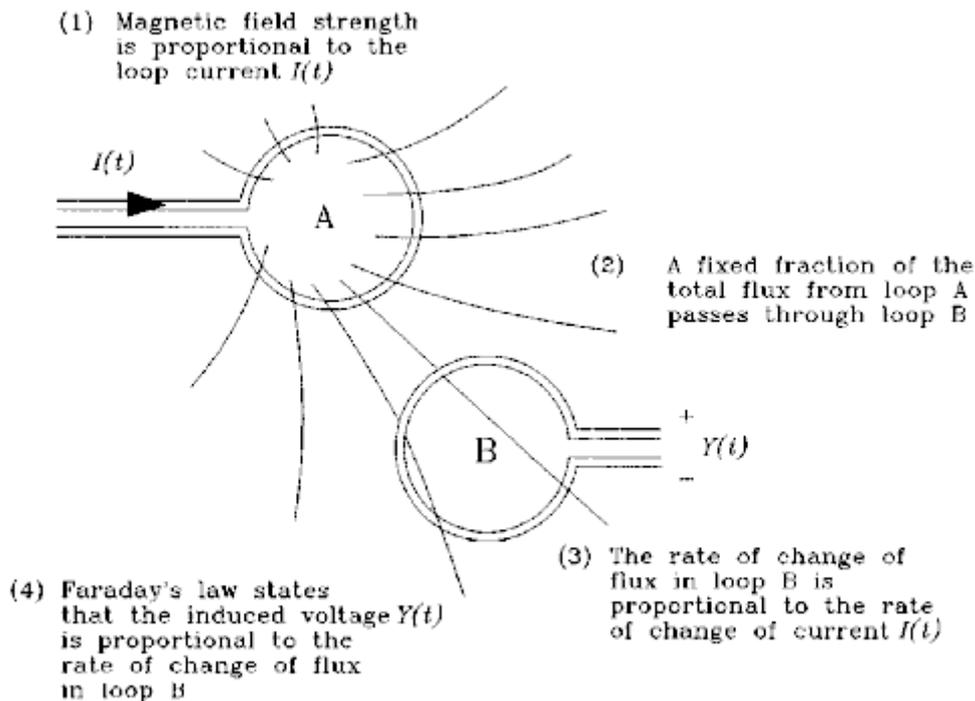


Figure 1.19 Four-step process of mutual inductance coupling.

图1.19 共模电感的耦合过程的4个步骤

由于磁场是一个方向量，环路B翻转会使磁通量的极性也翻转。感应噪声电压极性也发生翻转。对于A也是一样。如果通过B的磁通量正好与B的方向平行，这时候通过B的磁通量会是0，在B中也就不存在耦合电压。归纳一下：共模电感的耦合，跟共模电容的耦合不同，它会产生与驱动信号极性相反的串扰，而且方向敏感性很强。

1.10.1 共模电感和串扰的关系

给出共模电感 L ，固定的上升时间 T_r ，驱动电路A的阻抗 R_A ，我们将可以估计出串扰大小，它与驱动电压 V_A 相关。

首先推出 V_A 的单位时间变化量，其中 ΔV 是驱动波形的阶跃幅度， T_r 是上升时间：

$$\frac{dV_A}{dt} = \frac{\Delta V}{T_r} \quad [1.33]$$

然后我们假设电路A是阻性的，那么它的电流和电压会成正比，这跟变压器是一样的。这样我们就可以得到电流变化与电压变化的关系式：

$$\frac{dI_A}{dt} = \frac{\Delta V}{R_A T_r} \quad [1.34]$$

把公式1.34代入1.32我们可以得到共模感应在电路B上的串扰Y：

$$Y = L_M \frac{\Delta V}{R_A T_r} \quad [1.35]$$

再除以 就得到串扰值（干扰程度）：

$$\text{Crosstalk} = \frac{L_M}{R_A T_r} \quad [1.36]$$

如果在周围有多个电路干扰源（例如多条走线共用一条路到地），那么把每个电路的干扰计算出来以后再加起来就可以得到在这个电路上的总干扰。假设每个干扰是2%，旁边共有5个干扰源，那么TTL电路中的干扰电压可达500mv，这已经超过TTL的噪声容限，会引起严重问题。

实例1.4 共模电感的测试

图1.20示意了对共模电感的简单测试。跟例子1.3一样是两个碳膜电阻中心距离是0.1英寸。他们的右端接地，左边分别接输入输出同轴电缆。RA连接上升时间是800ps的信号源。

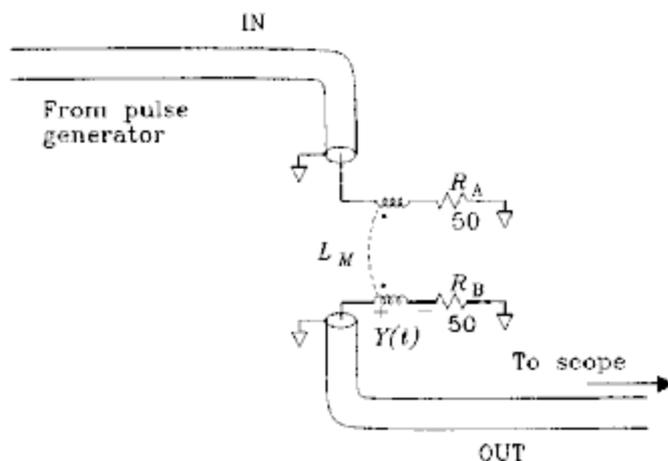


Figure 1.20 Measurement setup for mutual inductance.

图 1.20 共模电感测试

电缆与电阻的输入和输出连接都是直角的，这样可以最大限度的使电缆分离，互不干扰，减小了直接的串扰反馈。脉冲源的末端匹配有效。

图1.21显示了从电阻 发射出来的磁场形状，有的磁力线环绕 ，有的没有。从RA出发环绕 的磁通量是一个常数，它只与电阻的距离以及物理尺寸有关。

磁力线穿过 实际指的是磁力线环绕 ，这个环从RB右边的地开始，通过电阻RB，到电阻左边，然后通过探针，走到示波器内部，穿过示波器内部的测试电阻RT，然后出来，沿着地线回到探针的地线上面，再回到RB。任何穿过这个环的磁力线发生的任何改变都会在这个环上产生感应电压。

如果电阻 和 的阻值是一样的，感应电压在它们上面平均分配，那么示波器上只能观察到实际值的一半。如果 的直为0，那么示波器上就可以观察到全部感应电压。

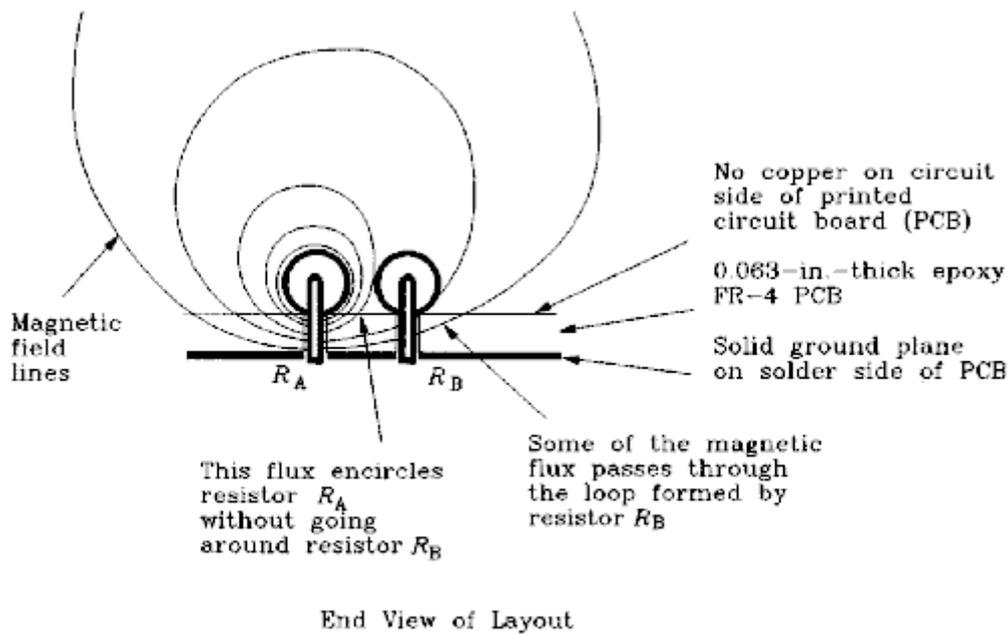


Figure 1.21 Example of mutual inductive coupling.

图1.21 共模电感耦合实例

根据图1.22的结果，我们可以利用面积公式1.23来估计共模电感的大小（假设前提都是一样的），因为接收到的信号只是原来的一半，所以记得要把所得的结果乘以2，就可以得到实际值：

$$L_M = \frac{(\text{area})(2R_A)}{\Delta V} \approx 3.0 \text{ nH} \quad [1.37]$$

where area = 80 pVs (from Fig. 1.22)

$\Delta V = 2.7 \text{ V}$ (from Fig. 1.22)

$R_A = 50 \Omega$ (from Fig. 1.20)

对于更精确的测量，我们需要减去这里面包含的共模电容耦合包含的面积，根据例子1.3我们知道由于两个电阻都接地的缘故，实际共模电容耦合面积为56/6pVS，因此实际面积为：

$$\text{area}' = 80 - \frac{56}{6} = 71 \text{ pVs} \quad [1.38]$$

因此校正后的电感为：

$$L_M = \frac{(\text{area}') (2R_A)}{\Delta V} = 2.6 \text{ nH} \quad [1.39]$$

我们现在回去看一下我们是否可以估计图1.22中的串扰的峰值。使用公式1.38，不要忘了考虑RB/RT的分压，我们的结果要除以2。

$L_M = 2.6 \text{ nH}$ (from Equation 1.39)

$T_r = 800 \text{ ps}$

$R_A = 50 \Omega$

$$\text{Crosstalk}_{\text{induc}} = \frac{L_M}{2R_A T_r} = 0.032 \quad [1.40]$$

加上例子1.3的共模电容的串扰（已经用因子6修正过）：

$$\text{Crosstalk}_{\text{cap}} = \frac{0.025}{6} = 0.004 \quad [1.41]$$

$$\text{Crosstalk}_{\text{total}} = \text{Crosstalk}_{\text{induc}} + \text{Crosstalk}_{\text{cap}} = 0.036 \quad [1.42]$$

可以对比一下下面基于被测面积计算结果和图1.22中的峰值串扰：

$$\text{Crosstalk} = \frac{(4.6 \text{ div})(20 \text{ mV/div})}{(2.7 \text{ div})(1 \text{ V/div})} = 0.034 \quad [1.43]$$

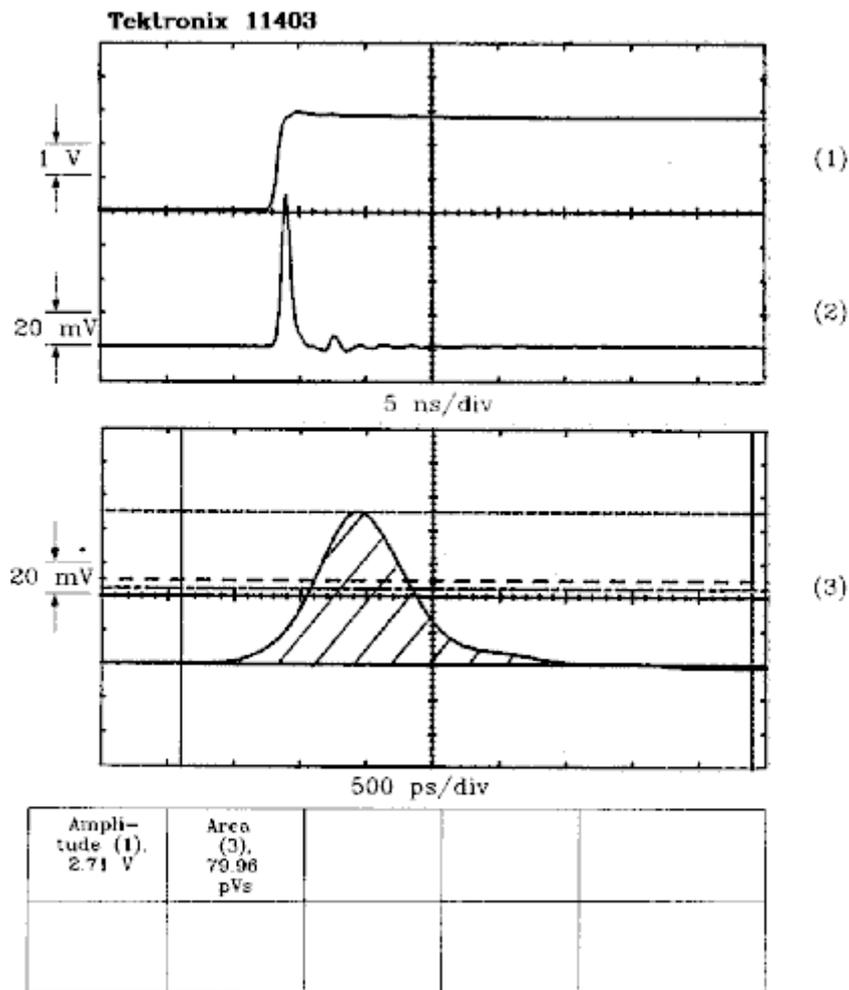


Figure 1.22 Mutual inductance of two 1/4-W resistors.

1.10.2 翻转磁耦合环

我们可以验证一下我们的理论：如果磁耦合环翻转过来，耦合串扰会改变符号。

首先，在图1.20中，我们把电阻RB的右边接地改为左边接地，这样感应环就翻过来了。

图1.23显示了测试结果：我们得到一个负脉冲，面积为59pVs，这个面积等于1/2电感耦合面积减去1/6电容耦合的面积（注意：这里因为反过来了，所以是减去）。这样我们这里为了校正正确的电感耦合面积，应该再把电容耦合面积加回去：

$$\text{area}' = 59 + \frac{56}{6} = 68 \text{ pVs} \quad [1.44]$$

这样我们得到校正后的耦合电感值：

$$L_M = \frac{(\text{area}') (2R_A)}{\Delta V} = 2.5 \text{ nH} \quad [1.45]$$

这个值与前面公式1.39的2.6nH很接近。

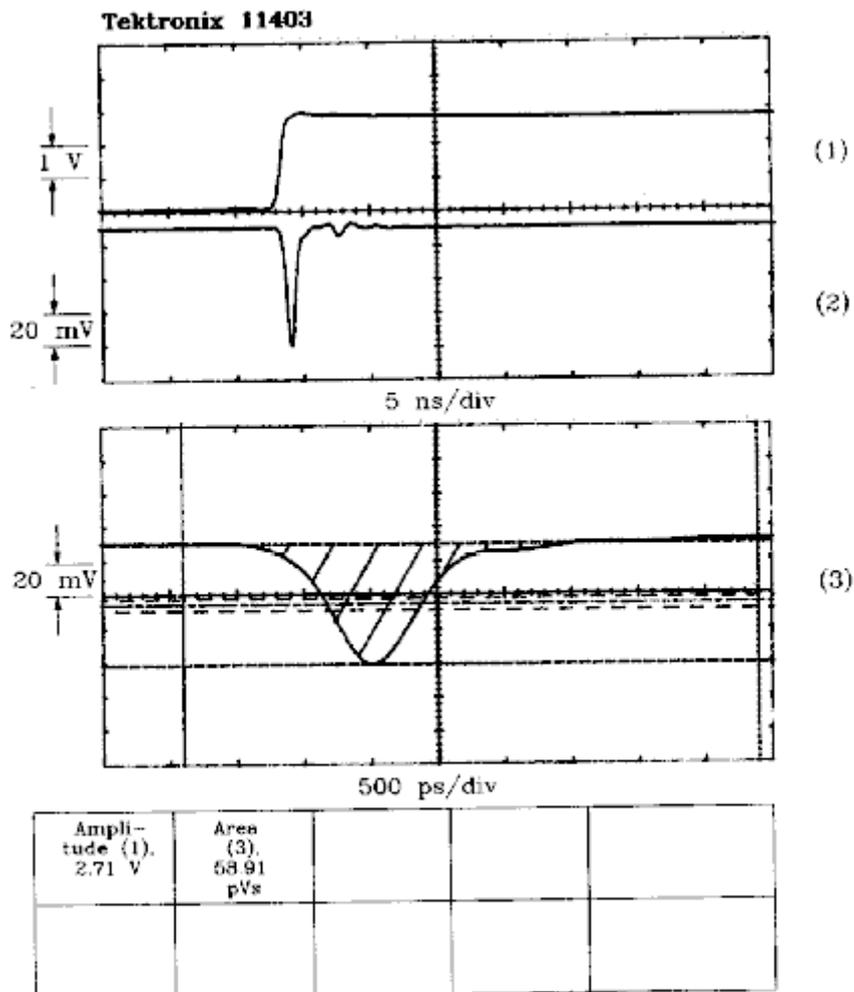


Figure 1.23 Reversing the inductive pickup from Figure 1.22.

1.10.3 电容耦合和电感耦合的比值

当两个电阻都接地的时候，相对电容耦合量是0.004，而电感串扰是0.032。对于50欧姆阻抗的电路这是一个典型值。如果是高阻抗的电路，在dV/dt更大同时相对地 dI/dt更小的时候，电容耦合串扰会相对大一些。



如果某个门输出的阻抗很小，它直接驱动某个信号，这时候电感耦合串扰的影响会被放大，这些情况下，总的感性耦合信号能量在远的末端耗尽，而不再是例子1.4我们试验装置中的1/2分压的关系。

本节要点：

- ◆ 在高速数字电路里面，共模电感导致的问题比共模电容导致的问题大的多。