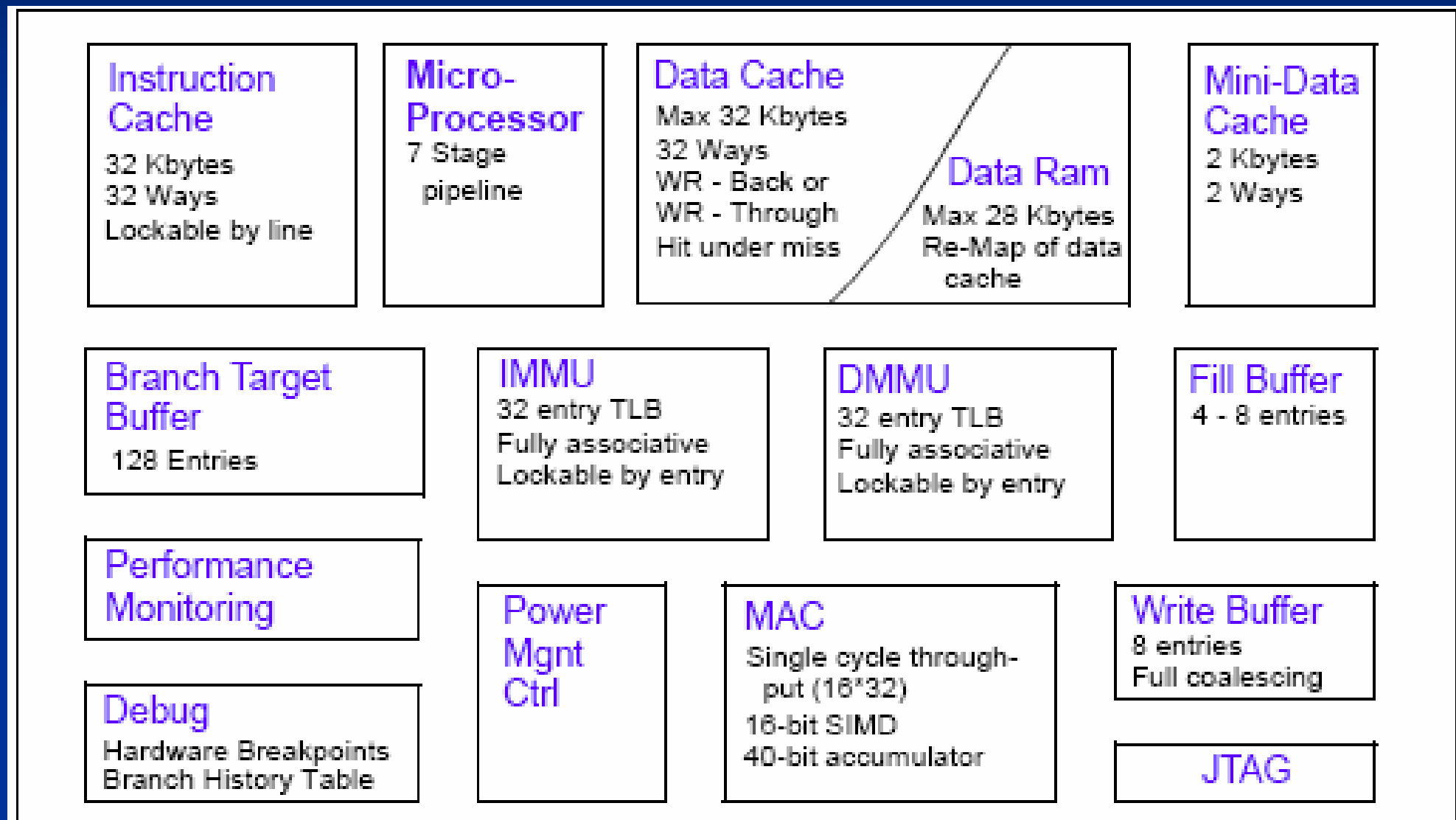


第三章 XScale[®] 的系统架构

3.1 XScale内部结构

XScale微架构采用了ARM V5TE架构



XScale特性 (1)

1. 7级超级流水线
2. 乘/累加器MAC (Multiply/Accumulate)
 - DSP功能的40位乘/累加器;
 - 单周期的 16×32 位操作;
 - 单指令多数据流SIMD的16位操作。
3. 存储器管理单元
 - 识别快存和不可快存编码;
 - 控制选择数据Cache和小型数据Cache;
 - 支持回写和直写;
 - 允许存储外部存储器的写缓冲器合并操作;
 - 允许数据写分配策略;
 - 支持XScale扩展的页面属性操作。

XScale特性 (2)

4. 指令Cache

- 32KB, 32路组相联映像, 32字节/行;
- 循环替代算法;
- 支持锁操作, 以提高指令Cache的效率;
- 2KB微小指令Cache, 2路组相联映像, 32字节/行, 只用于常驻在核内的软件调试。

5. 数据Cache

- 32KB, 32路组相联映像, 32字节/行;
- 循环替代算法;
- 可重构为28KB数据RAM;
- 2KB微小数据Cache, 2路组相联映像, 32字节/行, 专用于大型流媒体数据。

XScale特性 (3)

6. 分支目标缓冲器BTB

- 128入口的直接映像Cache。

7. 填入缓冲器

- 4~8入口;
- 提高外部存储器的数据取操作;
- 相关的暂挂缓冲器。

8. 写缓冲器

- 8入口;
- 支持合并操作。

9. 性能监视器

- 2个性能监视计数器;
- 监视XScale核各种事件
- 允许用软件测量Cache效率, 检测系统瓶颈以及程序总延时。

XScale特性 (4)

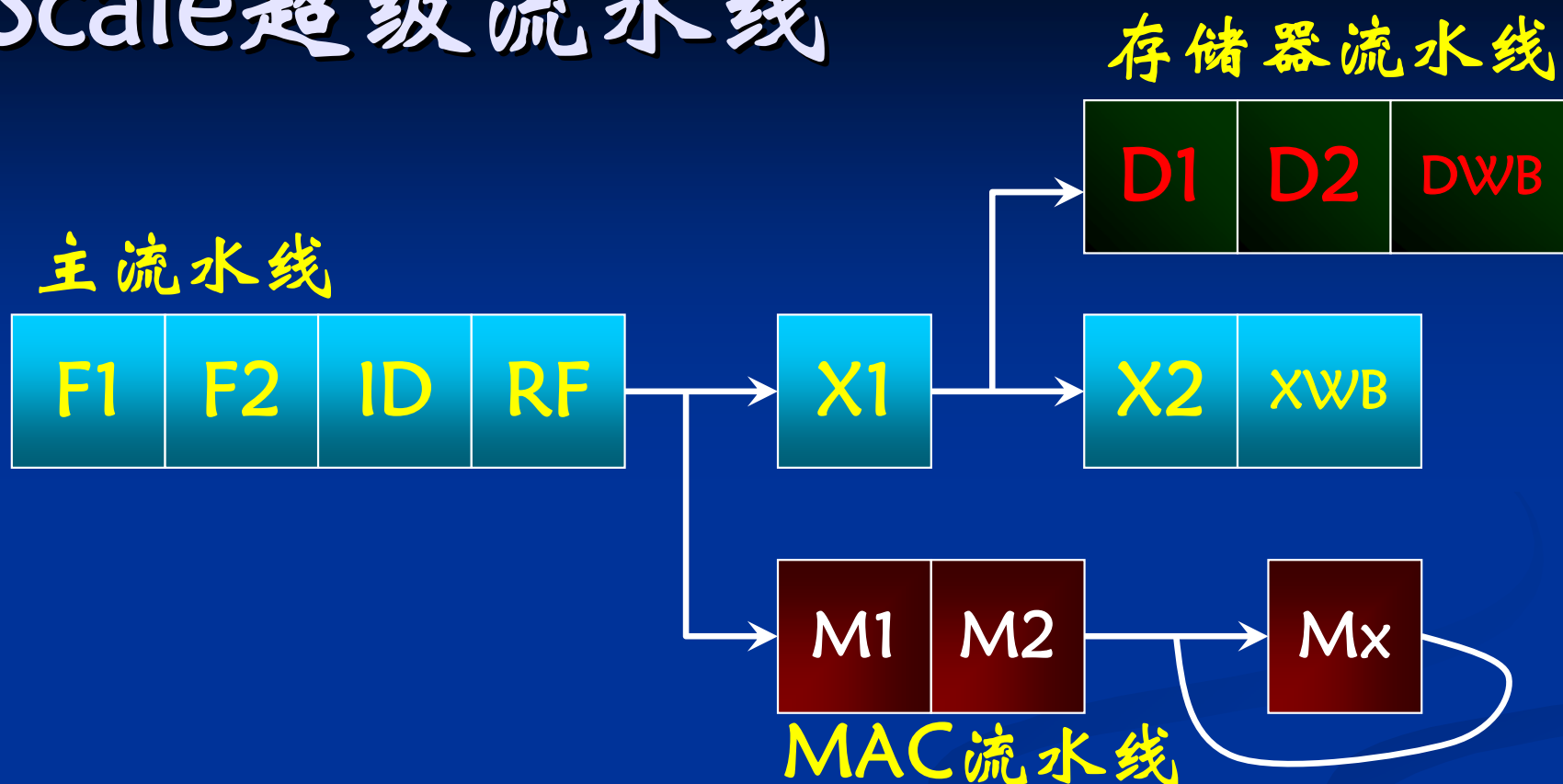
10. 电源管理

- 电源管理;
- 时钟管理。

11. 调试

- 测试访问端口TAP控制器;
- 支持JTAG标准的测试访问端口及边界扫描。

XScale超级流水线



F1/F2: 2级指令提取; ID: 指令译码; RF: 寄存器/操作数移位; X1: ALU执行; X2: 状态执行; XWB: 回写

D1: 计算存/取的地址; D2: 数据Cache和小型数据Cache给出数据; DWB: 进行填入缓冲器和写缓冲器操作

不是真正的流水线, 线数变化, 只允许出现1条指令, 当在M1或M2操作时, 同时占用相应的X1和X2

3.2 XScale存储器管理

XScale核增加了微小数据Cache和指令Cache

- XScale的页面属性
- MMU内部操作

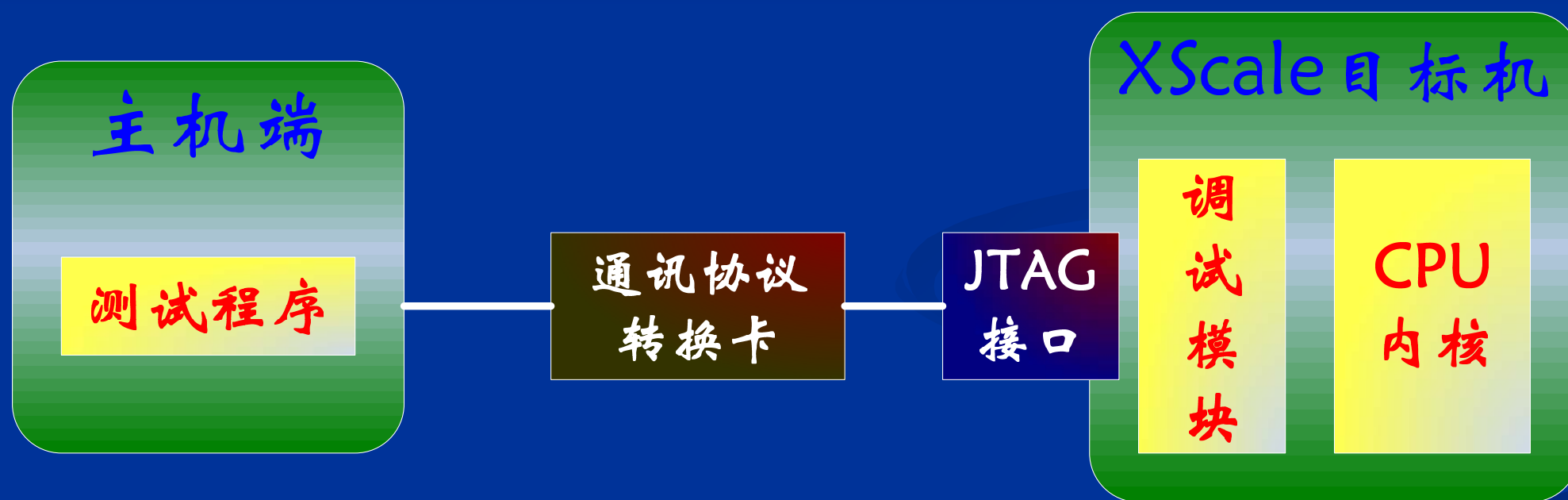
XScale的MMU、数据Cache和指令Cache都可以允许/禁止，指令Cache允许/禁止是由MMU允许/禁止来实现的，而在MMU允许时，数据Cache仍可独立允许/禁止

- 快表TLB操作

- TLB排空（即无效）操作：由CP15协处理器的寄存器8实现
- TLB锁操作：快表TLB采用循环替代算法，为了提高快表TLB的效率，I TLB和D TLB均增加了锁的功能，可最多锁定31个入口，Entry 31不能上锁

3.3 XScale调试

XScale的调试不再使用扫描链部件，而是通过微小指令Cache，采用调试代理的方式来支持XScale上的调试功能。



调试模块

■ 通讯控制模块

实现调试主机与目标机件的通信方式，通过JTAG指令建立两端的握手协议，保证数据传输的有效性。

■ 硬件断点模块

包括指令和数据断点寄存器，处理器内核通过对协处理器的访问来控制硬件断点模块，实现设置硬件断点的功能。

■ 跟踪缓冲模块

通过记录变轨的迹（而不是顺序的迹）来实现对程序历史的记录，可以通过跟踪缓冲中的信息来实现恢复异常和跳转等功能。

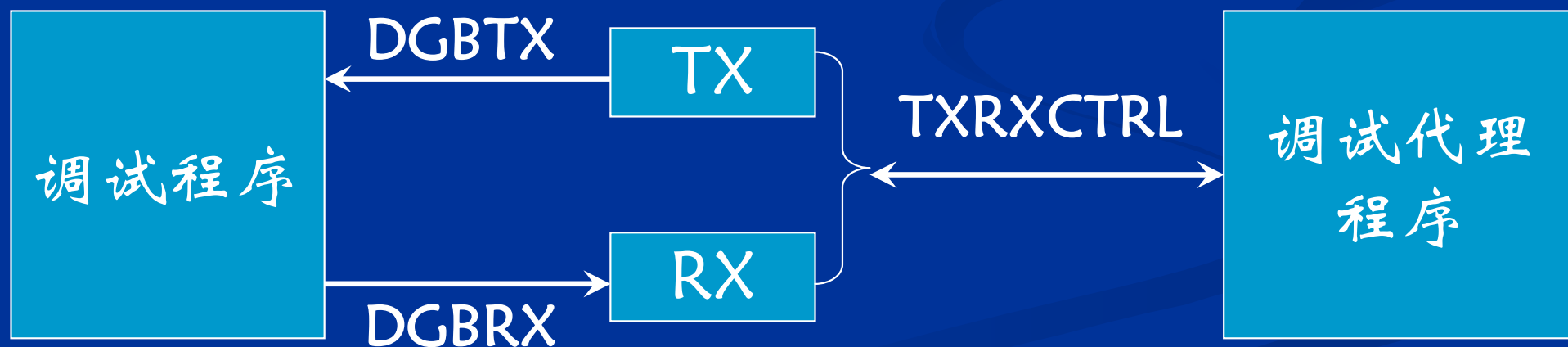
■ 代码下载模块

主机端将调试代理程序代码通过代码下载模块下载到I-Cache中，通过调试代理程序来实现读/写内核状态信息和存储器内容等特殊功能。

XScale的JTAG调试方法

位于主机端的调试程序与位于XScale目标机端的调试代理程序之间，通过JTAG来实现调试消息和信息的传递。

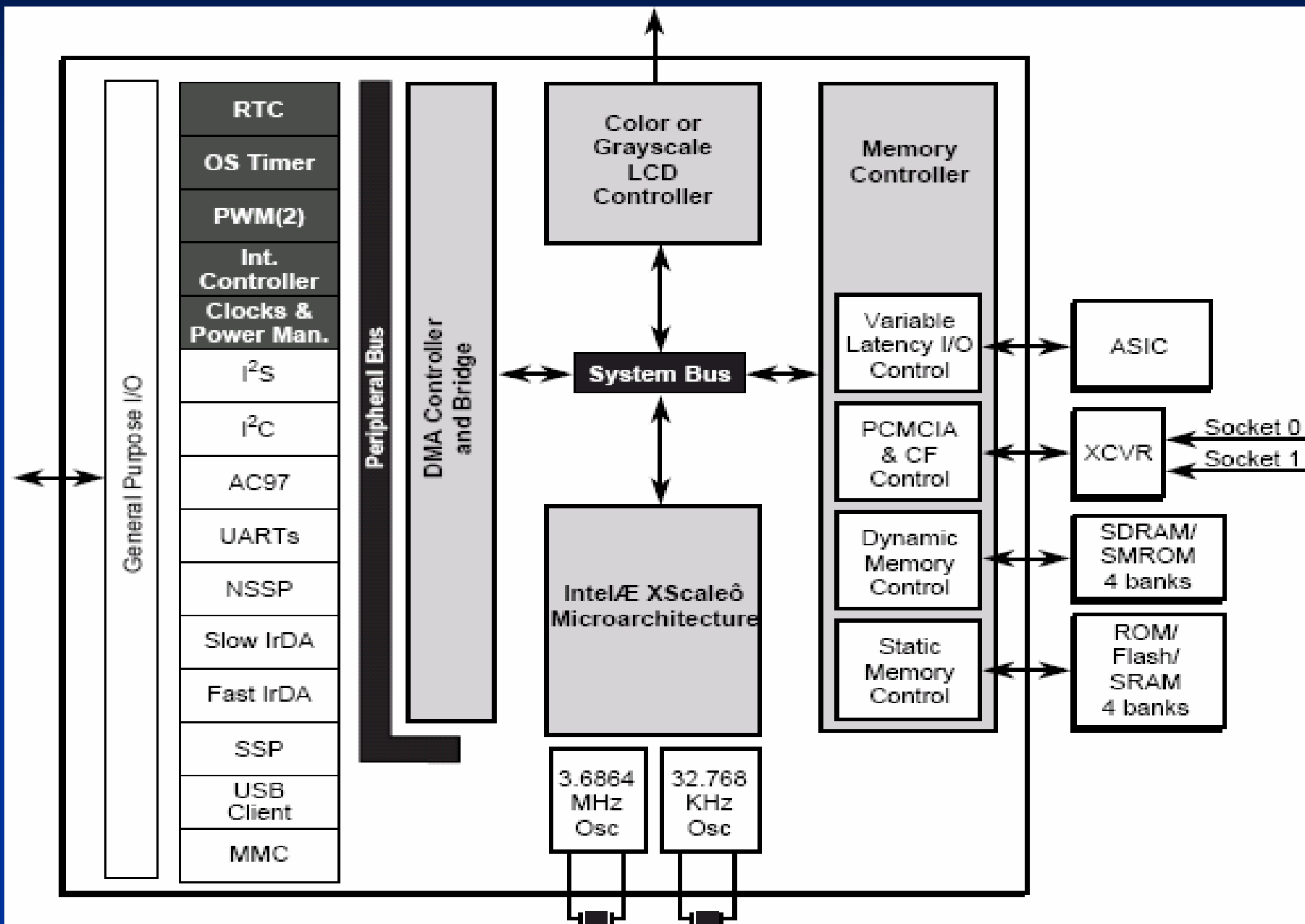
调试程序和调试代理程序之间的通信是由TXRXCTRL寄存器中的握手协议来控制的，从而确保它们对TX和RX的访问同步执行。



3.4 XScale应用处理器的结构及使用方法

Intel PXA255处理器是针对高端手持设备及工业控制设备的一款高性能、低功耗的嵌入式应用处理器，除了XScale微内核外，还集成了许多手持设备常需的外围设备。

PXA255 内部结构



PXA255特点 (1)

1. 内核工作频率：100~400MHz
2. 系统存储器接口：
 - 支持100MHz SDRAM；
 - 支持4~256MB SDRAM；
 - 支持16/64/128/256MB DRAM；
 - 4个SDRAM区，每个区支持64MB；
 - 时钟允许（1个CKE用于将整个SDRAM接口置为自刷新；
 - 支持多至6种静态存储器件（SRAM，Flash，ROM等）
 - 支持2个PCMCIA/CF插槽

PXA255特点 (2)

3. 时钟和电源控制器:

- 3.6864MHz振荡器, 具有核PLL和外围PLL可产生各种工作频率
- 32.768KHz振荡器可驱动实时时钟、电源管理和中断控制器
- 电源控制器可控制处理器的运行模式, 如空闲、休眠等

4. DMA控制器:

- 16个具有优先级的DMA通道, 可为内部外设和外部芯片提供服务;
- 采用描述器, 允许命令链和循环结构;
- 支持字、半字和字节数据传送。

PXA255特点 (3)

5. LCD控制器:

- 支持DSTN和TFT LCD显示
- 最大分辨率 $800 \times 600 \times 16$
- 2个专用DMA通道, 允许LCD控制器支持单屏或双屏显示

6. 系统集成模块:

- GPIO
- 中断控制器所有中断可置为内核的IRQ或FIQ, 并有中断屏蔽寄存器
- 实时时钟 (RTC): 可产生周期性中断, 把应用处理器从睡眠状态唤醒
- OS定时器: 有1个3.68MHz的参考计数器和4个复合寄存器
- 2路独立PWM输出

PXA255特点 (4)

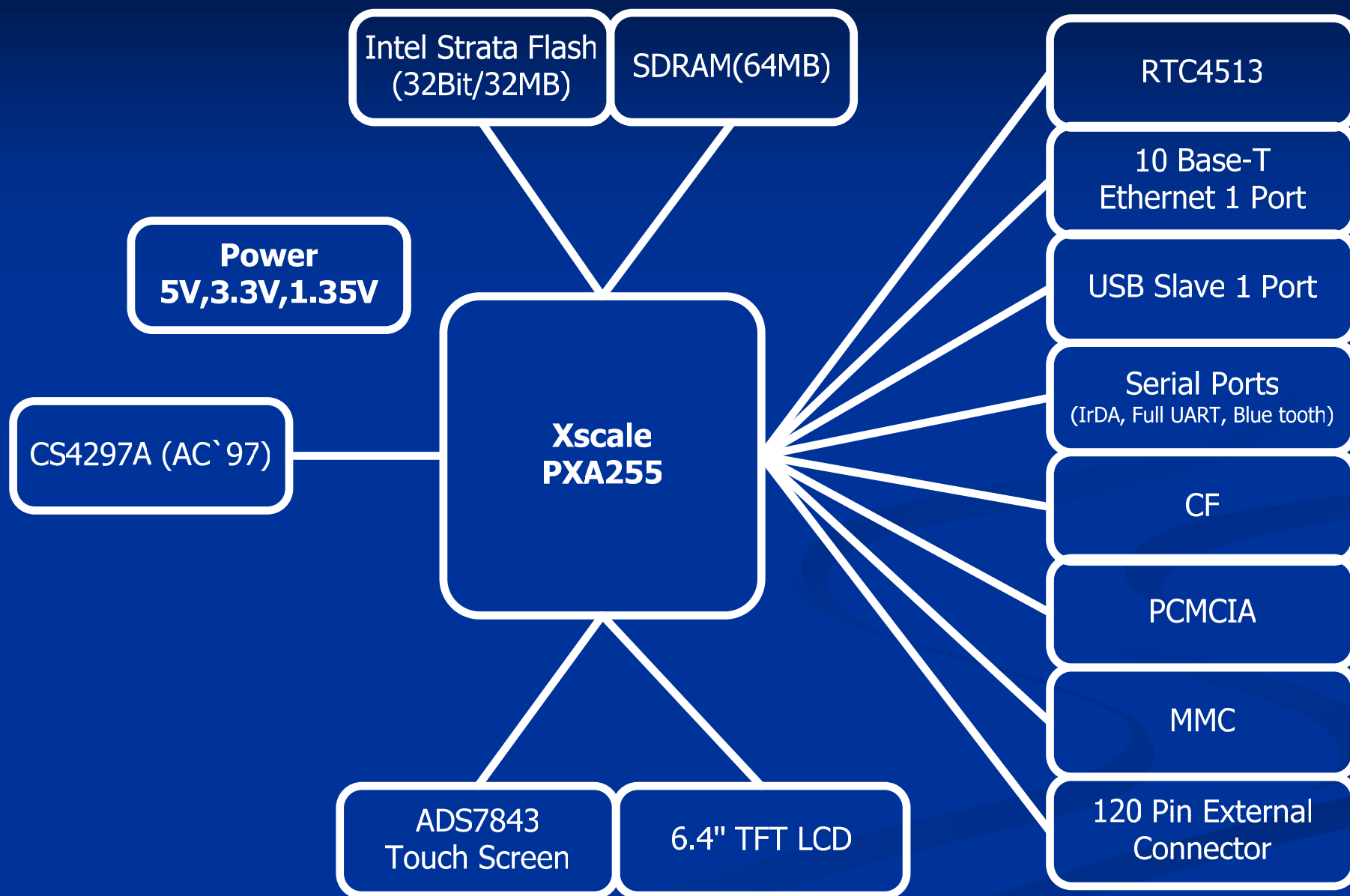
7. 串行通讯接口:

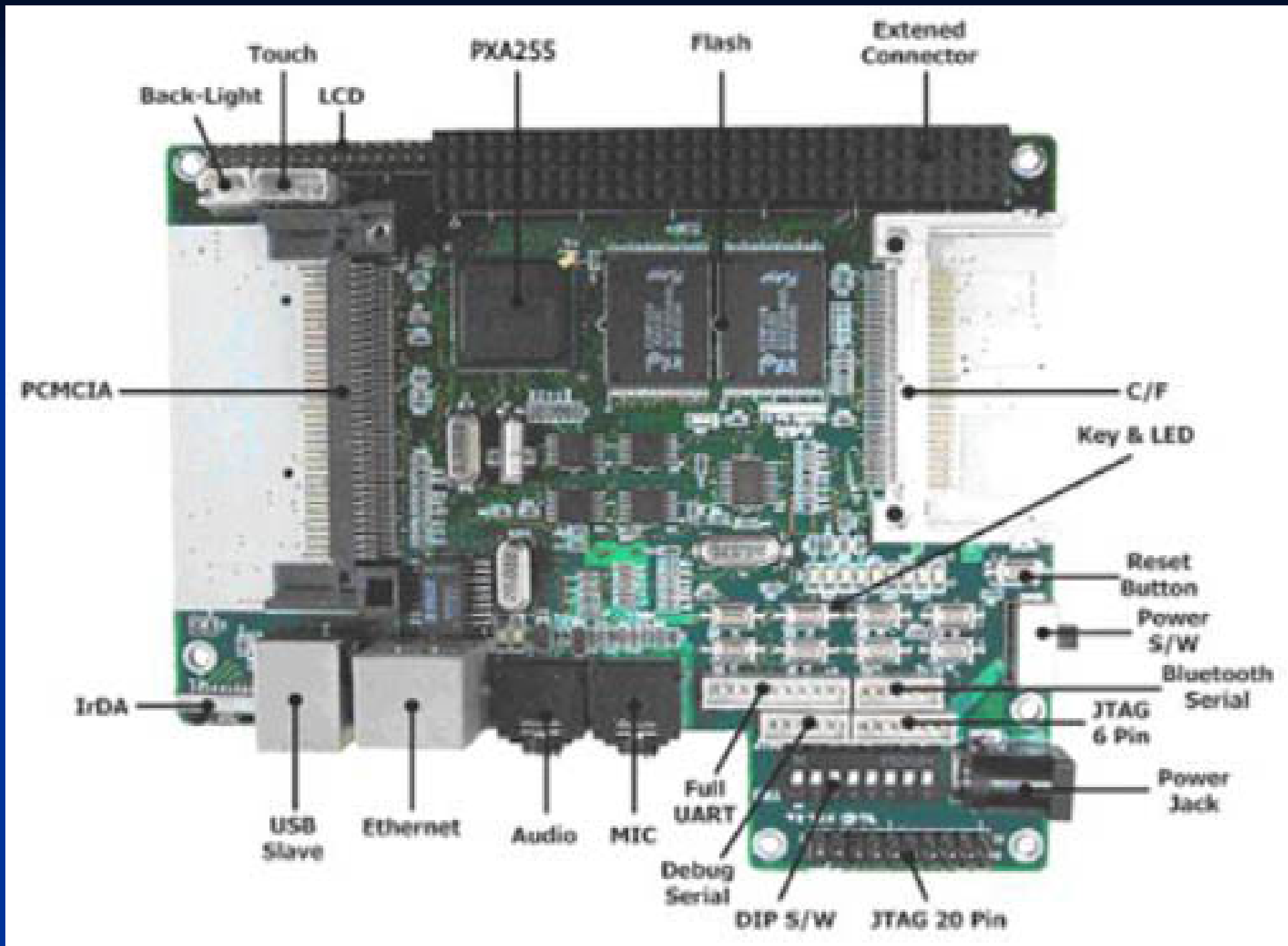
- USB从机模块, 支持USB V1.1
- 具有3个UART, 每个均可有慢速IrDA接口功能
 - 全功能UART
 - 蓝牙UART
 - 标准UART
- 高速红外接口, 基于4Mb/s IrDA标准
- 同步串行接口 (SSPC)
- I²C总线接口:

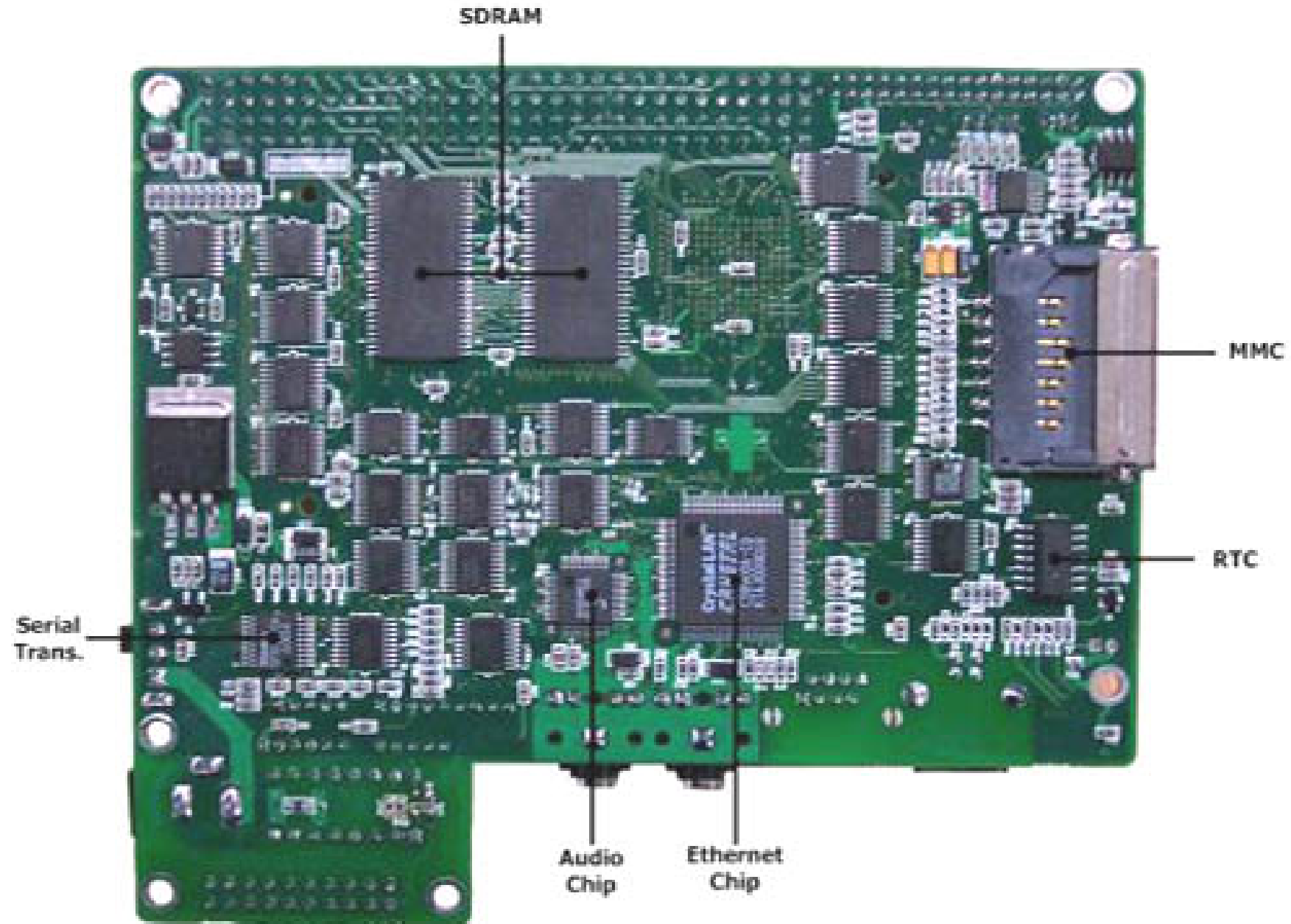
8. 多媒体通讯接口

- AC97控制器
- I²S控制器: 可穿行连接至数字立体声的标准I²S Codec
- 多媒体卡 (MMC) 控制器: 最高速率达20Mb/s

X-Hyper255B 系统构成







Intel PXA270内部结构

