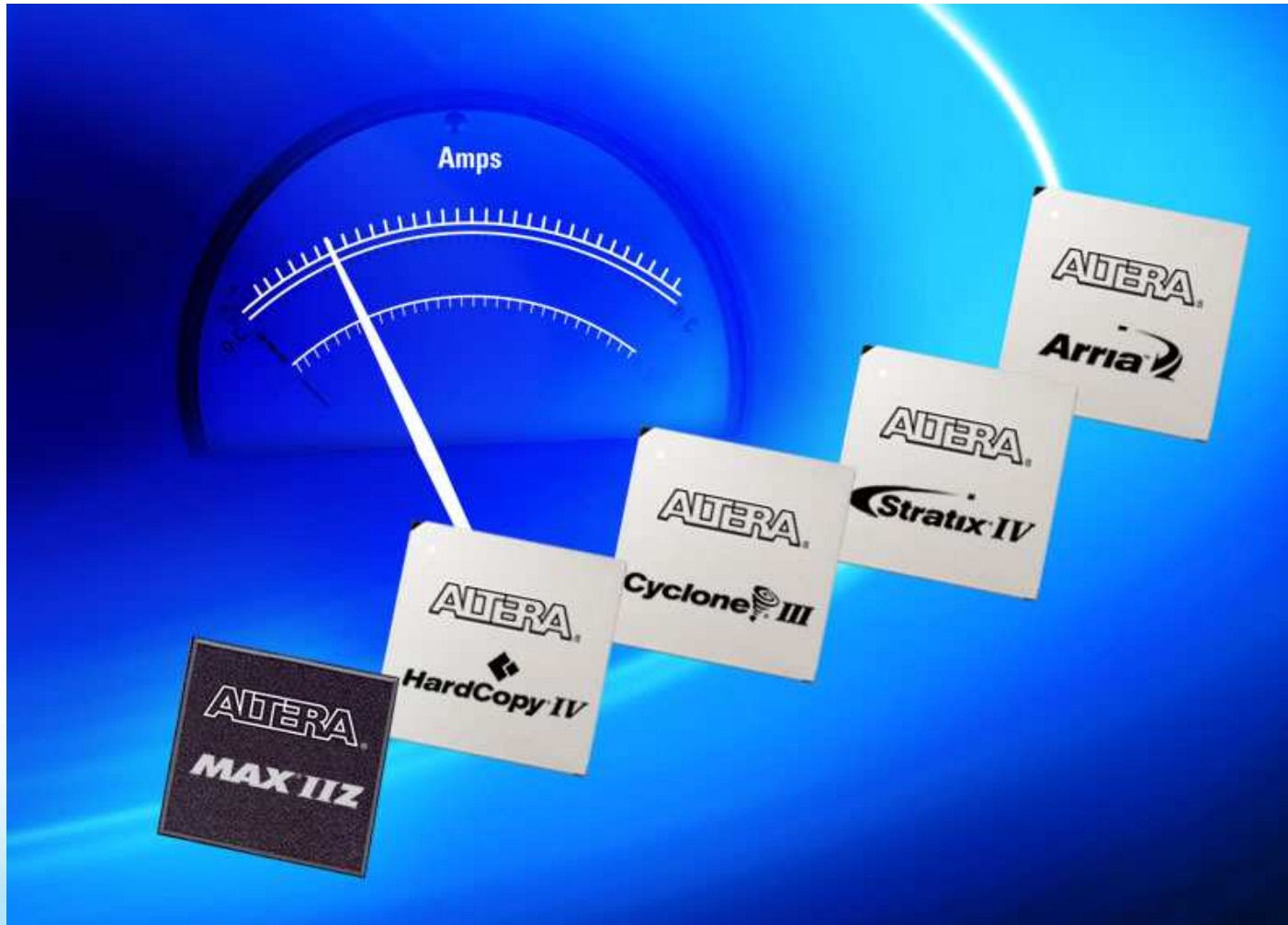




采用**Altera**产品降低功耗，
加速设计

ALTERA®

Altera产品组合推动了低功耗实现



© 2008 Altera Corporation—**Confidential**

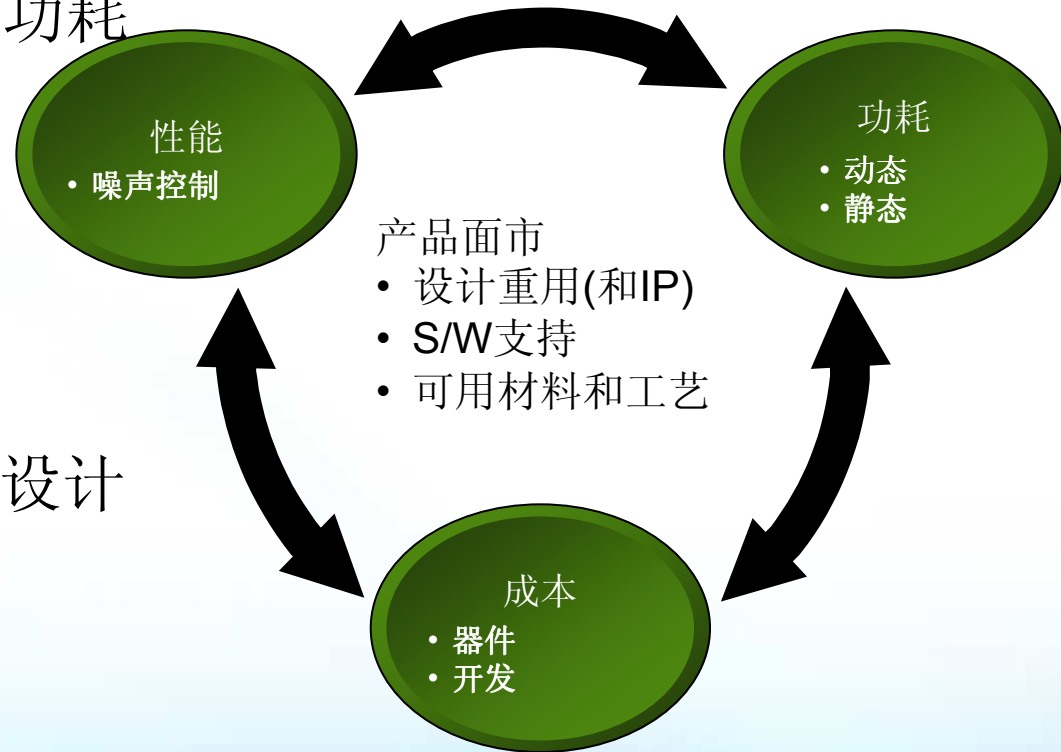
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

2



Altera是怎样降低功耗同时提高性能的

- 使用高级工艺，并进行功耗优化。
- 可编程功耗和加速电路
- 降低供电电压
- 硬核知识产权(IP)
- 降低电感和电容(LC)的设计方法
- 封装技术



功耗和性能优化方法

芯片设计



系统设计



关注的领域	方法
工艺技术	V_t L_{eff} 硅片掺杂 三次门氧化 电压供电电平 金属互联
IC设计	存储器类型(例如, SRAM 、闪存、 Fuss 等) 器件体系结构 自适应偏置 关断电路 硬件IP
优化FPGA	RAM映射 本地化频繁触发的信号 以低功耗走线对频繁触发的信号进行布线 时钟关断, 时钟布局 通过综合来减少触发
FPGA加速器	并行 硬件加速 协处理



体系结构创新：
更好的性能，更低的功耗

ALTERA®

Stratix IV FPGA: 高密度、低功耗

- 密度最大的FPGA
 - 高达680K的LE
 - 高达22.4-Mbits的内部RAM
 - 1,360个18 x 18乘法器
- 最大的带宽，最好的性能
 - 48个收发器模块，工作在8.5 Gbps。
 - 最大时钟速率600 MHz



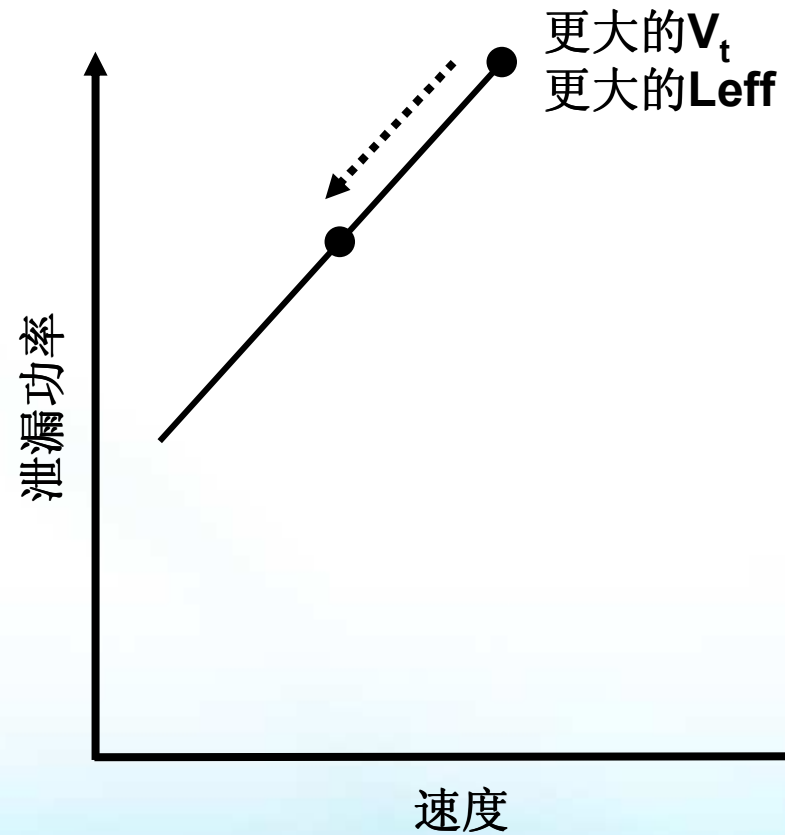
业界一流的低功耗技术

Stratix® IV FPGA降低功耗的技术	降低静态功耗	降低动态功耗
高级40-nm工艺		✓
可编程功耗技术和Quartus® II软件 PowerPlay功耗分析和优化	✓	✓
低内核电压 – 0.9 V	✓	✓
低功耗收发器		✓
功耗最佳的DDR存储器接口		✓
工艺进步： 应变硅 三次氧化 低k金属间绝缘	✓	✓



性能/功耗达到平衡

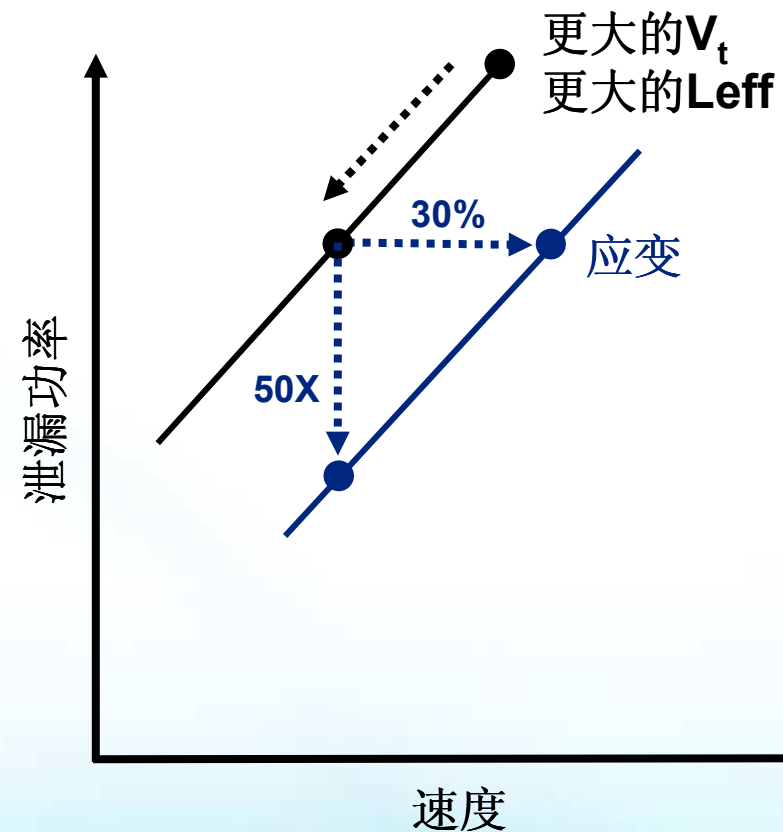
- 性能和泄漏密切相关
 - 功耗/速度通用曲线
 - V_t 及沟道长度沿通用曲线优化



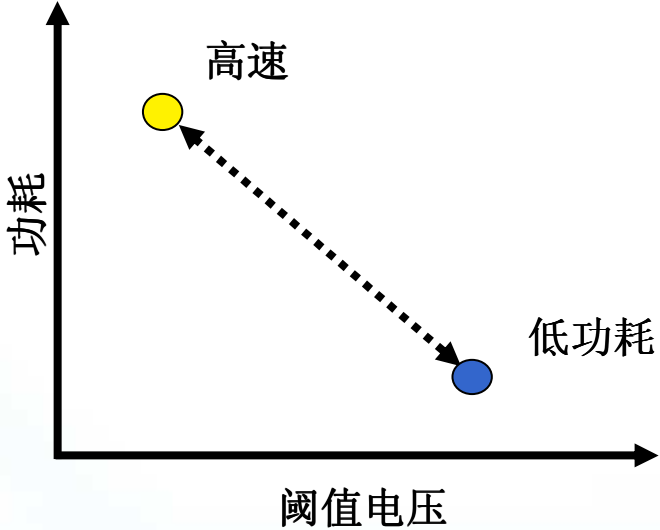
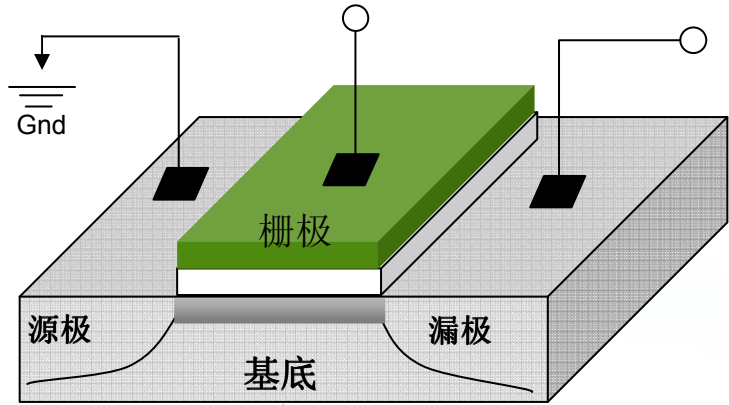
40-nm应变工程

■ 应变工程的优点

- 电子和空穴移动能力提高了30%
- 泄漏功率不变，速度提高约30%。
- 速度不变， I_{off} 降低约50倍。



可编程功耗技术



工艺、IC设计和系统协同优化

■ 工艺优化

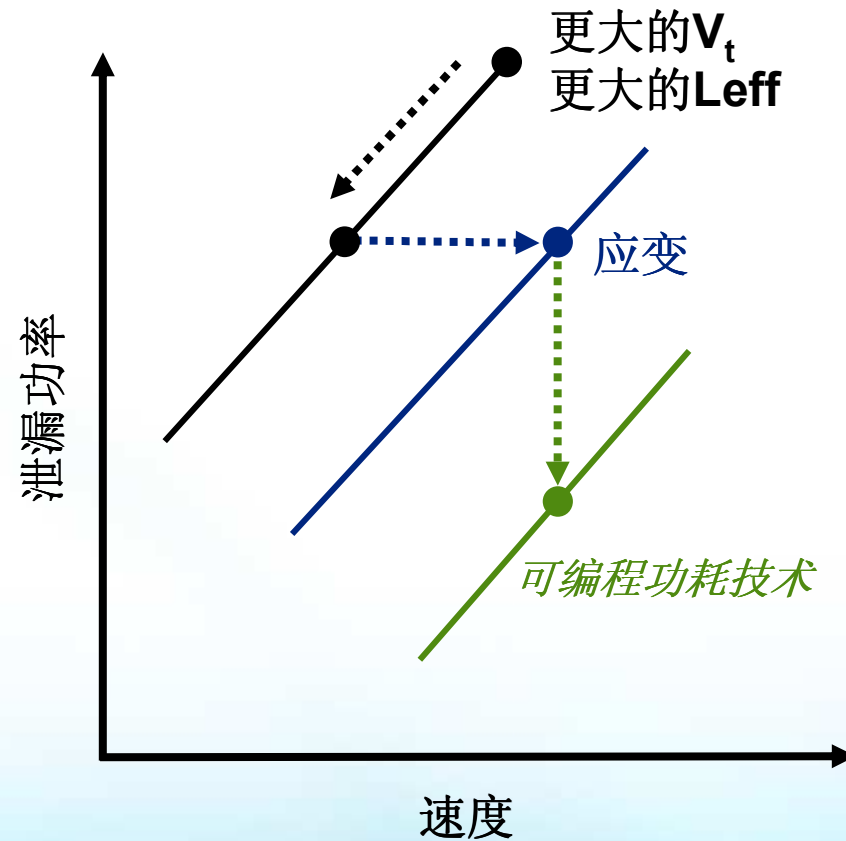
- 工艺调整
- 应变工程
- 优化晶体管以降低泄漏，实现背向偏置。

■ 设计优化

- 降低 V_{CC}
- 多 V_t
- 多次门氧化

■ 系统/体系结构优化

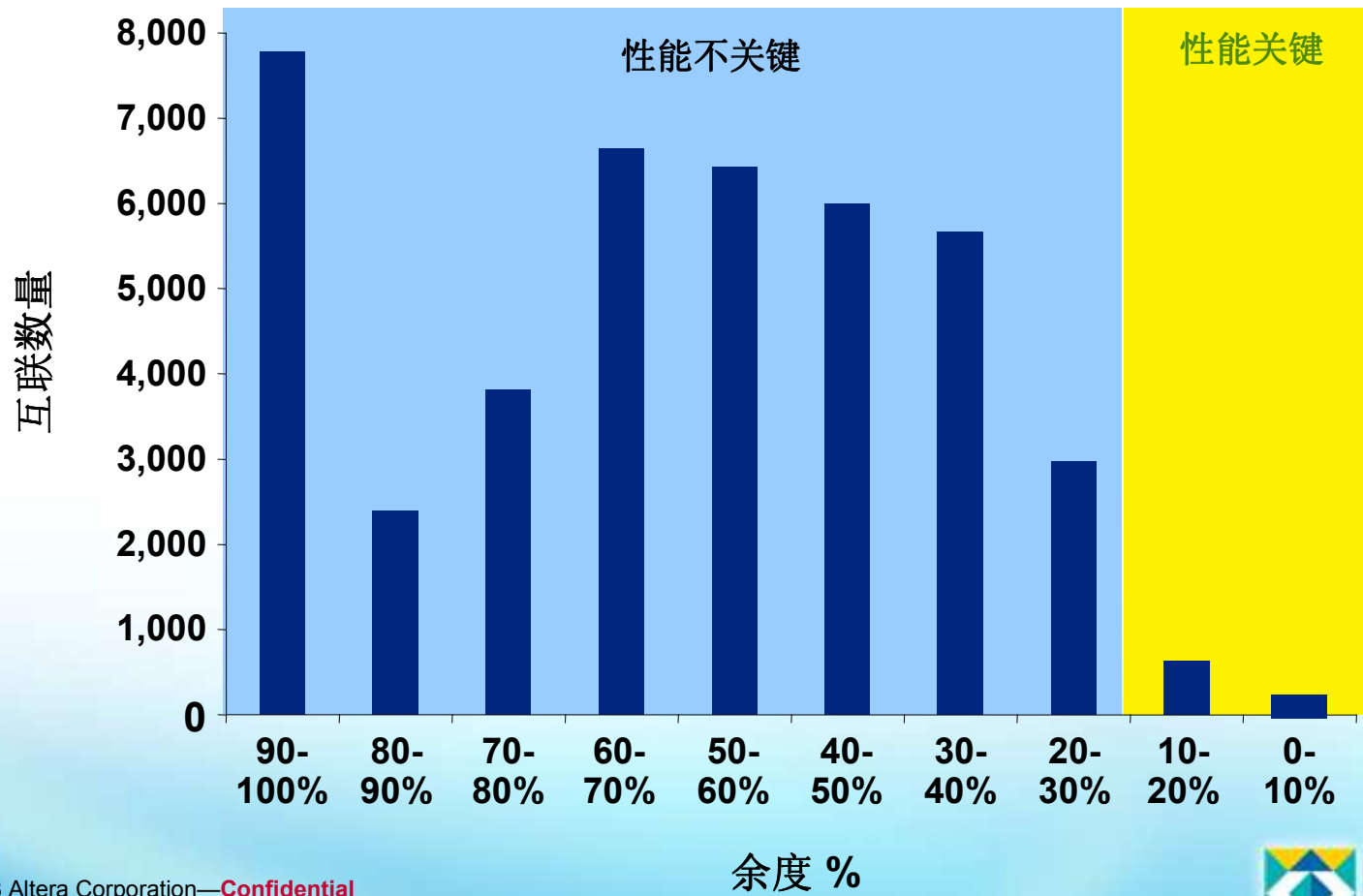
- 可编程功耗技术



针对设计，优化功耗

- 只有一小部分逻辑的性能最关键

余度直方图

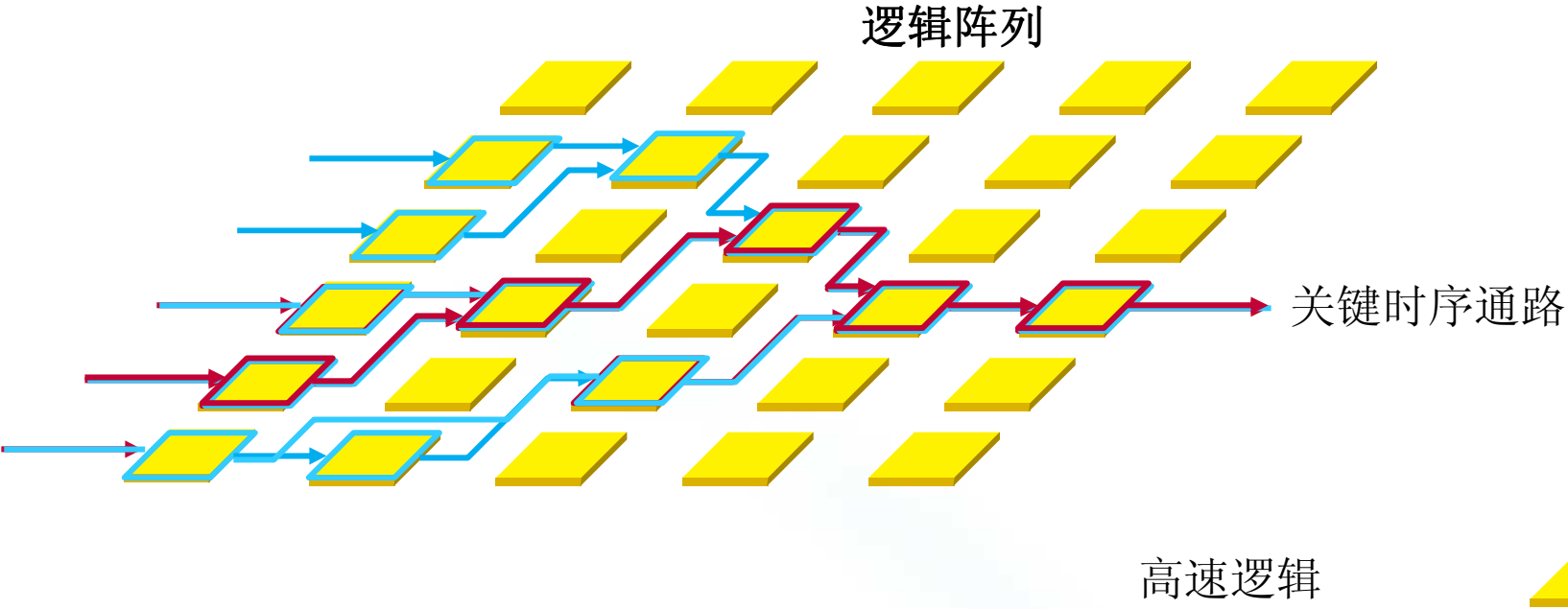


© 2008 Altera Corporation—Confidential

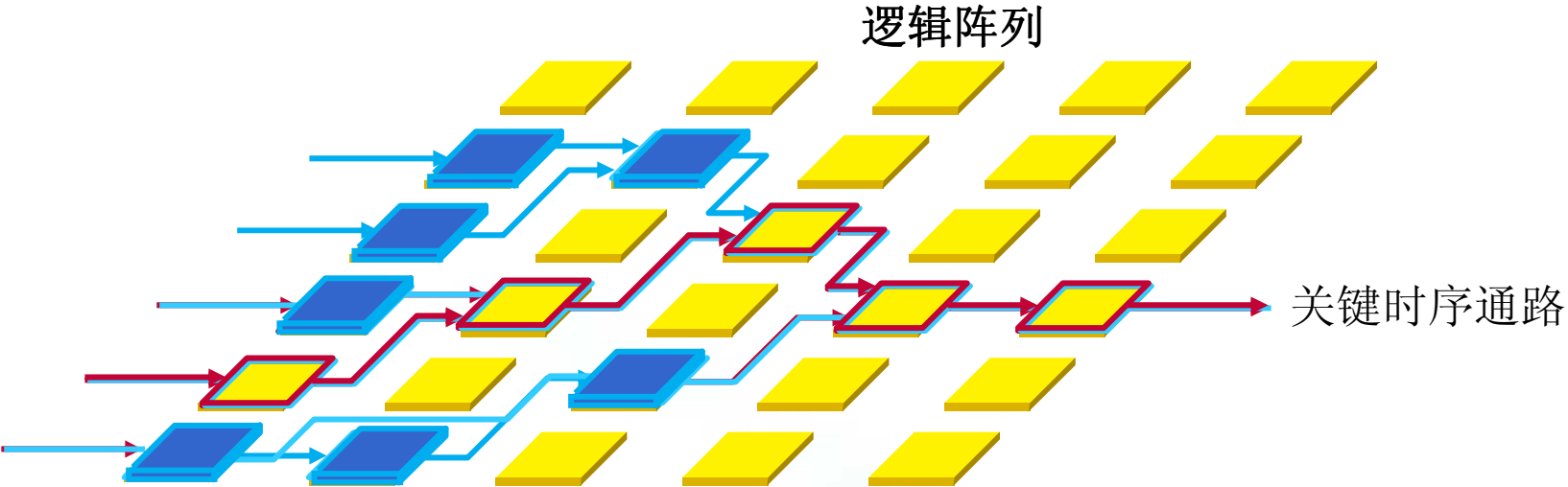
Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation



可编程功耗技术



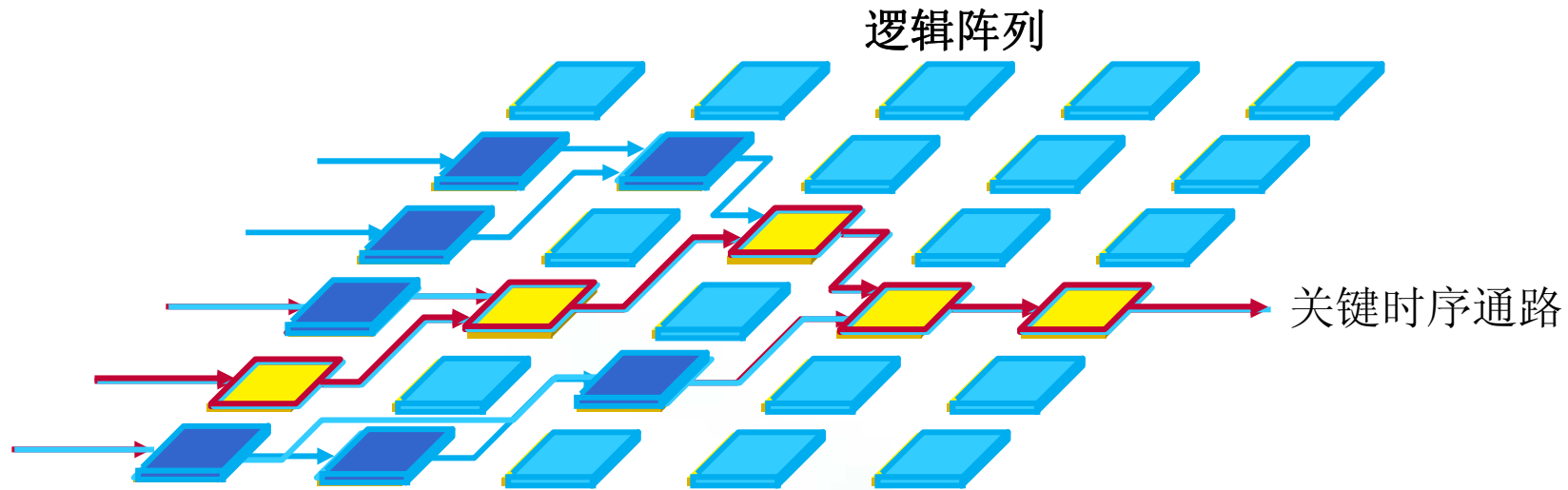
可编程功耗技术



高速逻辑
低功耗逻辑



可编程功耗技术

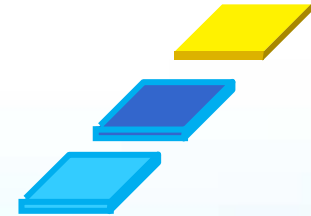


*根据时序约束，Quartus II软件全自动完成功耗映射

高速逻辑

低功耗逻辑

未使用的低功耗逻辑



高性能随您所需，低功耗无处不在

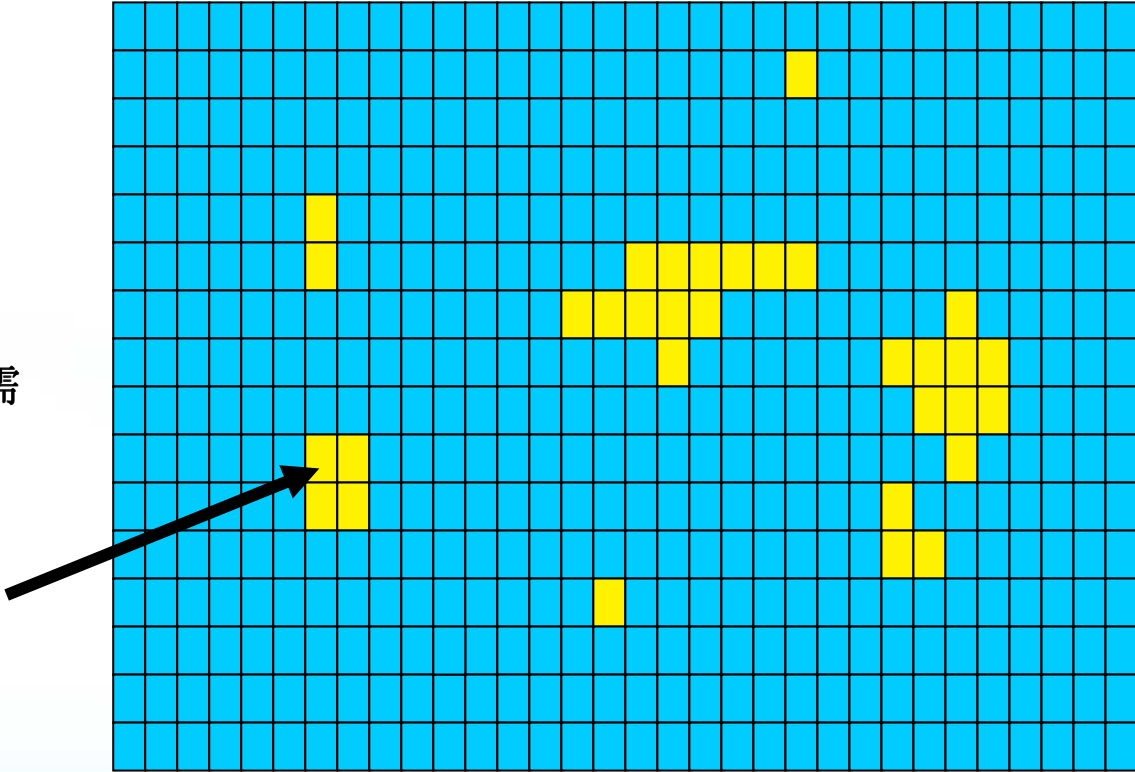
大部分逻辑块处于低功耗

所有时钟为最大速度(最差情况)



高精度功耗控制

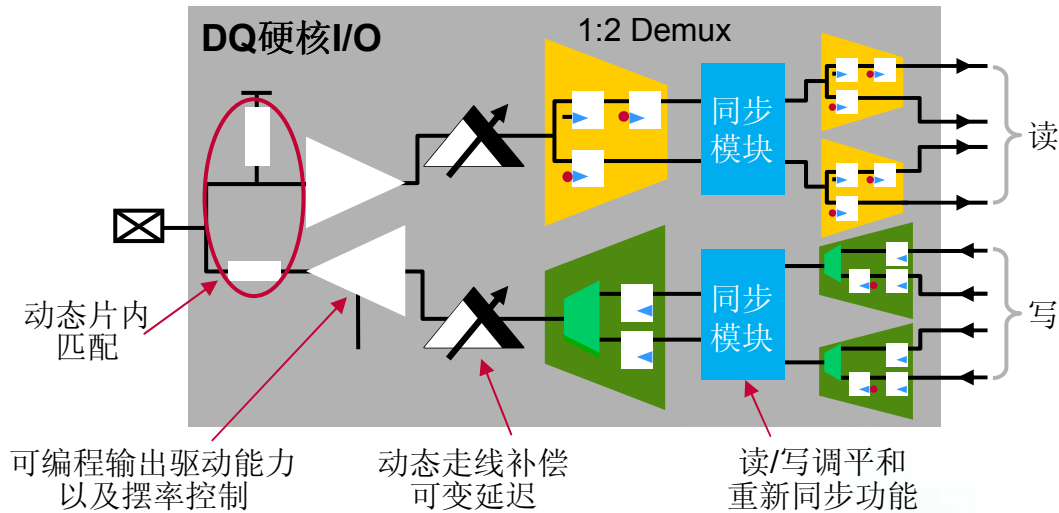
只有一小部分高速块需要维持其设计性能



最快的**LAB**的速度，最慢的**LAB**的功耗



DDR3支持



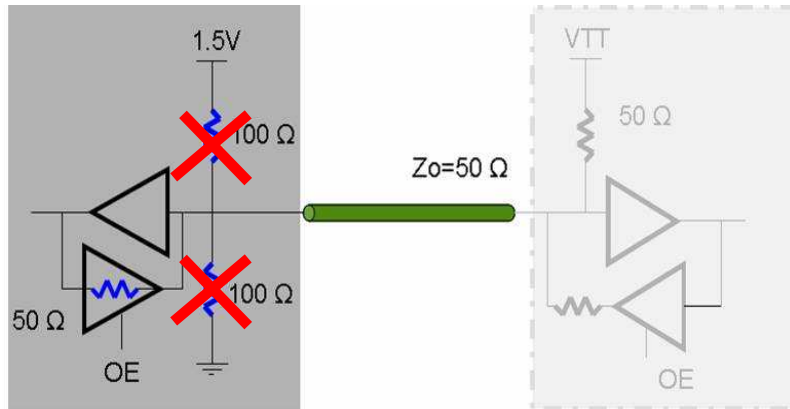
互联	性能
DDR3	>533 MHz/ 1,067 Mbps
DDR2	400 MHz/800 Mbps
QDR II	350 MHz
QDR II+	400 MHz
RLDRAM II	400 MHz
LVDS	1.60 Gbps

I/O特性	Stratix III和IV FPGA	优点
动态片内匹配(OCT)	✓	降低功耗
DDR3读/写调平	✓	需要DIMM支持
可变I/O延迟	✓	支持信号去斜移

通过读/写调平，支持**533 MHz**的**DDR3 DIMM**

动态OCT

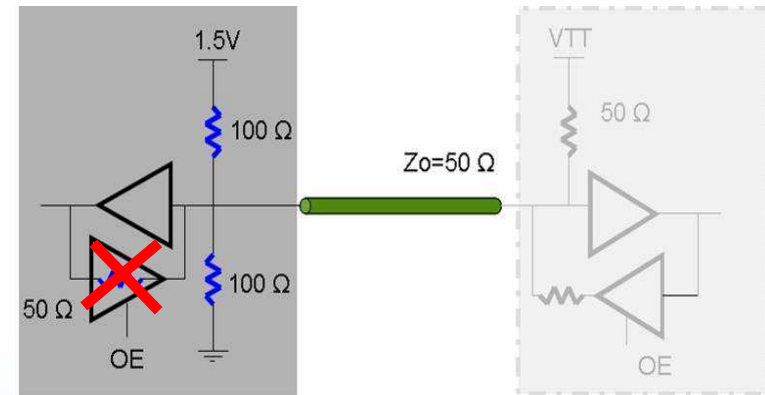
写 → 匹配线路阻抗



Stratix III和IV FPGA

存储器芯片

读 → 远端匹配

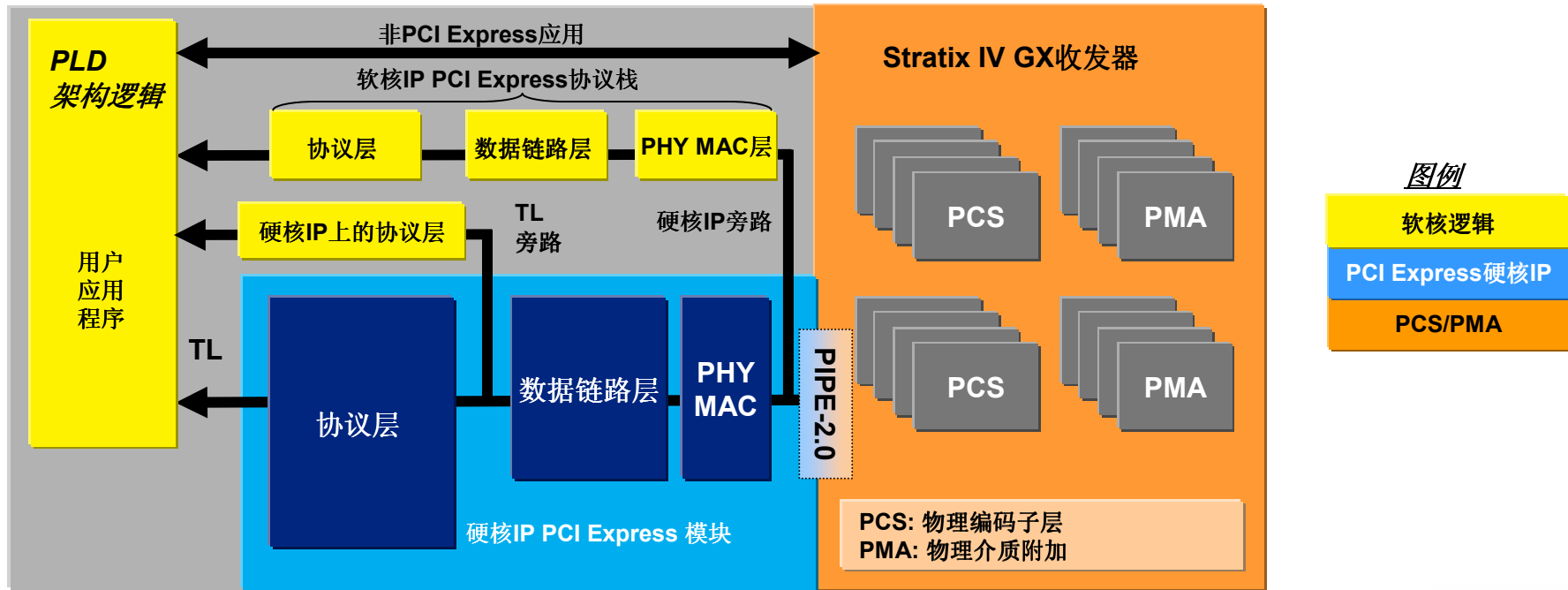


Stratix III和IV FPGA

存储器芯片

- DDR3功耗比DDR2低30%
 - DDR2需要1.8-V VCC电源
 - DDR3需要1.5-V VCC电源
- 动态OCT匹配功耗每72位降低了1瓦

采用硬核IP降低功耗



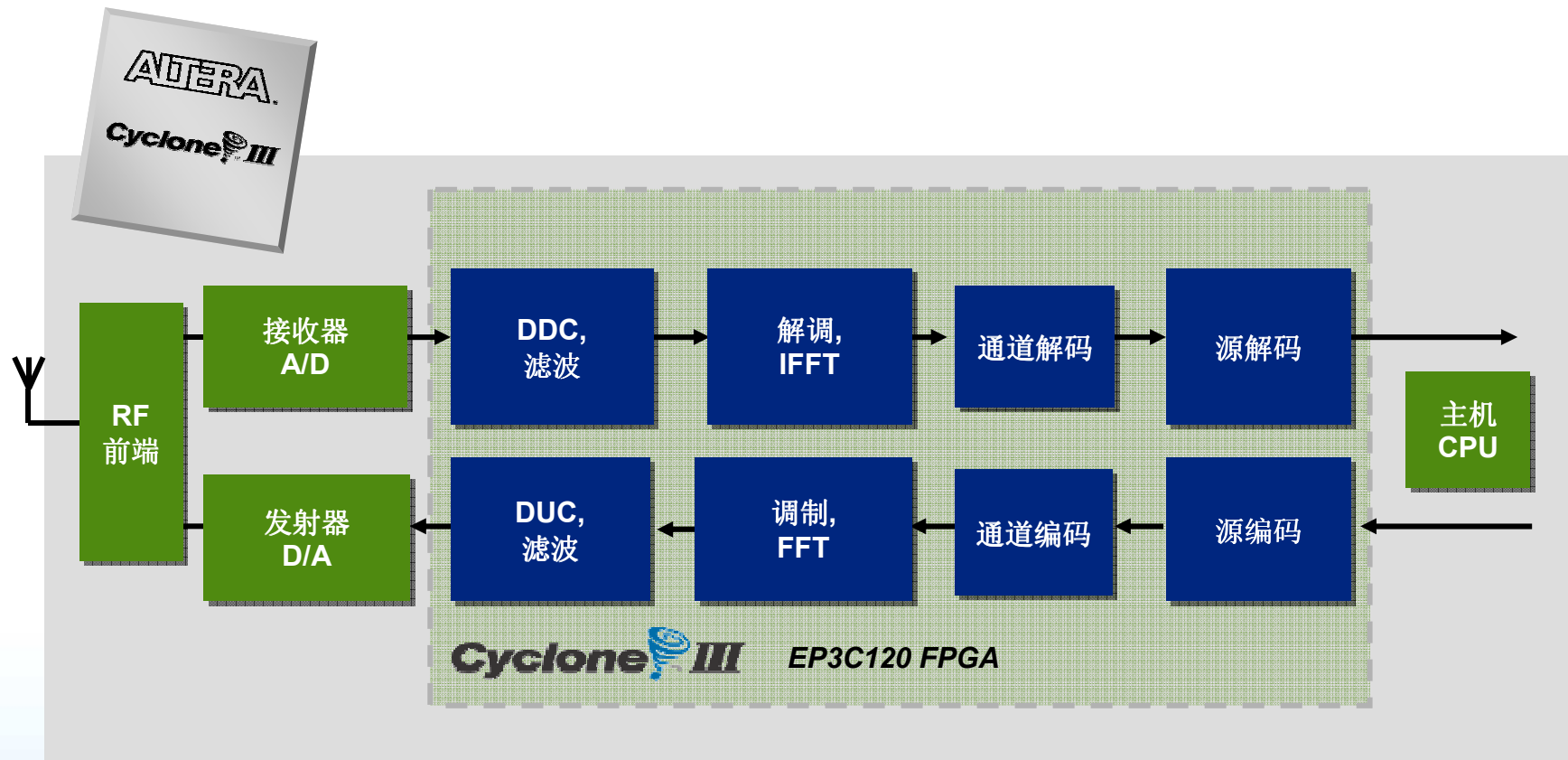
PCIe Gen2 x8	
FPGA逻辑(LUT)	硬核IP
1400mW	700mW

© 2008 Altera Corporation—Confidential

Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

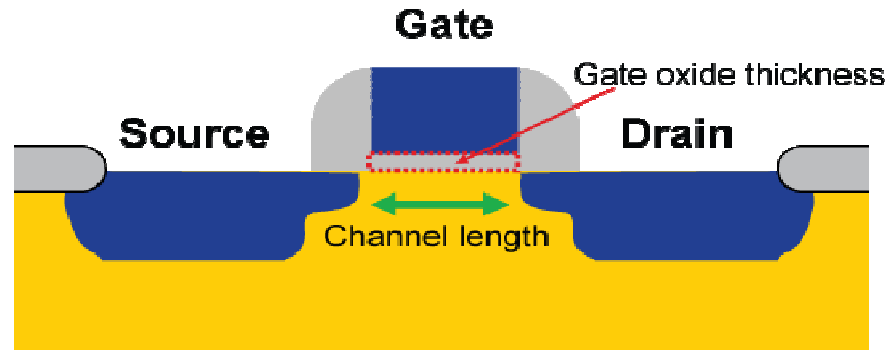


Cyclone III FPGA——手持式应用



120K LE, 静态功耗0.5 W

Cyclone III FPGA——低功耗工艺优化



优化	优点
TSMC低功耗(LP) 65-nm工艺	成熟的低功耗工艺技术(Altera首次使用的LP工艺)
多阈值电压	速度不关键的晶体管使用更高的阈值电压，从而降低功耗。
可变沟道长度	使用低阈值电压以提高性能，增加沟道长度以降低泄漏电流。
加厚栅极氧化层	降低速度不关键晶体的性能，减小其泄漏电流。

Cyclone III FPGA——硅片和工艺优化降低功耗

功耗组成	Cyclone® III器件功耗相对于Cyclone II降低了
典型静态功耗	最大约60%
内核动态功耗	最大 26%
I/O功耗	可比
总内核功耗	最大27%



MAX IIZ CPLD——Altera的超低功耗产品

■ 功耗最低

- 静态功耗 = 29 μ A
- 动态功耗 @ 50 MHz = 8.9 mA

■ 封装最小

- 只有5x5-mm的MBGA封装
- 570个LE
- 160个I/O

■ 成本最低

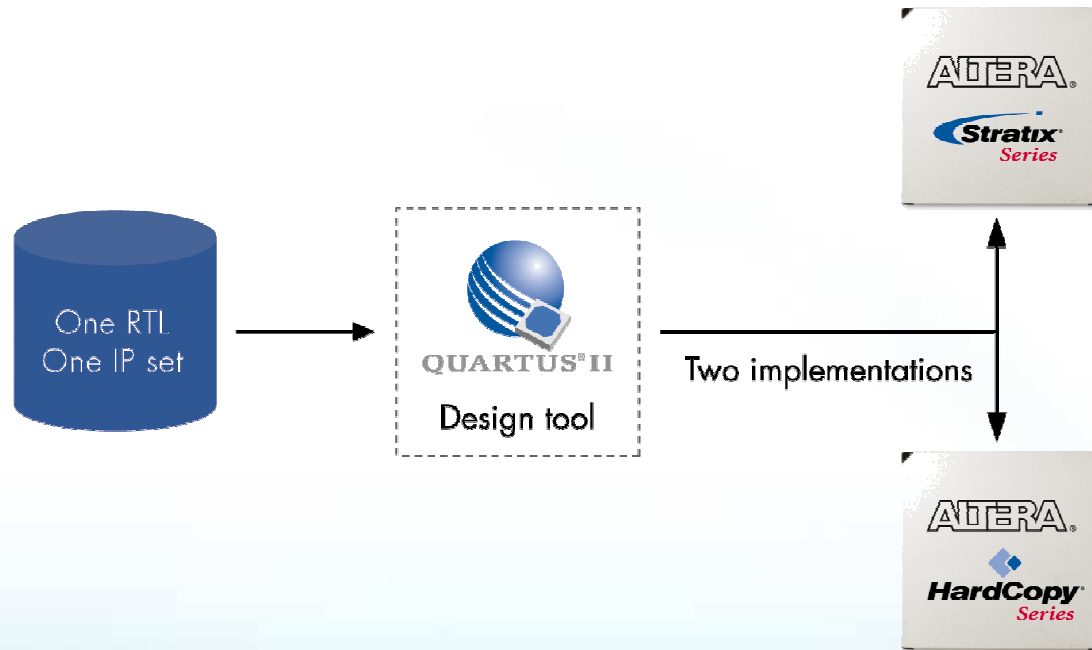
- 基于MAX[®] II LUT体系结构
- 在传统宏单元CPLD基础上进一步提高集成度



功耗最低、体积最小、成本最低

HardCopy ASIC

一次设计、一个RTL*、一组IP、一种工具——两种实现



■ 无缝FPGA原型开发

- 产品迅速面市
- 低总成本
- 更加灵活
- SW/HW协同设计

■ HardCopy[®] ASIC 实现量产

- 最快获益
- 低风险
- 低功耗
- 高性能

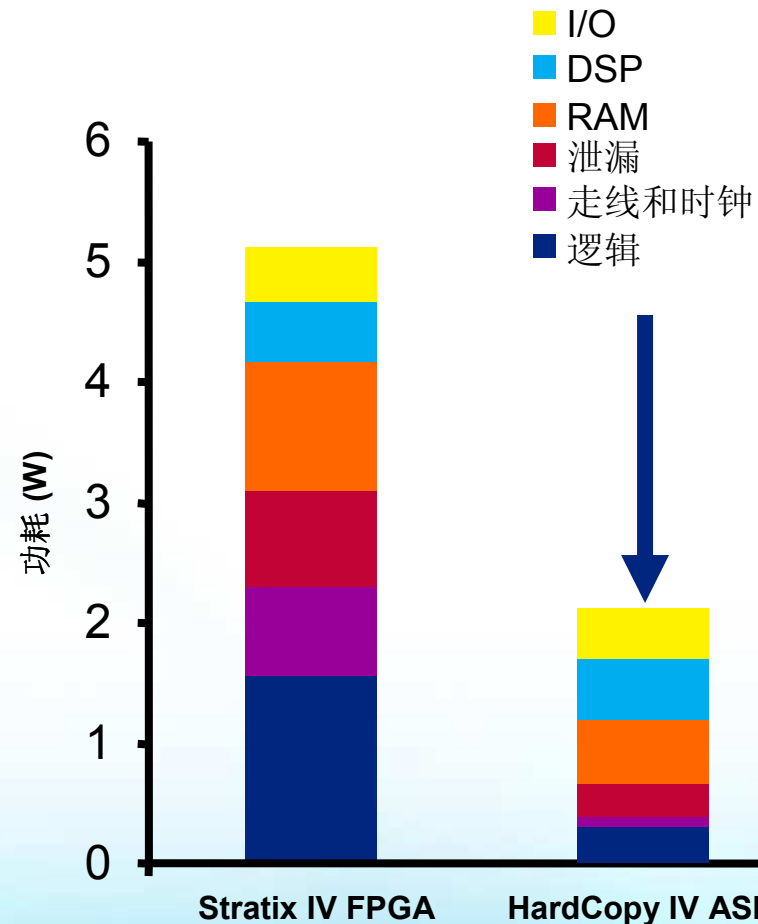
*RTL = 寄存器传送级

© 2008 Altera Corporation—**Confidential**

Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

HardCopy IV器件针对低功耗进行设计

- 优化体系结构，提高功效
 - 布线功耗降低95%
 - 逻辑减小80-90%
 - RAM减小35-65%
- 未使用的逻辑、存储器模块和时钟树不与电源连接
- 275 MHz时功耗降低了70%

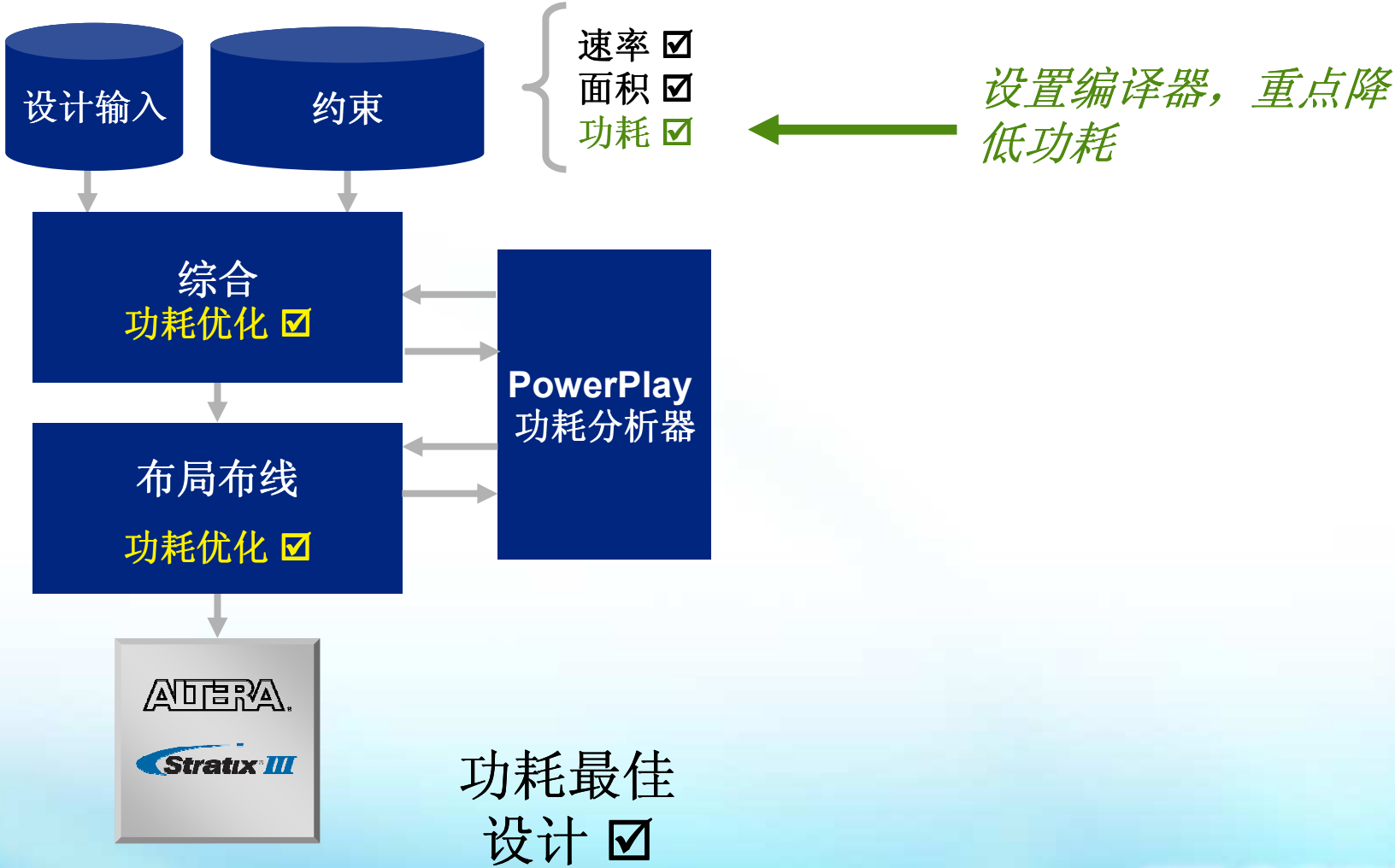




Quartus II软件提高了性能，
降低了功耗，节省了时间

ALTERA®

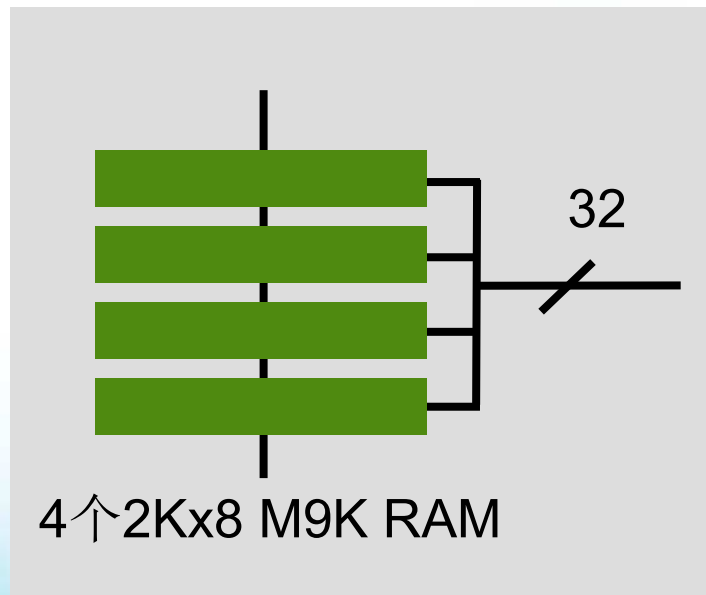
PowerPlay——自动优化



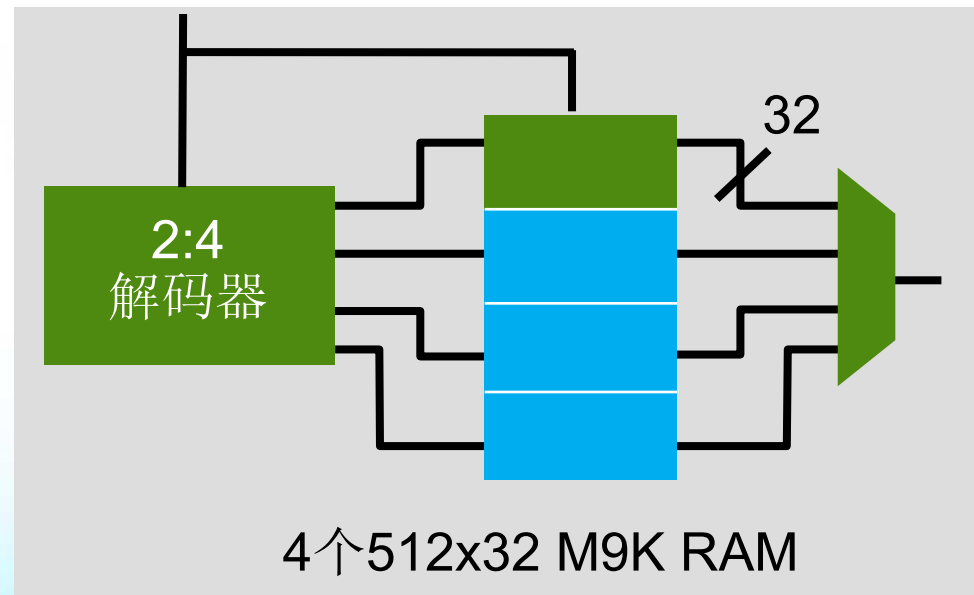
功耗最佳的RAM映射



默认选项

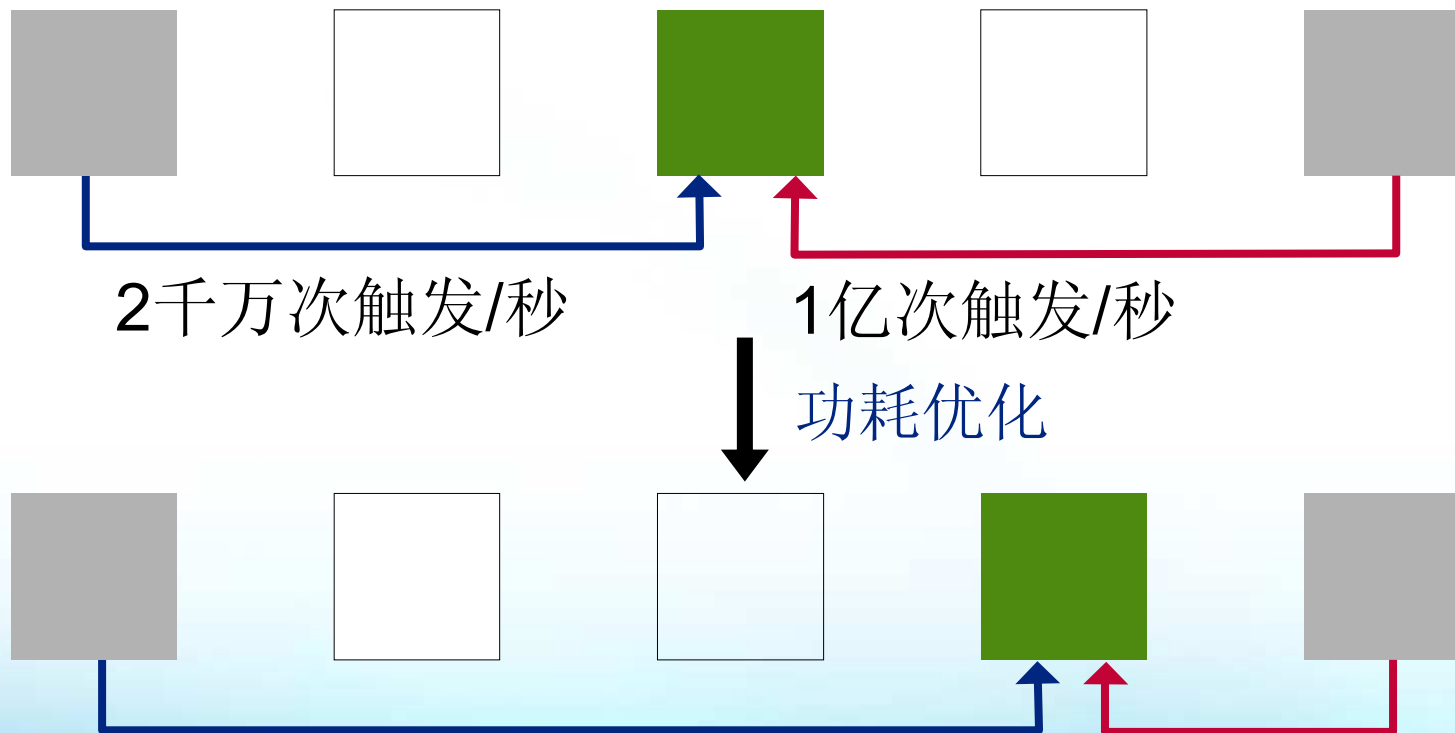


高能效选项



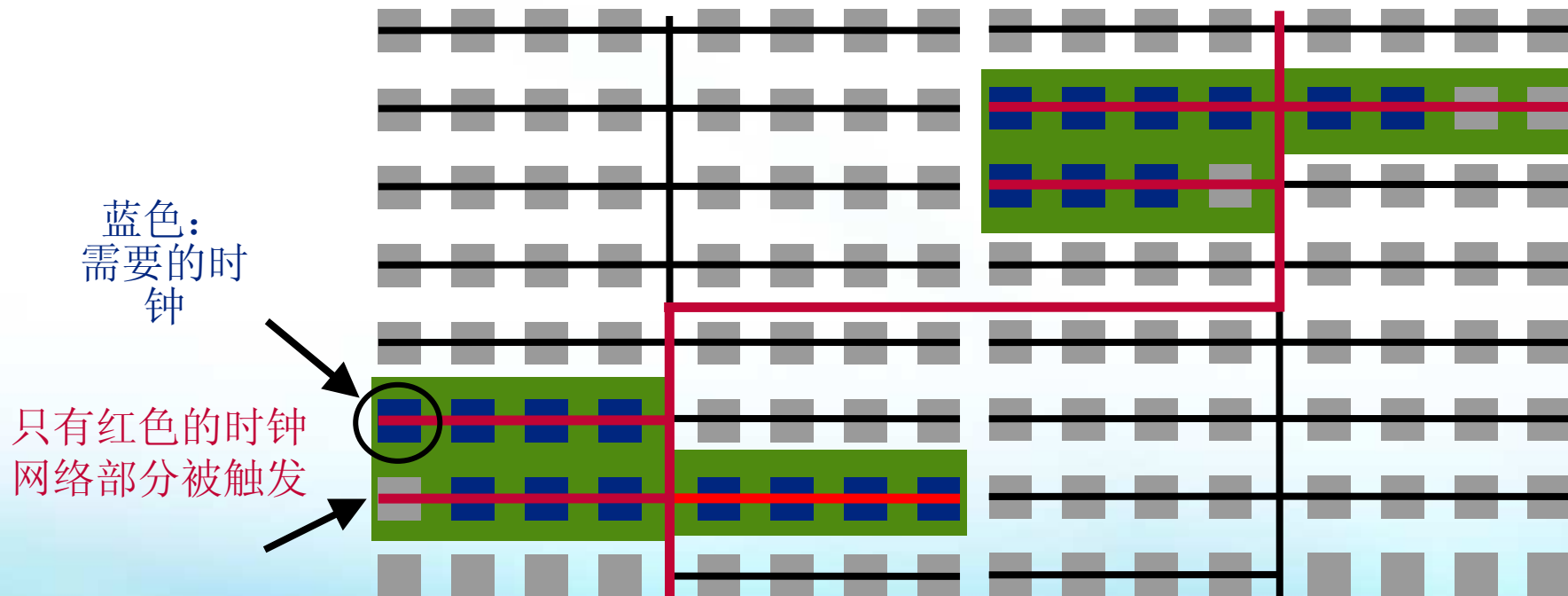
功耗推动的布局布线

- 降低频繁触发信号的电容
- 不违反时序约束

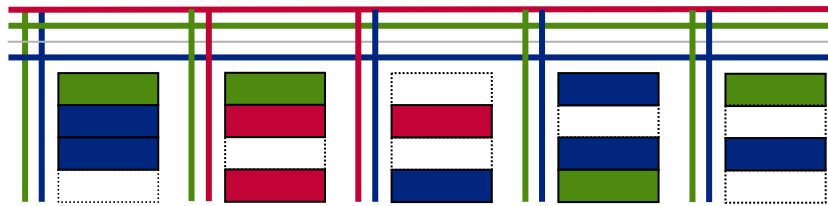


时钟关断硬件

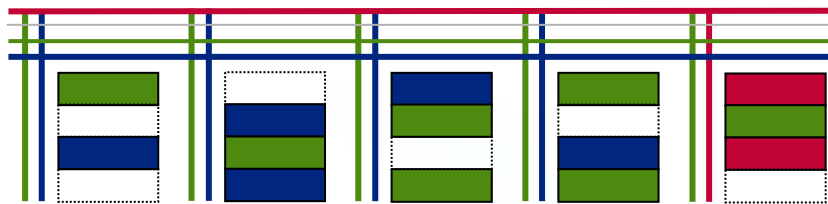
- Stratix III FPGA: 可以在3层树上关断时钟
 - 顶层: 关断1/16时钟树
 - 次层: 1 / 500的时钟树
 - 底层: 1 / 10,000的时钟树



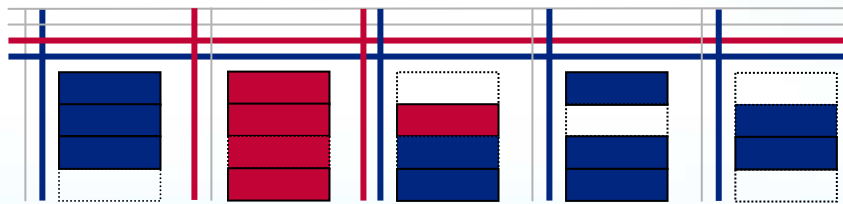
通过布局降低时钟功耗



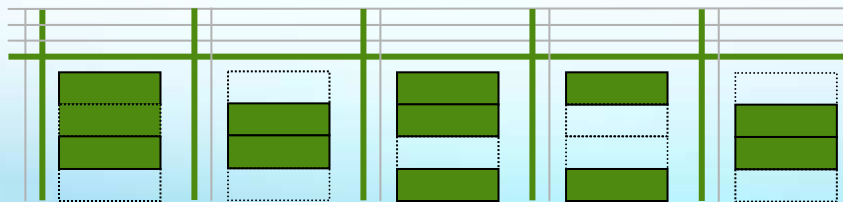
时钟合法，时序优化



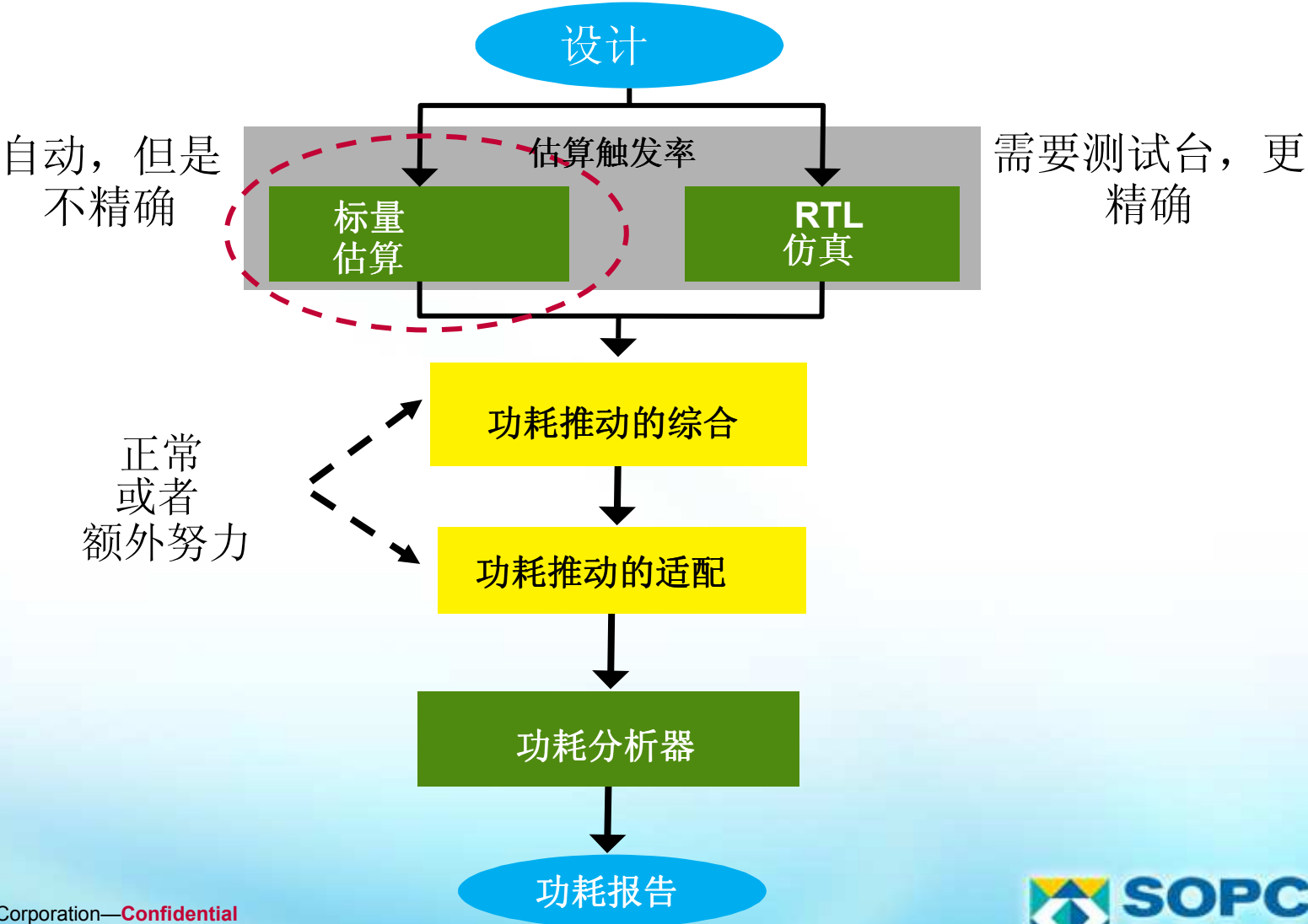
功耗优化



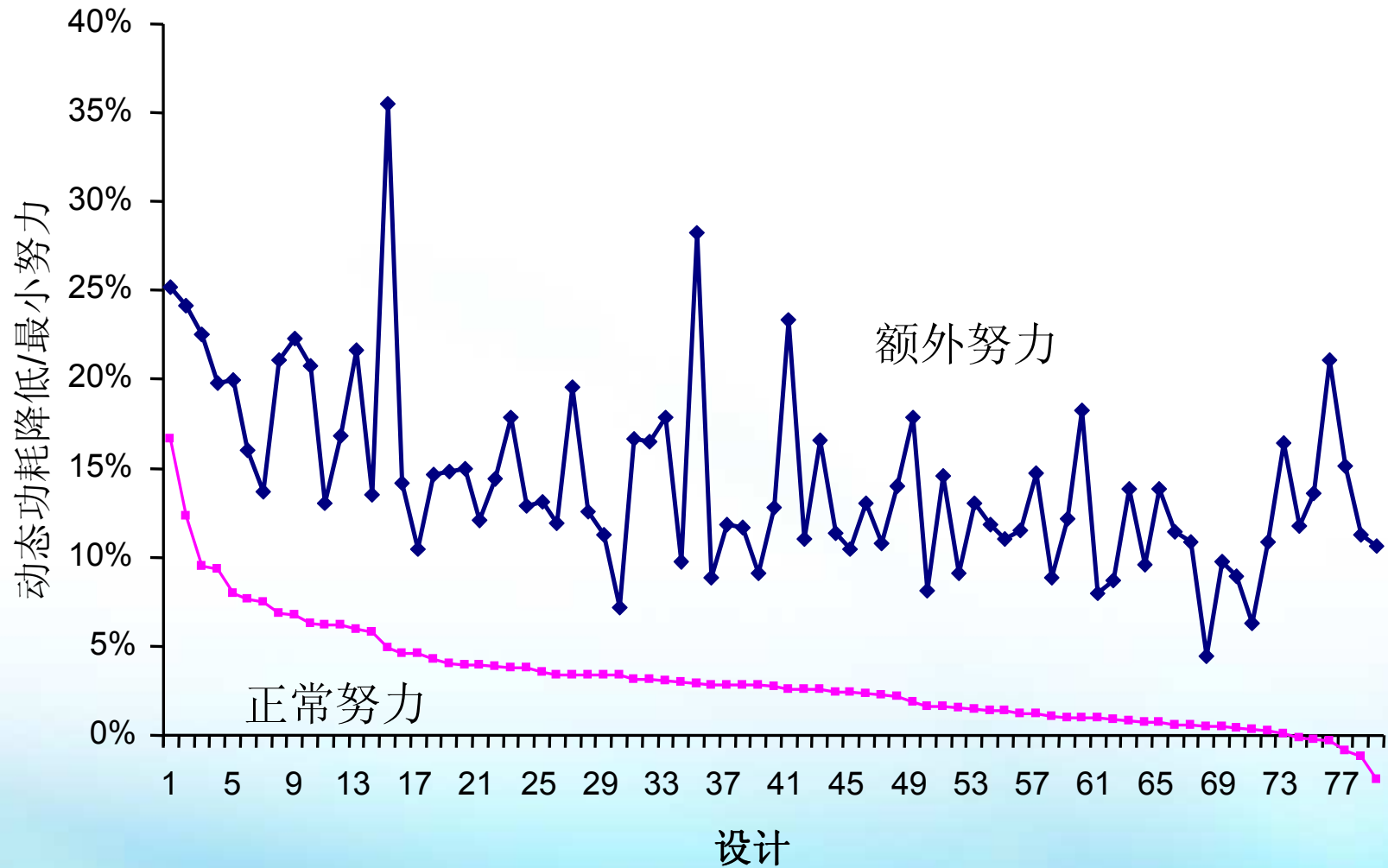
时钟分组，最大程度的关断



PowerPlay功耗优化



动态功耗优化





降低系统级功耗

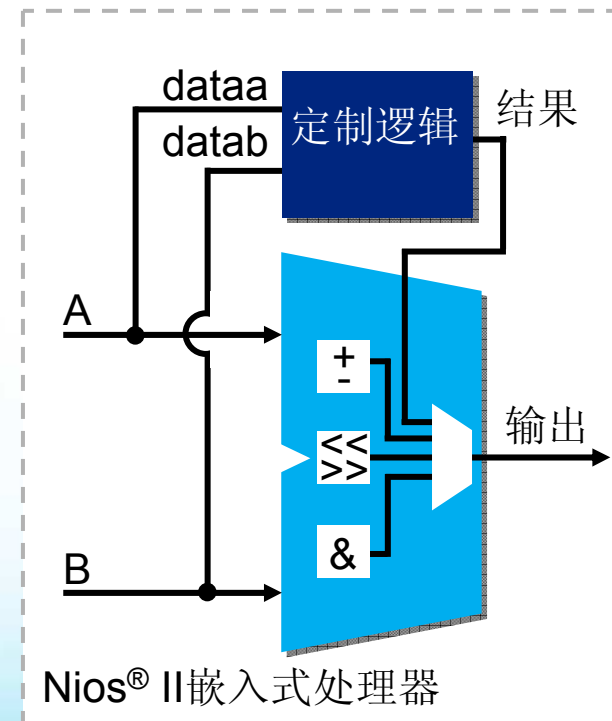
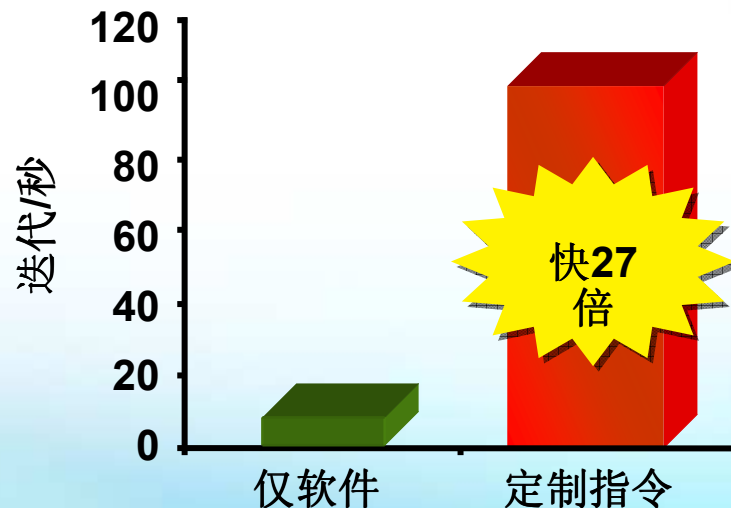
ALTERA®

加速软件

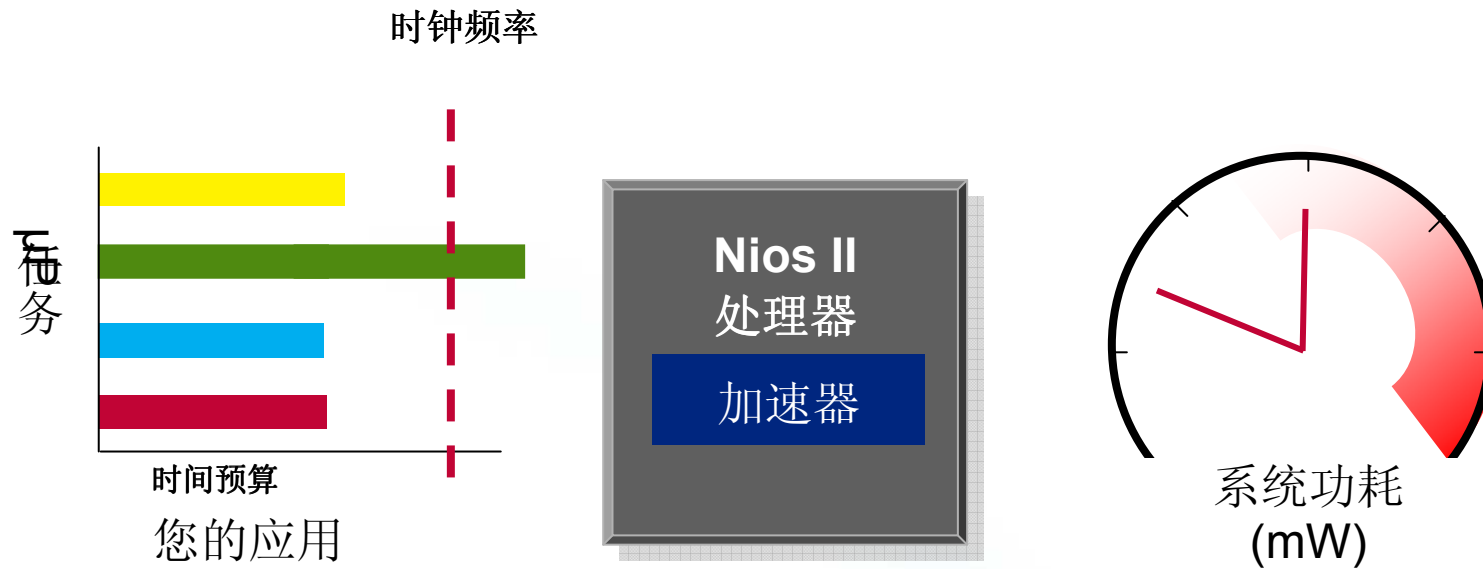
■ 定制指令

- 256条用户定义的指令
- 固定和可变周期工作
- 用户逻辑导入向导
- 称为C子例程

■ 例子：CRC算法(64 Kbytes)



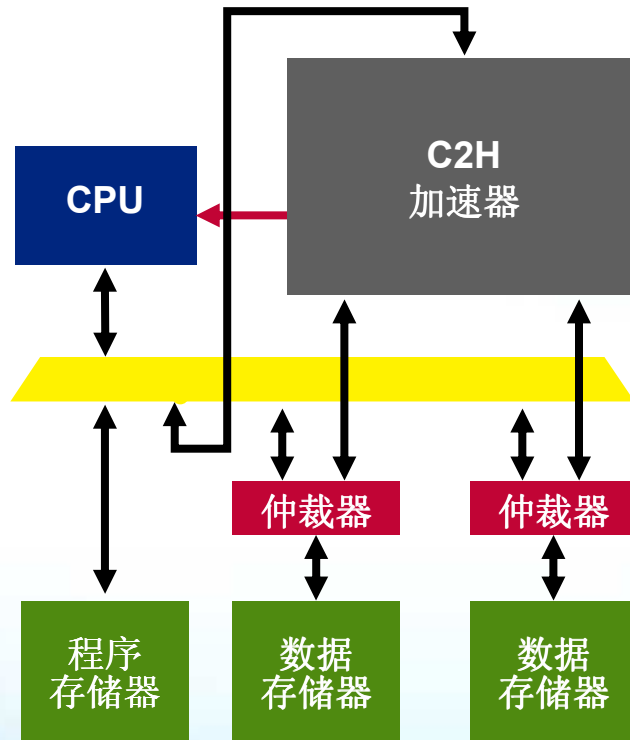
降低系统功耗



使用硬件加速器来降低功耗

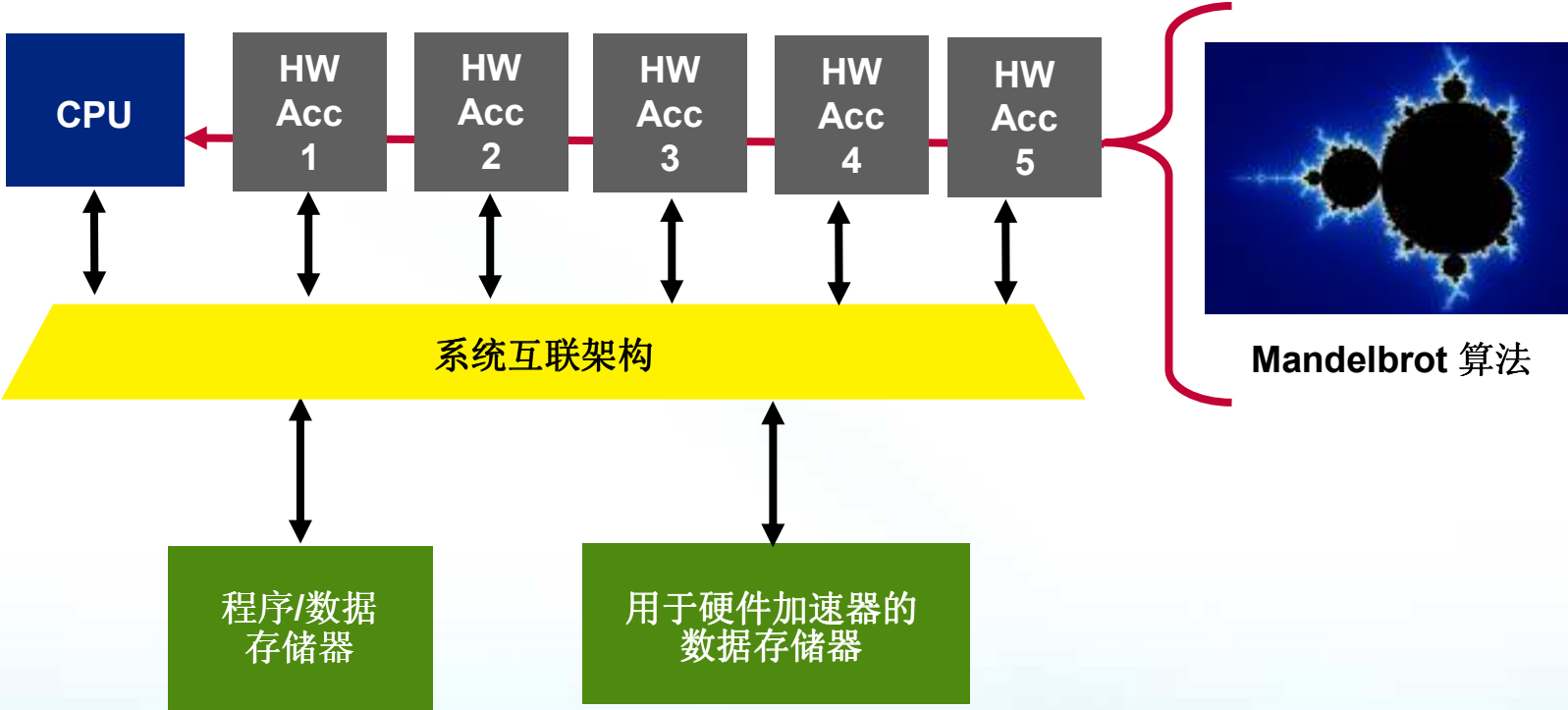
- 降低硬件加速器频率
- 降低系统频率
- 降低系统功耗

自动生成硬件加速器

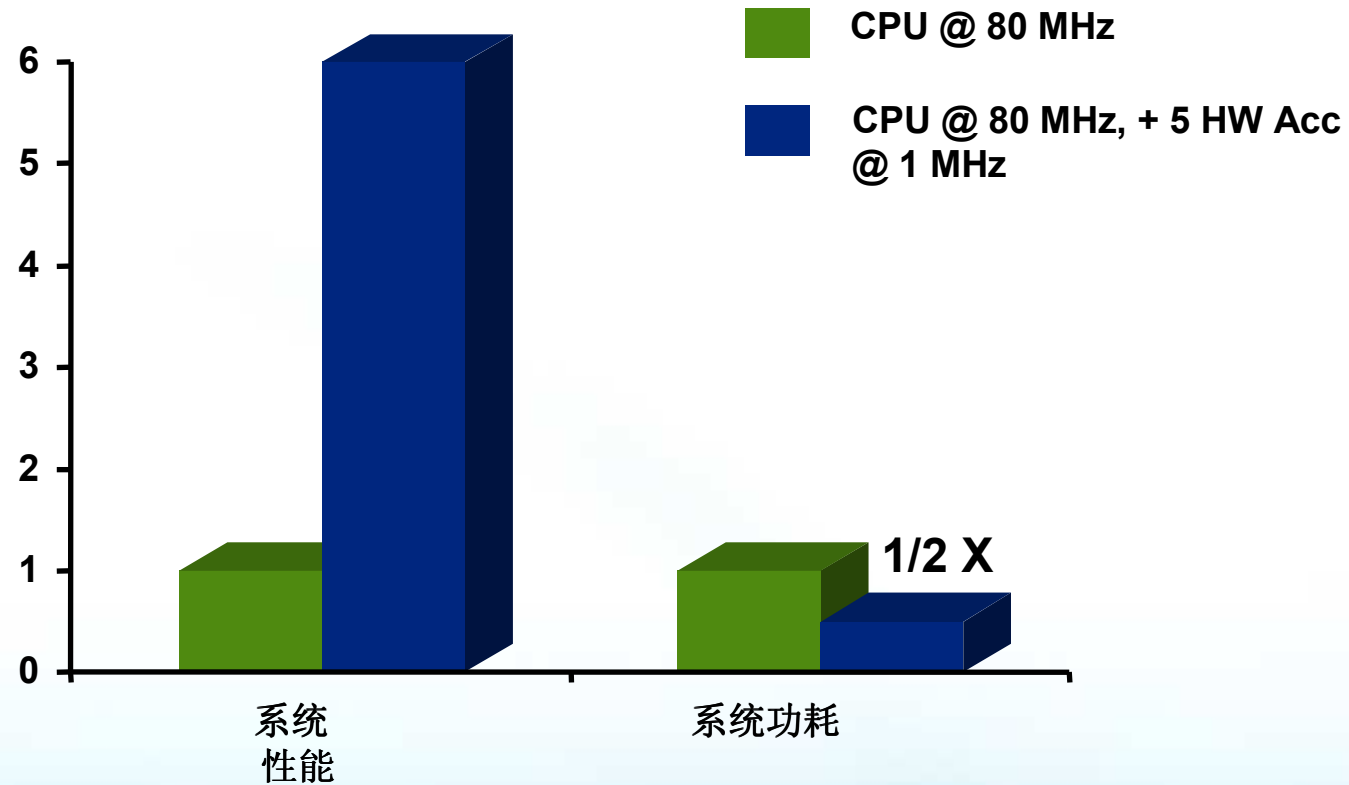


C2H: Nios C语言至硬件加速编译器

系统结构图

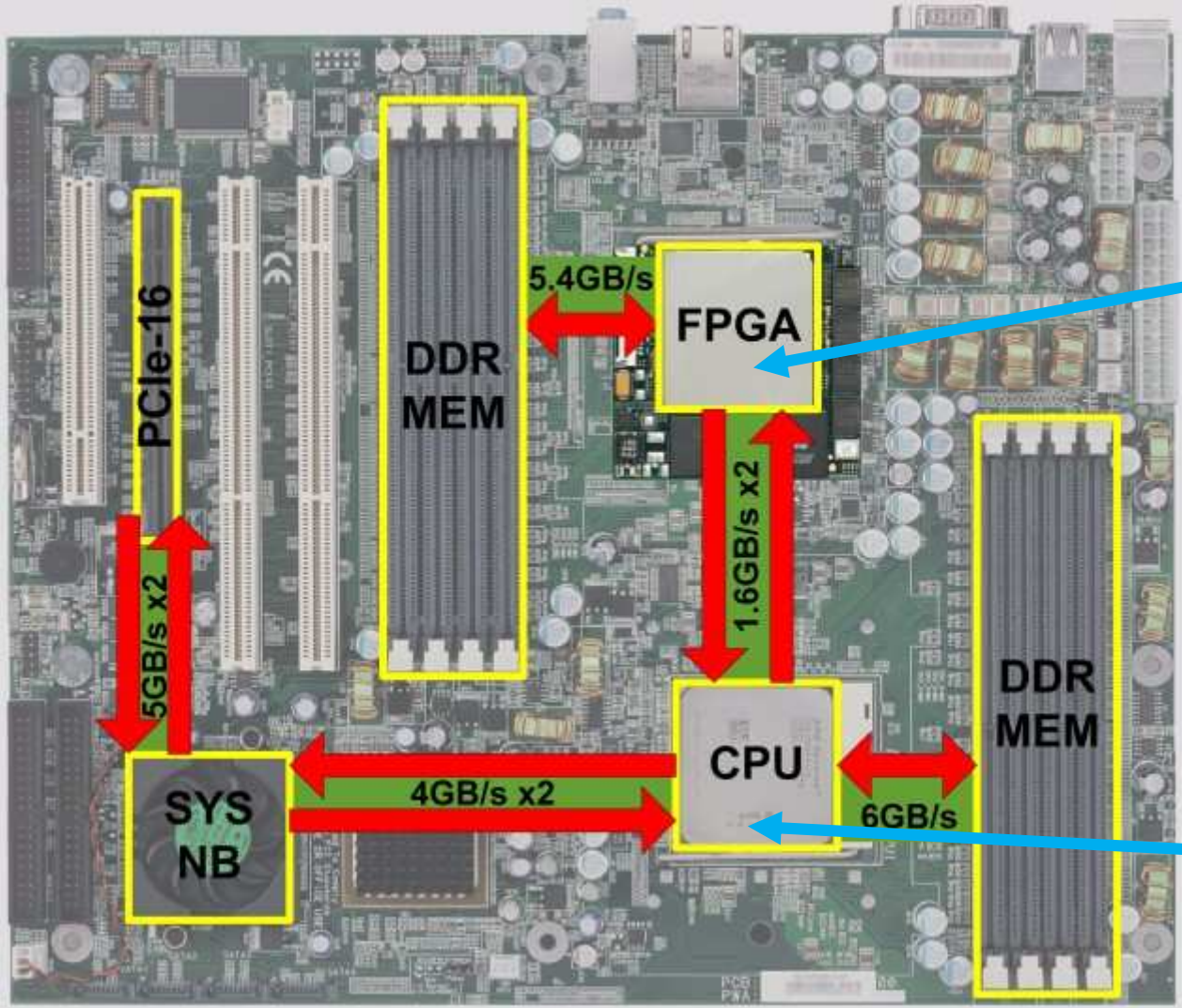


降低加速器频率的效果



性能提高**6**倍，功耗降低**2**倍

FPGA协处理解决方案



主机CPU



高性能计算中的Stratix IV FPGA



金融服务

- **Black-Scholes**
- 单片FPGA协处理实现
- **11.7 GFLOPS**维持不变 – **15瓦**
- 功耗降低**90%**以上
- 加速倍数：**130倍**



图像处理

- **3D医疗成像**
- 单片FPGA协处理实现
- 维持**10 GFLOPS**混合精度 – **25瓦**
- 功耗降低**80%**以上
- 加速倍数：**83倍**

结论

- Altera致力于降低功耗，提高性能
- 影响所有产品
 - Stratix IV FPGA
 - Cyclone III FPGA
 - Arria[®] FPGA
 - HardCopy IV ASIC
 - MAX IIZ CPLD
- 未来产品会有更大的改进



谢谢

ALTERA®