



采用40-nm Stratix IV FPGA SoC集成迈上新台阶

ALTERA®

议程

- **FPGA——更好的芯片系统(SoC)解决方案**
- **高端数字系统要求**
- **Altera的40-nm创新区**
 - 在收发器和存储器接口上的创新
 - 经过优化的体系结构和**DSP**模块/存储器/逻辑比
 - 性能优势
 - 可编程功耗技术实现最低功耗
 - **Quartus® II**软件实现了最短的编译时间
- **为纵向市场提供解决方案**

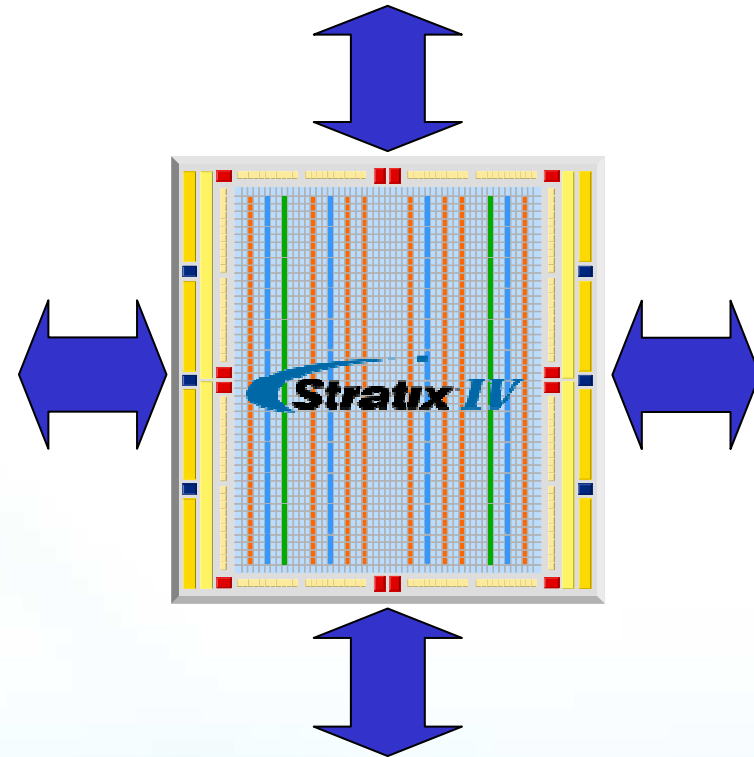


FPGA —— 更好的SoC解决方案

- 产品及时面市
 - 更短的设计周期
 - 为设计和验证提供的高效工具和方法
- 灵活性
 - 对变化的需求能够迅速响应
 - 为客户提供定制解决方案
 - 系统升级
- 降低了风险
- 降低了系统成本

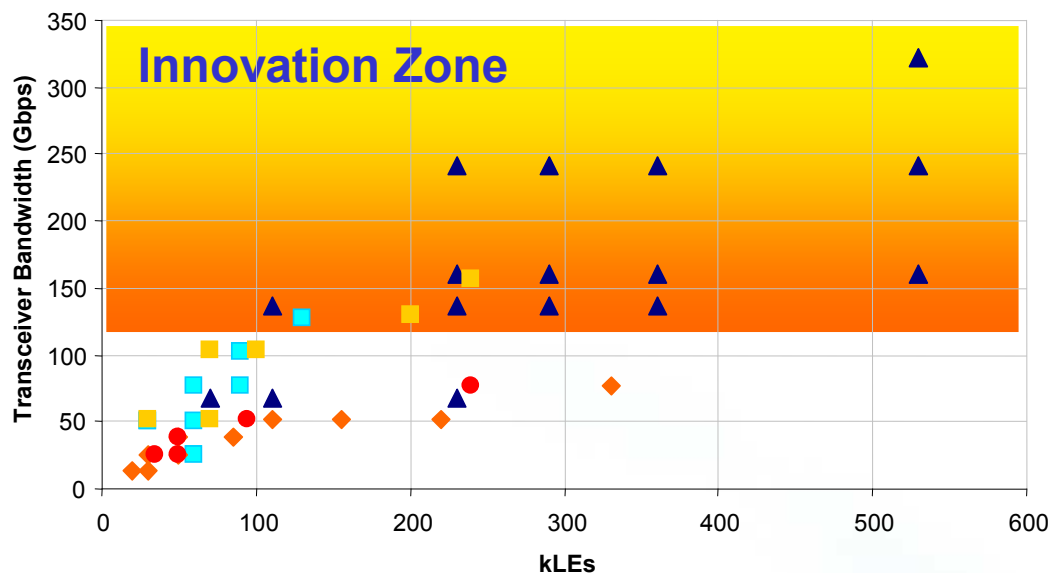
高端数字系统要求

- 系统带宽
 - 数据速率更高的接口
 - 增强对通过系统的数据的处理
- 芯片系统(SOC)集成
 - 密度, 丰富的特性
 - 高性能内核架构
- 功效的需求
 - 性能/瓦
 - 吞吐量/瓦



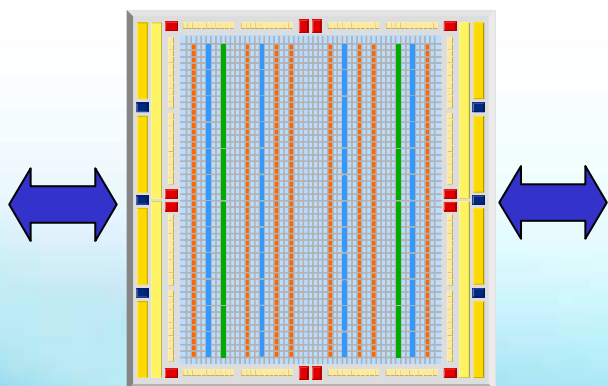
40-nm Stratix IV FPGA使系统带宽、集成度和功效迈上了新台阶

前所未有的收发器带宽



- 32个收发器，工作在600 Mbps至8.5 Gbps之间
- 另外的16个收发器，工作在600 Mbps至3.2 Gbps之间
- 320 Gbps全双工带宽
- 优异的信号完整性

■ Stratix II GX ▲ Stratix IV GX ◆ Virtex-5 LXT ● Virtex-5 SXT ■ Virtex-5 FXT



- 4 x8 PCI Express Gen1、Gen2硬核IP，达到2.5/5.0 Gbps
- 2x SFI-5, 34x, 2.48 Gbps
- 32x Interlaken, SPAUI, 6.375 Gbps
- 32x CPRI/OBSAI, 6 Gbps
- 2x HyperTransport™ 3.0 I/F, 32x, 3.125 Gbps
- 2G/4G/8G光纤通道

© 2008 Altera Corporation—Confidential

Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation



Altera的收发器创新

■ 增强的四收发器模块

- 另外的可配置第5和第6全双工通道
- 通道绑定最多为24个通道，包括支持SFI-5和HyperTransport™ 3.0协议。

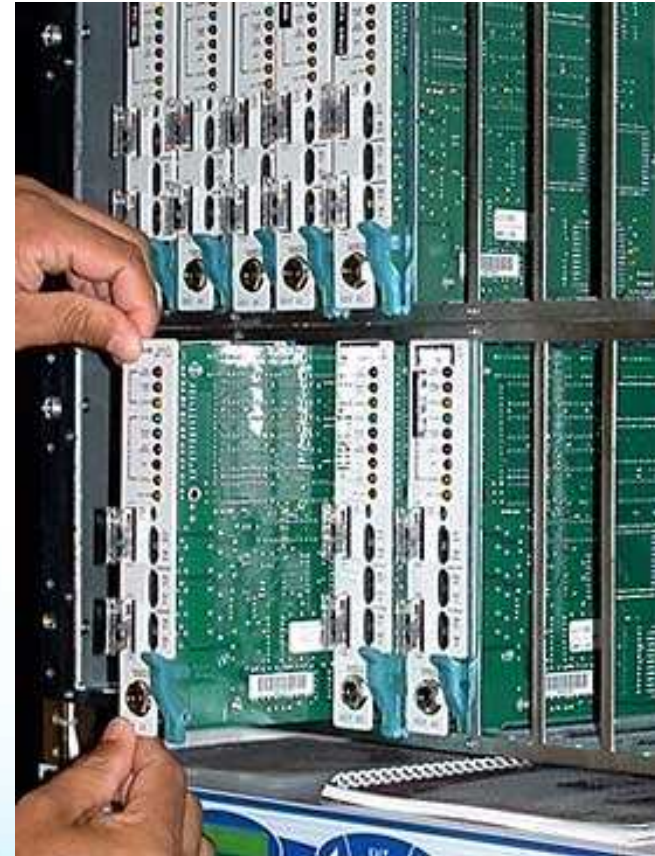
■ 动态可重新配置

- 收发器设置、数据速率和协议运行时间可重新配置
- 邻近通道无冲突
- 高度灵活，支持通用前端。
- 更少的线卡版本和软件开销

■ 相同的HardCopy® IV GX收发器模块

可靠的收发器系统设计

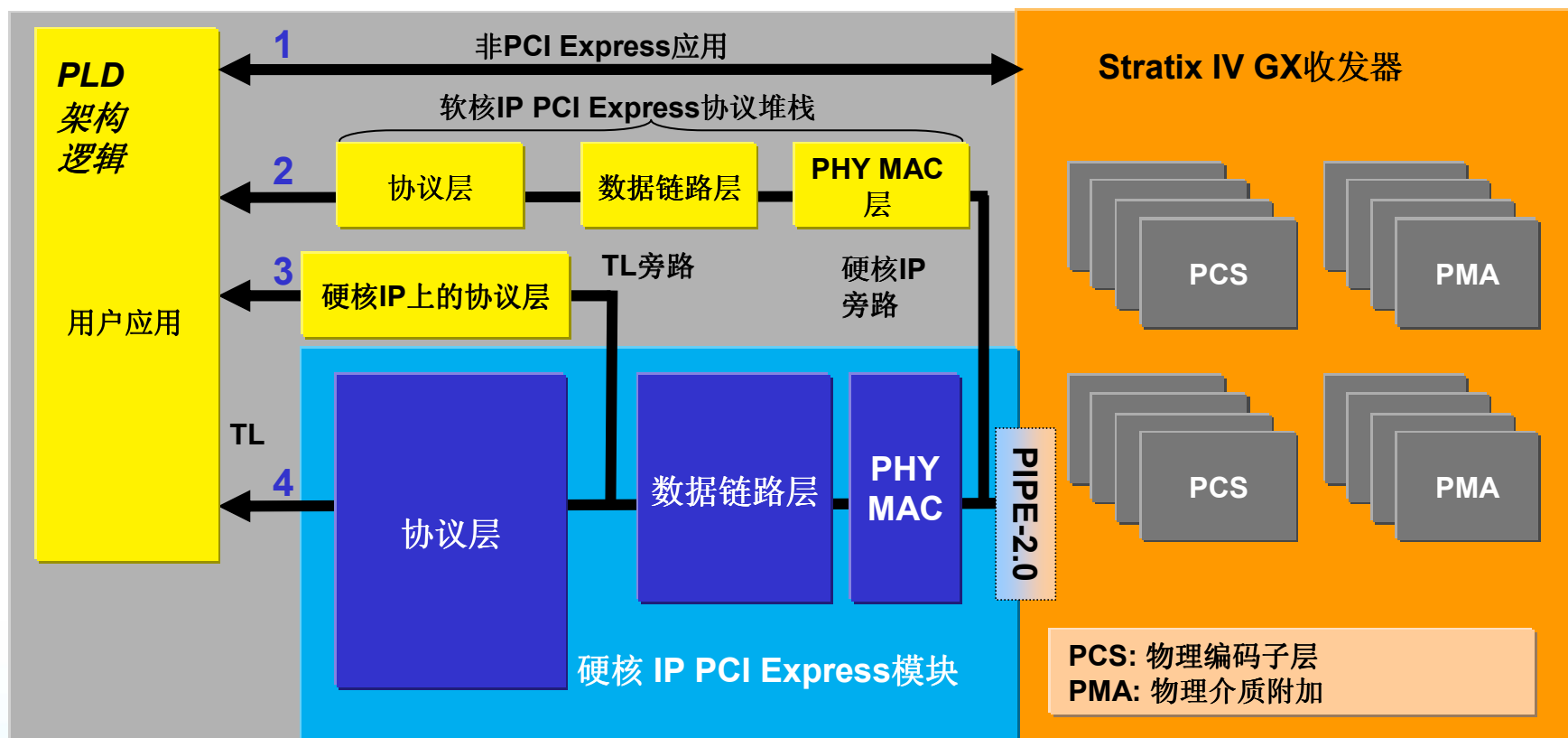
- 抖动性能符合PCI Express、CEI-6和SONET/SDH，并具有余量。
- 内置预加重和均衡，可驱动6.375 Gbps的50” FR-4背板。
- 即插即用的信号完整性，只有Altera能够提供。
 - PVT变化时，监视并优化接收均衡。
 - 支持收发器热插拔
 - 通过www.altera.com观看演示视频，了解怎样实现即插即用信号完整性。



硬核IP在PCI Express上的优势

- 经过预验证的复杂IP模块
 - x8, x4, x2, x1 PCI Express 2.0规范兼容内核(包括1.1版)
 - 集成TL、DLL、PHY/MAC和收发器
 - 每通路2.5 Gbps (Gen1)和5 Gbps (Gen2)
- 降低器件成本
 - 在更小的FPGA中完成设计
 - 节省资源
 - 高达40K的逻辑单元(LE) (x8 Gen2配置)
 - 嵌入式存储器缓存
 - 重传缓存
 - 接收缓存(每个VC)
- 相对于软核IP实现，降低了功耗。
- 更短的设计和编译时间

PCI Express的硬核IP



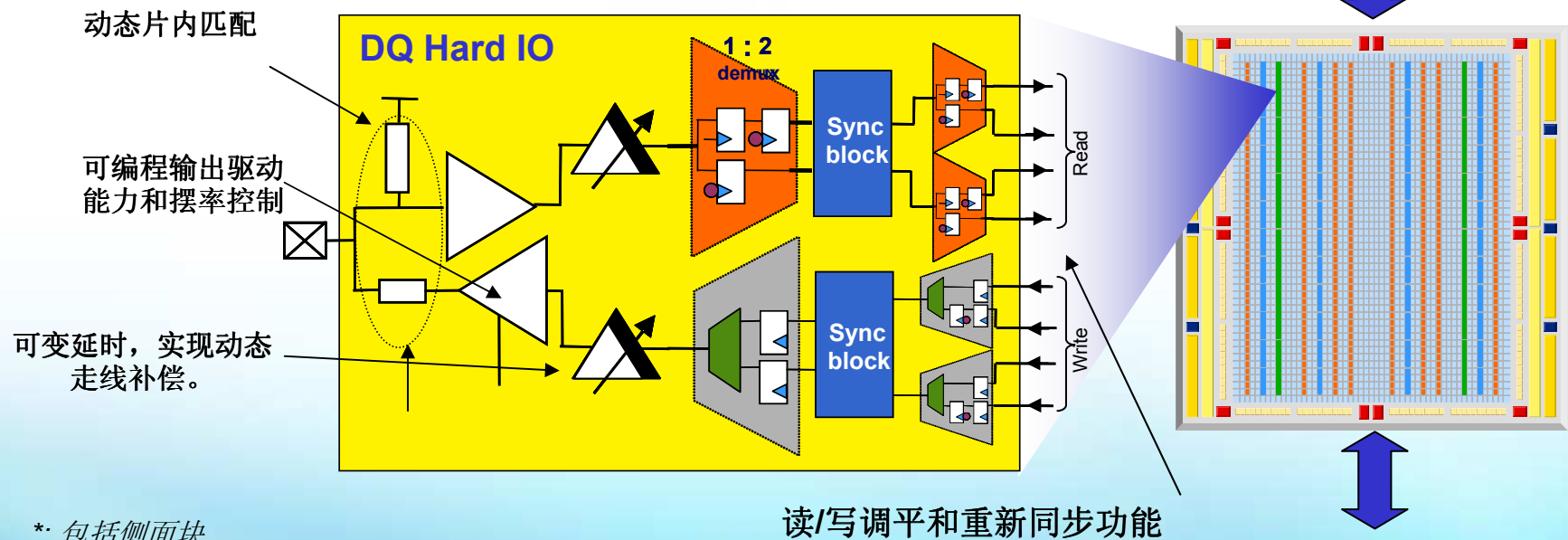
1. 没有PCI Express内核 (XAUI, GbE, SRIO, 等...)
2. 软核PCI Express IP协议堆栈
3. 硬核IP DL和PHY MAC上的软核PCI Express IP协议层
4. 硬核Gen1/Gen2 x8, x4, x1 EP/RP硬核IP (HIP)协议堆栈

标注



性能最好的存储器接口

- Altera创新实现了1,067 Mbps/533 MHz的DDR3
 - 智能接口模块，具有PVT自动校准。
- 动态片内端接节省了1.0 W的功耗 (72位I/F)
- 丰富的存储器带宽，支持新一代应用：416 Gbps (333 MHz)、463 Gbps (400 MHz)、556 Gbps (533 MHz)*



*: 包括侧面块

© 2008 Altera Corporation—Confidential

Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation



Stratix III和Stratix IV I/O性能

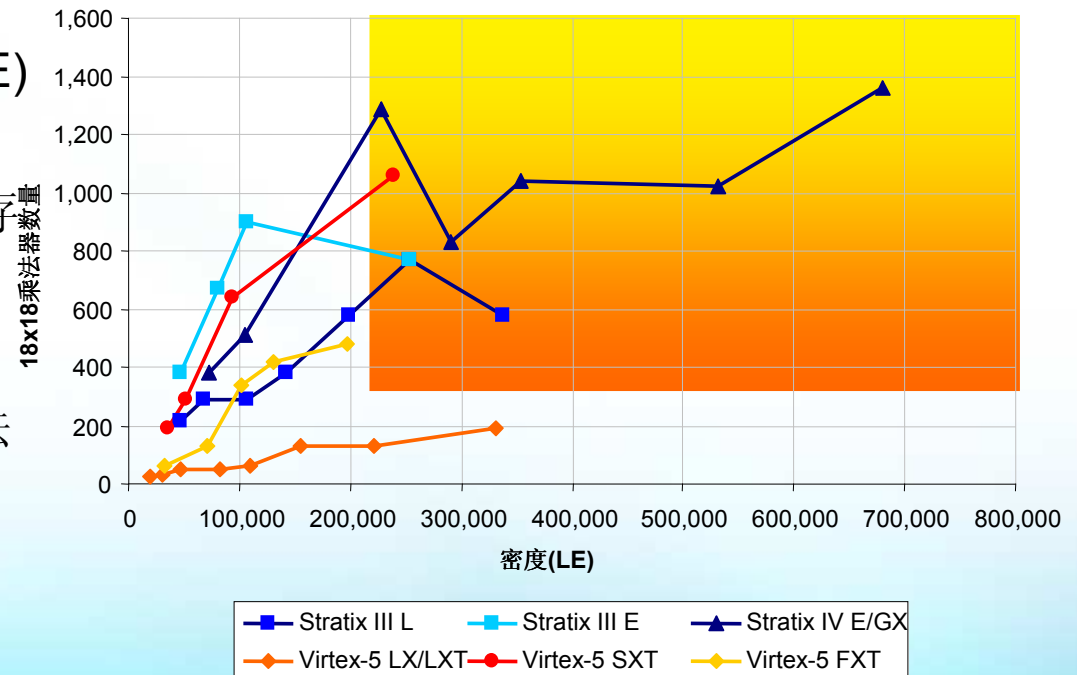
	Stratix III, Stratix IV FPGA
互联	性能
DDR3	>533 MHz / 1,067 Mbps
DDR2	400 MHz / 800 Mbps
QDR II	350 MHz
QDR II+	400 MHz
RLDRAM II	400 MHz
LVDS	1.60 Gbps

I/O特性	Stratix III, Stratix IV FPGA	优点
动态片内匹配	✓	降低功耗
DDR3 读/写调平	✓	DIMM 支持
可变 I/O延时	✓	支持信号去 斜移

24个I/O块分布在所有侧面，大大提高了灵活性

内核架构创新

- 宽带接口与高密度、特性丰富的高性能内核架构相结合
- 密度提高两倍以上
 - Stratix IV GX FPGA为530K LE, Stratix IV E FPGA为680K LE
- 嵌入式存储器
 - 高达20.3/22.4 Mbits (GX/E)
 - 性能达到600 MHz
 - 提高了效率, 增大了内部存储器带宽。
- DSP
 - 1,288/1,360个18 x 18 乘法器 (GX/E)
 - 性能达到550 MHz



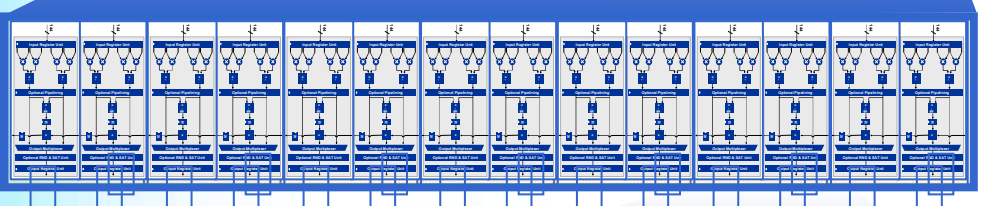
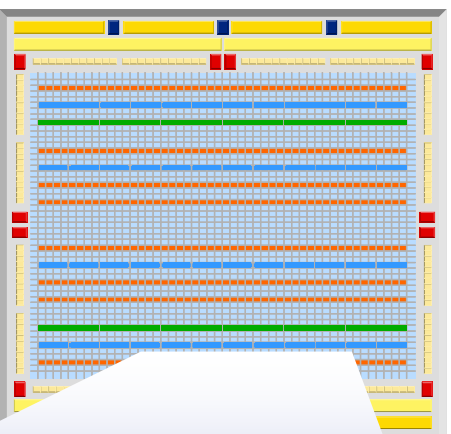
TriMatrix嵌入式存储器

- 双端口RAM、ECC、低功耗模式

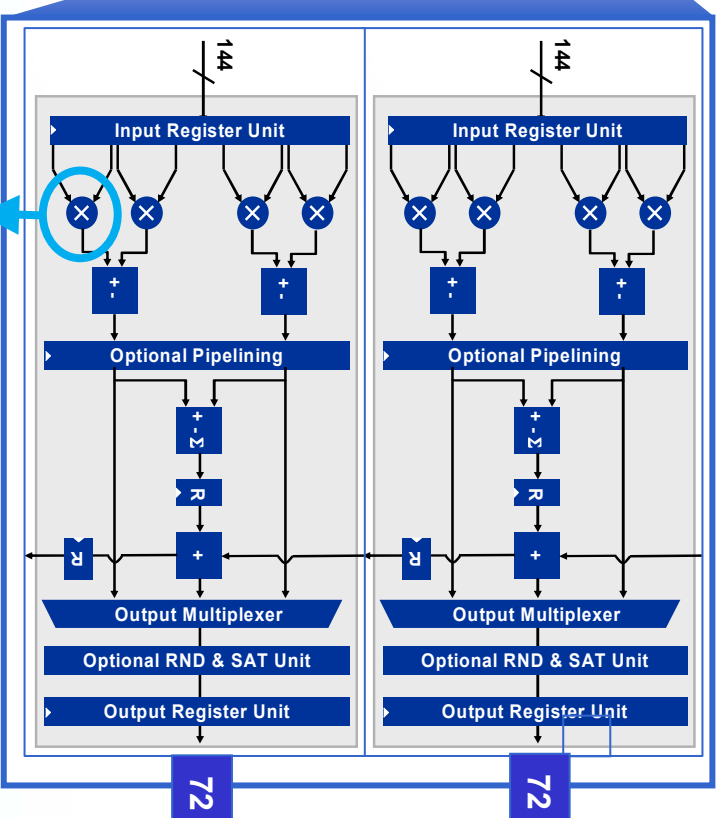
存储器功能	Stratix IV器件	存储器
<ul style="list-style-type: none"> ■ 处理器代码存储 ■ 数据包缓冲 ■ 外部存储器I/F高速缓存 ■ 视频帧缓冲 	<ul style="list-style-type: none"> ■ 16–64 M144K (2048 x 72位) ■ 600 MHz 	<p>M144K</p> 
<ul style="list-style-type: none"> ■ 通用存储器 	<ul style="list-style-type: none"> ■ 462-1,280 M9K (256 x 36位) ■ 600 MHz 	<p>M9K</p> 
<ul style="list-style-type: none"> ■ 移位寄存器 ■ 小FIFO缓冲 ■ 滤波器延时线 	<ul style="list-style-type: none"> ■ 50%的逻辑可以转换为 MLAB ■ 600 MHz 	<p>MLAB</p> 

优化面积，实现最佳存储器/逻辑比，提高存储器带宽

通过并行提高DSP性能

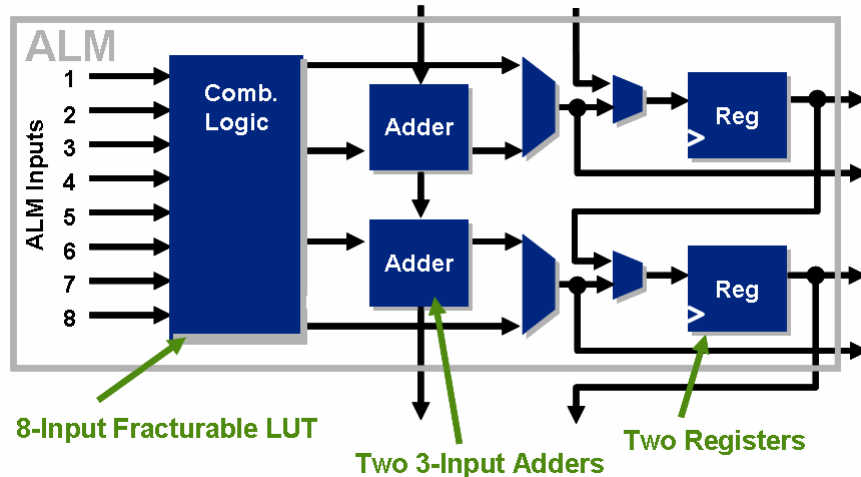


- 最佳DSP/存储器/逻辑比
- 每个18 x 18乘法器资源:
 - 400个寄存器
 - 17-Kbit嵌入式存储器
 - 500个LE



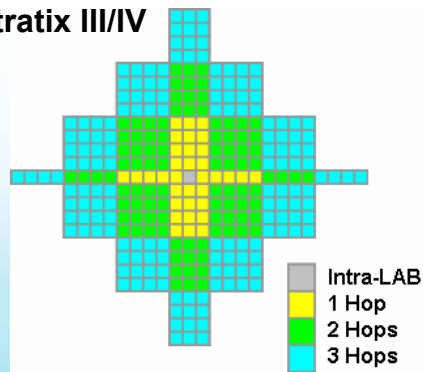
18 x 18乘法器总数 = 1360
 最大时钟频率 = 550 MHz
 DSP性能 = 1360 * 550 MHz
748 GMAC/S

优化体系结构，提高性能

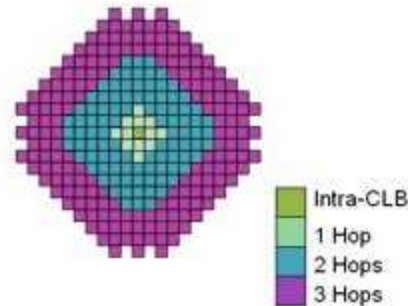


- 最先进的FPGA体系结构
 - 自适应逻辑模块(ALM)以更短的时间完成逻辑操作
 - 多走线资源互联
 - 可实现高性能总线
- 更快地到达更多的逻辑
- 高性能数据更高效地通过系统

Stratix III/IV

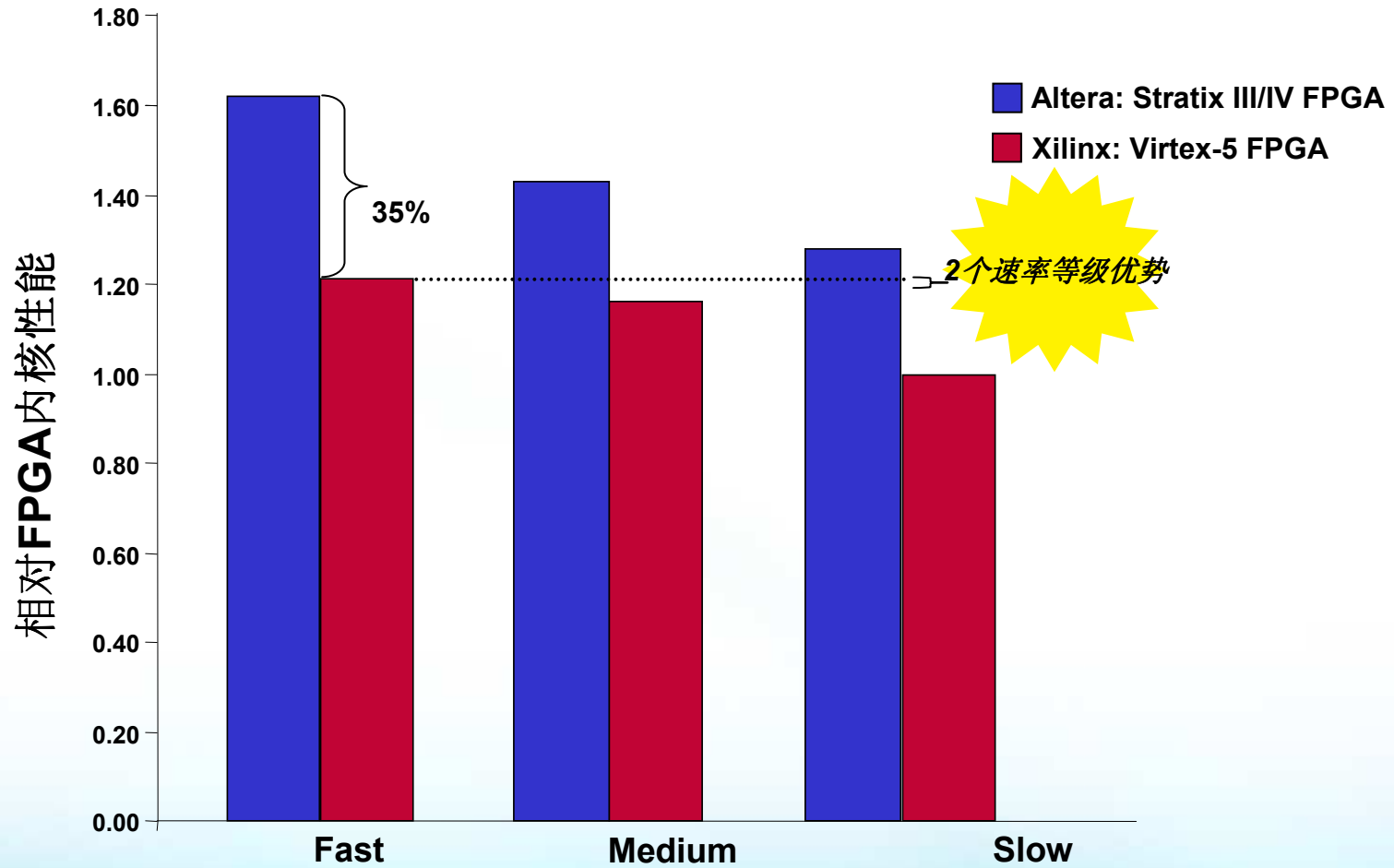


Virtex 5



	可到达ALM数量		优点
跳数	Stratix IV	Virtex-5	Stratix IV比Virtex-5多
1	850	132	6.4
2	2400	1056	2.3
3	4000	1980	2.0
总计	7250	3168	2.3

Stratix III/IV FPGA性能最好



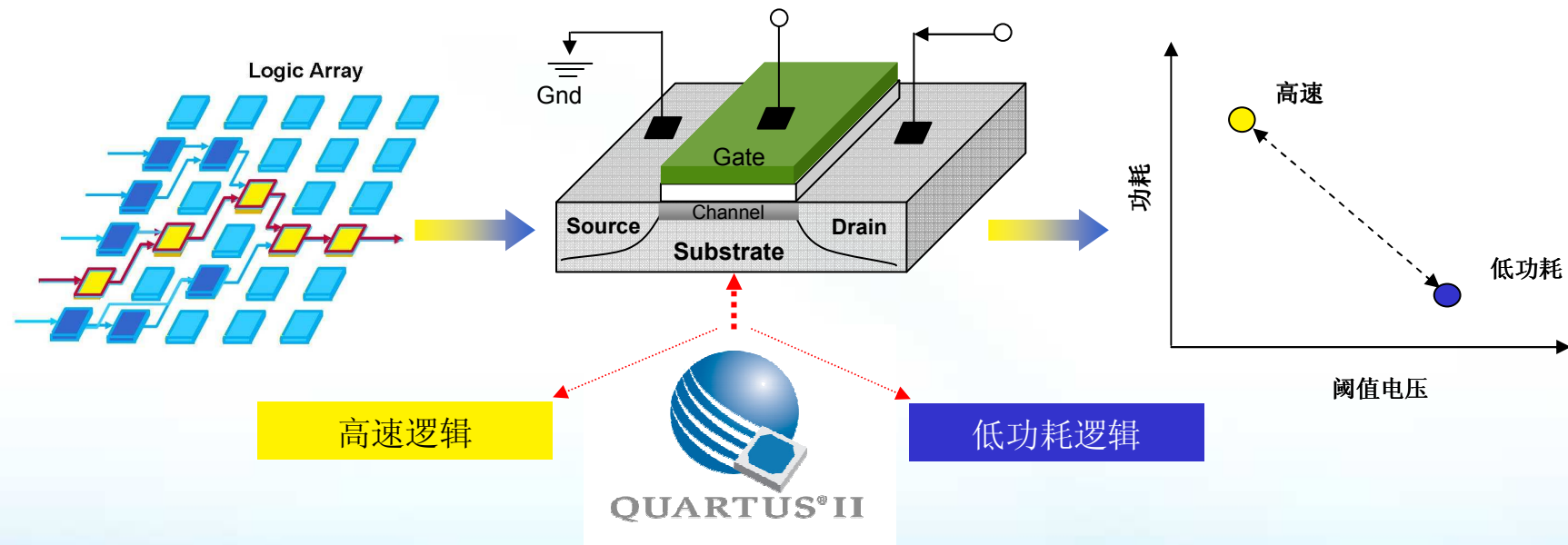
Stratix III/IV FPGA有2个速率等级优势，降低了功耗和成本

高性能的优势

- 产品更迅速面市
 - 简化了时序逼近
- 在恶劣条件下，提供了额外的工作余量。
- 降低了成本和功耗
 - 以低速率等级器件达到性能目标
- 支持今后的系统升级
- 性能余量可以满足额外的设计需求

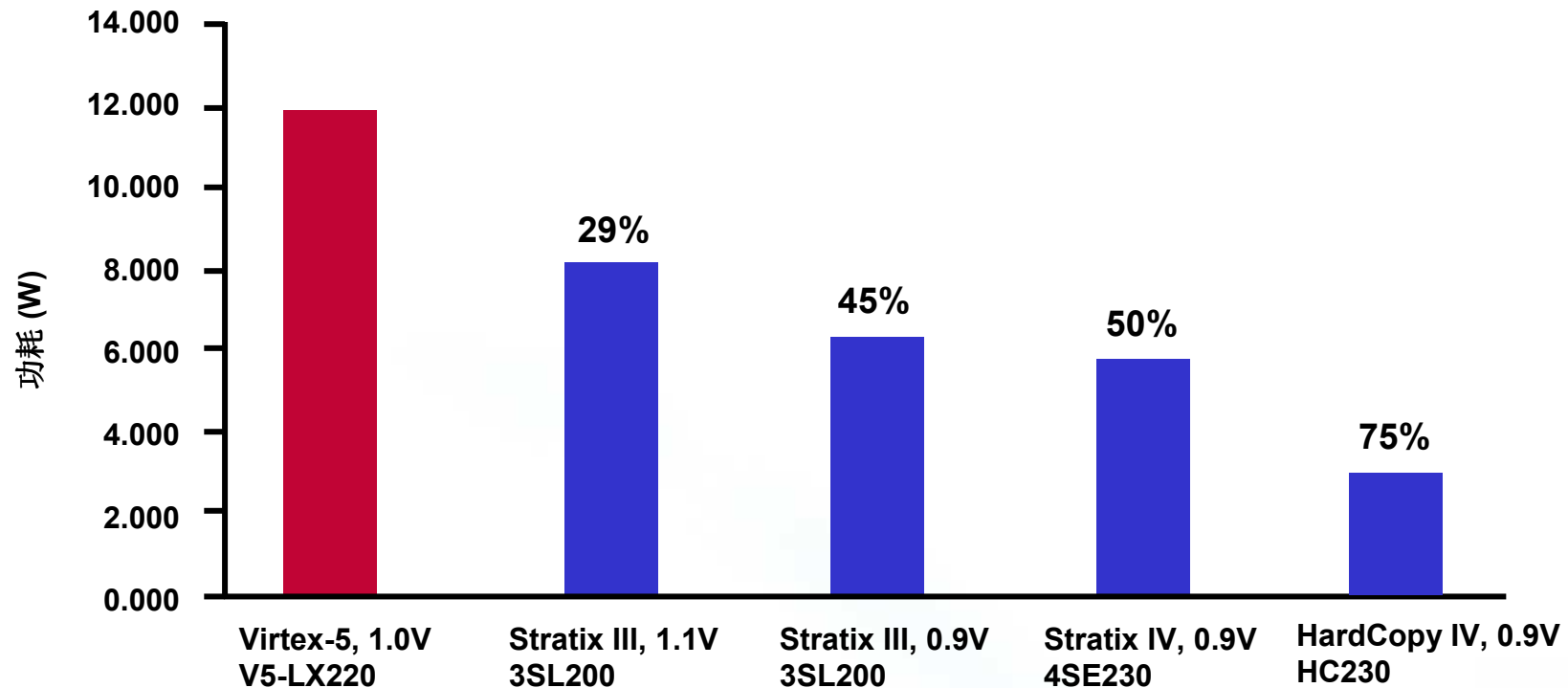
功效 = 最大性能/瓦

- 40-nm工艺优势降低了功耗
- 可编程功耗技术



高性能随您所需，低功耗无处不在

每个器件降低了几瓦的功耗(200K LE)

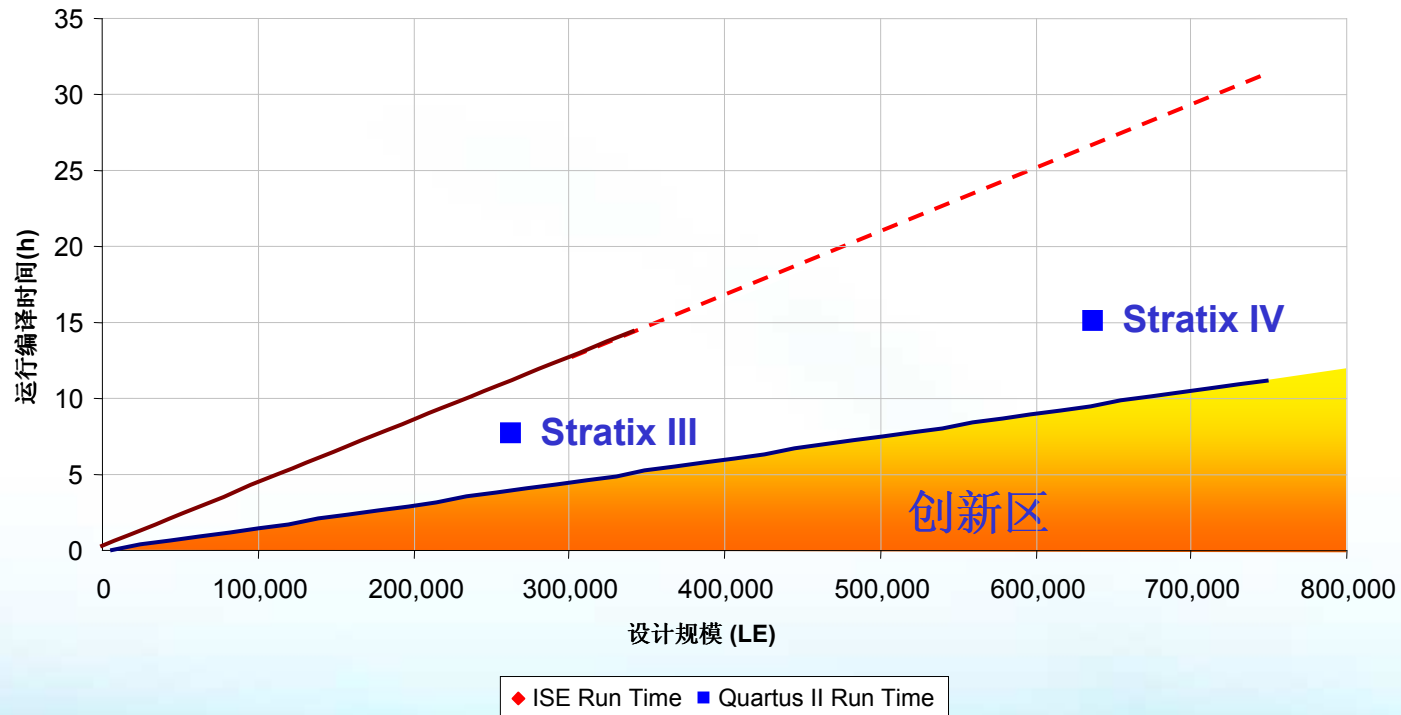


**Stratix IV FPGA 功耗降低 50%,
HardCopy IV ASIC 功耗降低 75%**

注释：总功耗基于200 MHz时60%的逻辑(ALUT和FF)，每一类型的存储器使用了25%，50%的DSP 18 x 18块，以及在64入/64出1.8-V LVCMOS (200 MHz)，128入128出 2.5-V LVCMOS (200 MHz)，32入/32出(LVDS的800 MHz)和72引脚DDR3接口上功耗的降低。

Quartus II软件的设计效能

- Altera是唯一提供多处理器支持的FPGA供应商
- Quartus II软件需要更少的存储器
- 更短的编译时间，更高的逻辑利用率。



您能忍受等待**24**小时才能出结果吗？

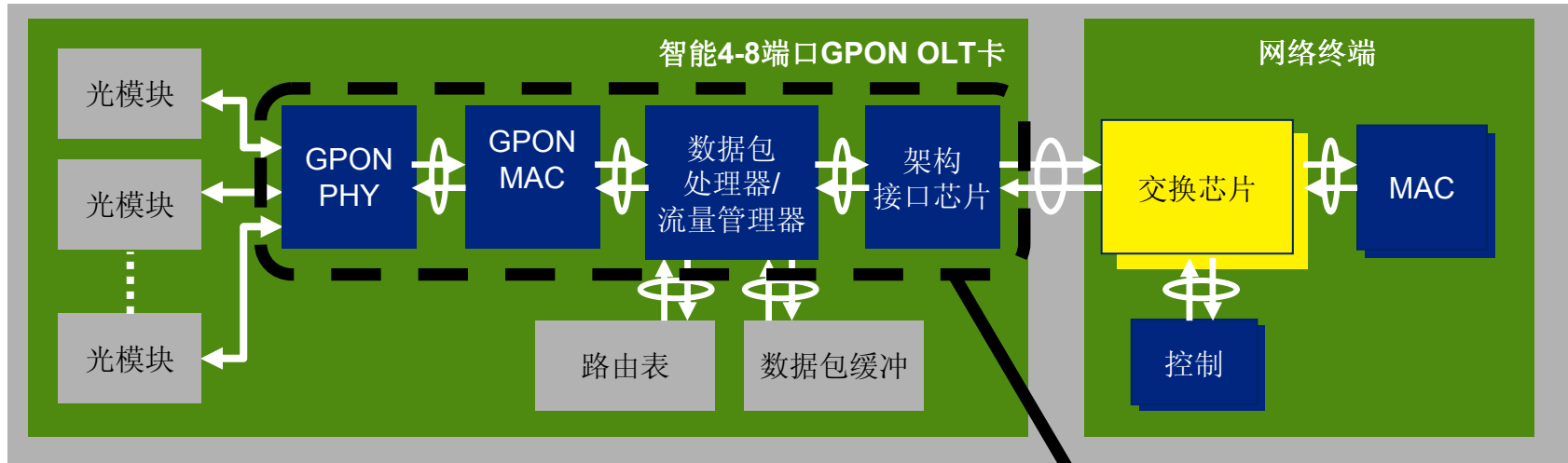
全面SoC集成的解决方案

- **Altera的解决方案服务链，您可以作出“做”还是“买”的决定**
 - 做：使用Altera以及合作伙伴的IP和工具来设计您自己的解决方案
 - 买：借助Altera合作伙伴实现全面的SoC集成
- **SoC入门套件适用于无线、固网、军用、广播、计算机和存储等关键应用**
 - MegaWizard®插件管理器提供技术IP支持
 - DSP Builder提供数字信号处理解决方案支持
 - Nios® II嵌入式处理器的嵌入式处理解决方案
 - SoC集成工具(SOPC Builder)提高了设计效率
- **使用低风险FPGA原型至HardCopy ASIC量产方案，具有FPGA和ASIC的优势。**
 - 产品及时面市、灵活性和低风险
 - 低成本、低功耗

马上启动您的定制SoC开发!

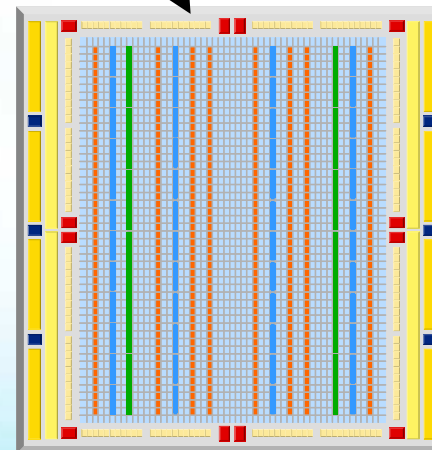


单片FPGA实现系统集成



设计要求

- > 320K逻辑单元(LE)
- > 15-Mbit内部存储器
- > 300-MHz工作频率
- 收发器:
 - 8x 2.5 Gbps GPON
 - 16x 3.125 Gbps XAUI
- < 15W总功耗
- 128位DDR3 > 333 MHz
- 移植到HardCopy® ASIC



Stratix IV
EP4SGX360



© 2008 Altera Corporation—Confidential

Altera, Stratix, Arria, Cyclone, MAX, HardCopy, Nios, Quartus, and MegaCore are trademarks of Altera Corporation

Stratix IV FPGA——真正的 SoC 解决方案

- Altera 40-nm Stratix IV FPGA支持进行彻底的创新
 - 前所未有的系统带宽
 - 最高的密度
 - 最好的性能
 - 最低的功耗
- Quartus II软件的效能优势
- 为纵向市场提供系统解决方案、工具和IP
- HardCopy IV ASIC无缝原型开发



Stratix IV FPGA具有**FPGA**”与”真正芯片系统集成的优势

了解详细信息，然后开始设计!

- 了解详细信息
 - 网播：介绍Altera的40-nm解决方案
 - 网播：采用高级收发器技术降低SSN和抖动
- 开始设计
 - 下载Quartus II软件8.0 (2008年6月2号开始提供)



谢谢

ALTERA®