

D类放大器电路板布局指南

作者: John Widder 和 Simone Ferri
意法半导体公司 (ST)

介绍

如果没有遵循一些基本的布局指南, PCB 设计将会限制 D 类放大器的性能或降低其可靠性。下面描述了 D 类放大器一些好的 PC 板布局实践经验。采用带有两个 BTL 输出的 STA517B(每通道 175 瓦)数字功率放大器作为范例, 但对所有的 D 类放大器而言, 其基本概念是一致的。

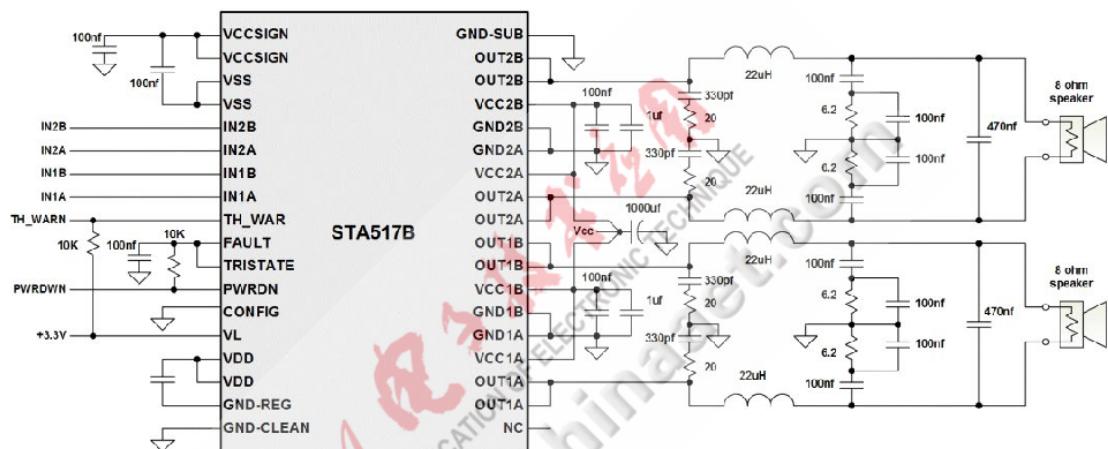


图 1: 立体声 BTL D 类功率放大器原理图

地平面

良好的地平面是优质 D 类放大器布局的关键。如果可能应将电路板的底层作为一个专有的地平面，完整的地平面可以提供最佳性能和最可靠的设计。如果你不得不在电路板的底层布信号线或电源走线，须尽可能的短。如果必要，为了使底层走线短距离，应将走线引回到电路板的顶层，从而避免在底局长距离走线。

利用过孔将电路板的顶层器件与电路板底层的地平面连接。但是，过孔仍会堵塞电流回流到地平面，因此须灵活的使用这些过孔。

直接在放大器之下的区域须敷铜。如果放大器在其封装的底部有一个裸露的焊盘或插件，那么 IC 必须焊接到放大器下放的地，如此可以作为放大器的扇热区。在这种情况下，地必须从 IC 正下方向两边引出，这样可以确保其裸露。放大器下面的地须打上许多过孔，通过过孔向电路板的底层扇热，因此它还可以作为一个扇热区域。

放大器的正下方是不建议走信号线的。须打几个过孔和地平面相连以确保所有器件彼此之间的地参考点有一个直接和低阻抗的路径。这对输出滤波器是尤为重要的。所有的滤波地必须有一个直接路径回流到放大器正下方的地平面。

电源旁路电容

为确保稳定性及抑制噪声和串扰，对电源加旁路电容是非常重要的。放大器的输出级吸收了大量的电流，且开关动作迅速。当输出开关动作时，旁路电容和放大器电源输入引脚之间的寄生电感会产生很大的毛刺，因此寄生电感必须保持尽可能的小。为了能在放大器功率级减小杂散电感和旁路电容之间谐振的影响，须在每个电源输入管脚需使用一个 100nF 的电容与 1uF 的电容并联。

100nF 的电容必须和 IC 尽可能的靠近(通常不超过 2 毫米)。而且，如图 1 所示，旁路电容必须和 IC 在同一层，以便减小总路径长(和杂散电感)。1uF 的电容须依次放置，和 100nF 电容紧靠在一起。

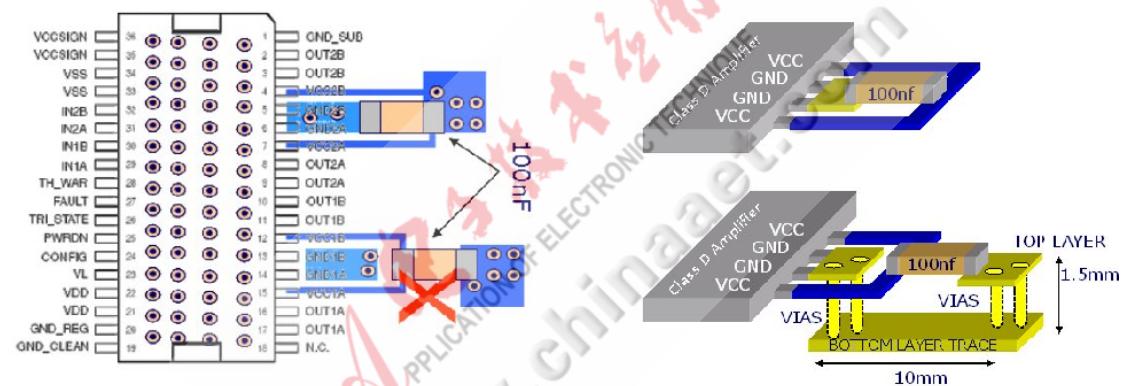


图 2：利用电路板的底层为 100nF 电容进行地连接，如此将明显的增加总走线长且对电路板性能会产生不良影响。

还需采用大体积储能电容在放大器的电源输入进行去耦。大体积储能电容的容值依赖于放大器所要求的电流量。大体积储能电容须和放大器以及电源管脚星形连接，且必须和放大器尽可能的靠近(理想情况是小于 30 毫米)。

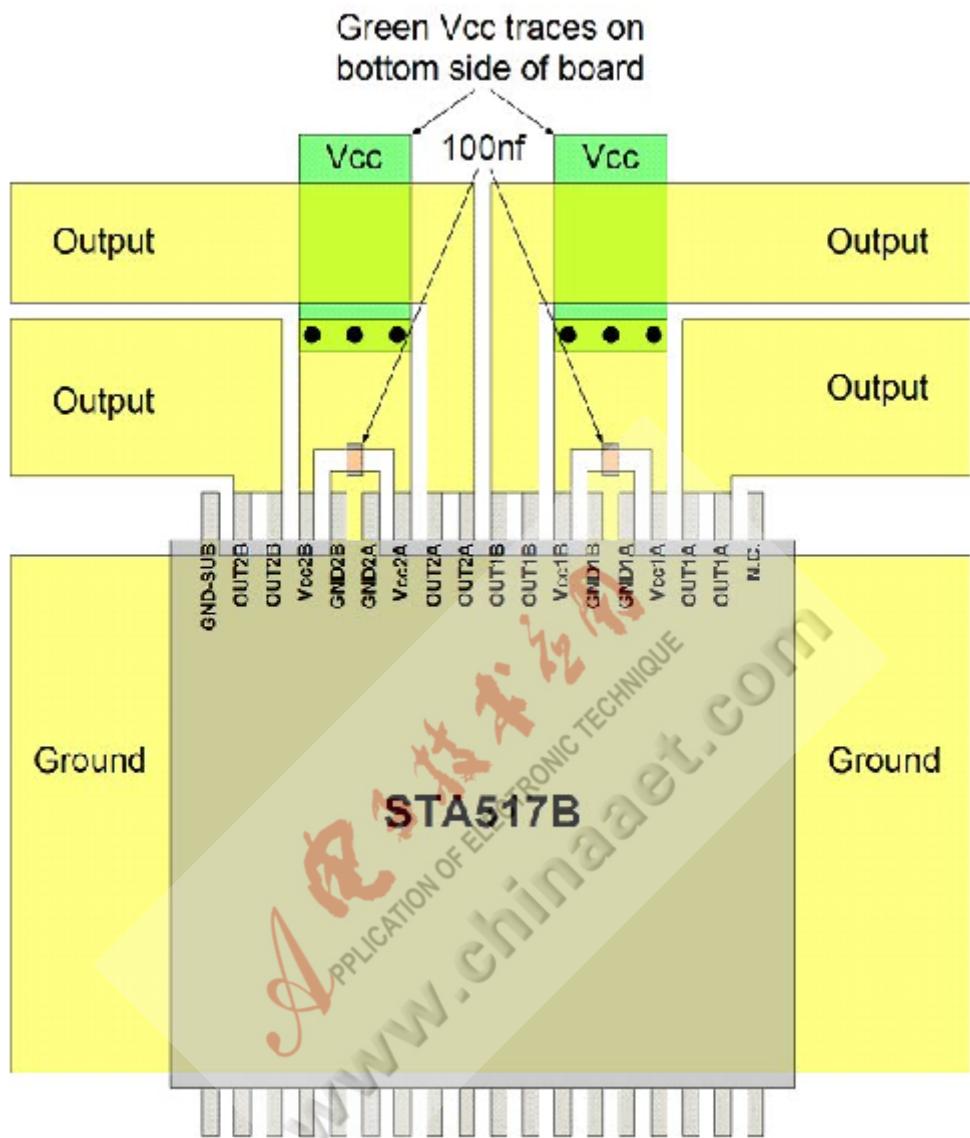


图 3: 100nF 旁路电容须紧靠 IC 放置。

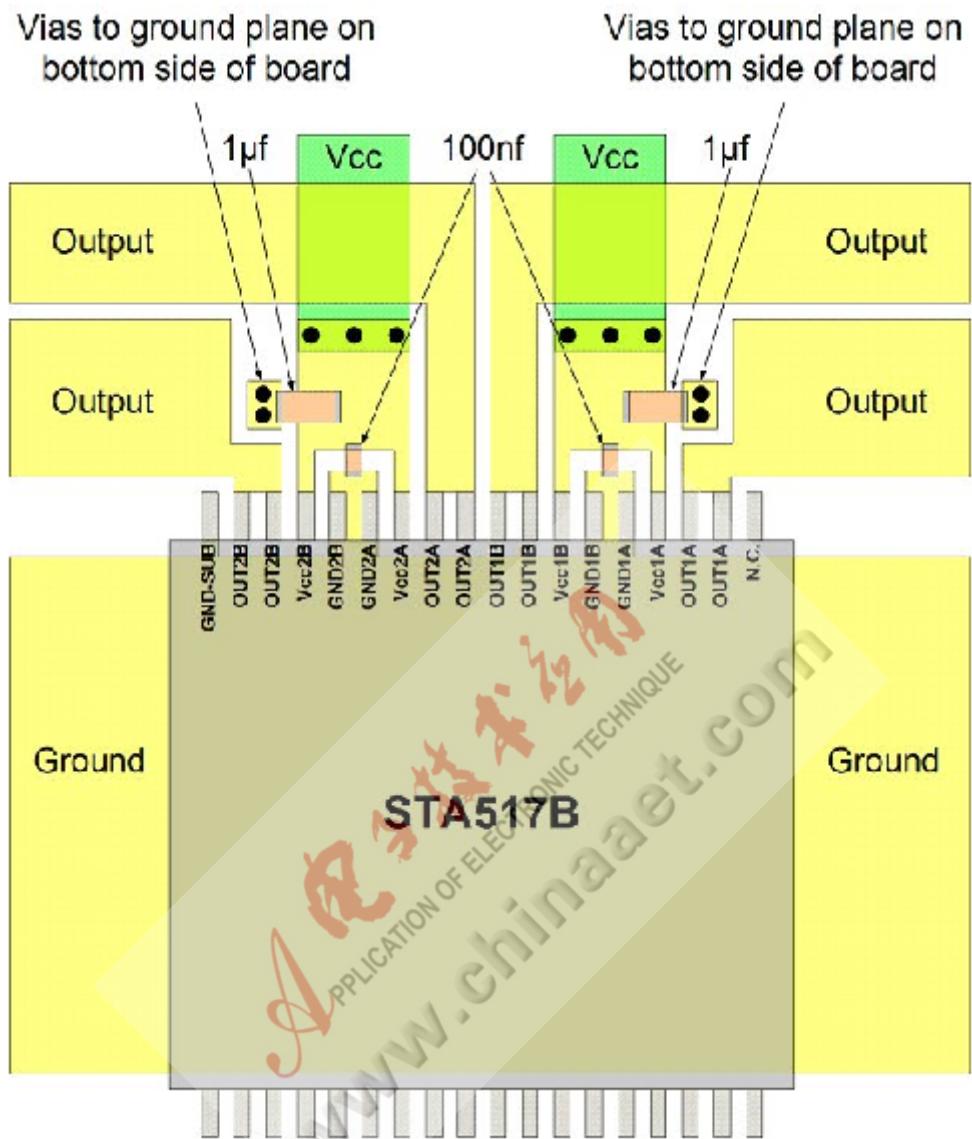


图 4: 1uF 电容需放置在 100nF 电容之后, 通过过孔将 1uF 电容和电路板底层的地平面连接。

缓冲器

缓冲器件须在旁路电容的外围部分随后放置。从放大器输出经由缓冲器到旁路电容地的回流路径必须尽可能的短 (或对差分形式的缓冲器会回流到放大器)。

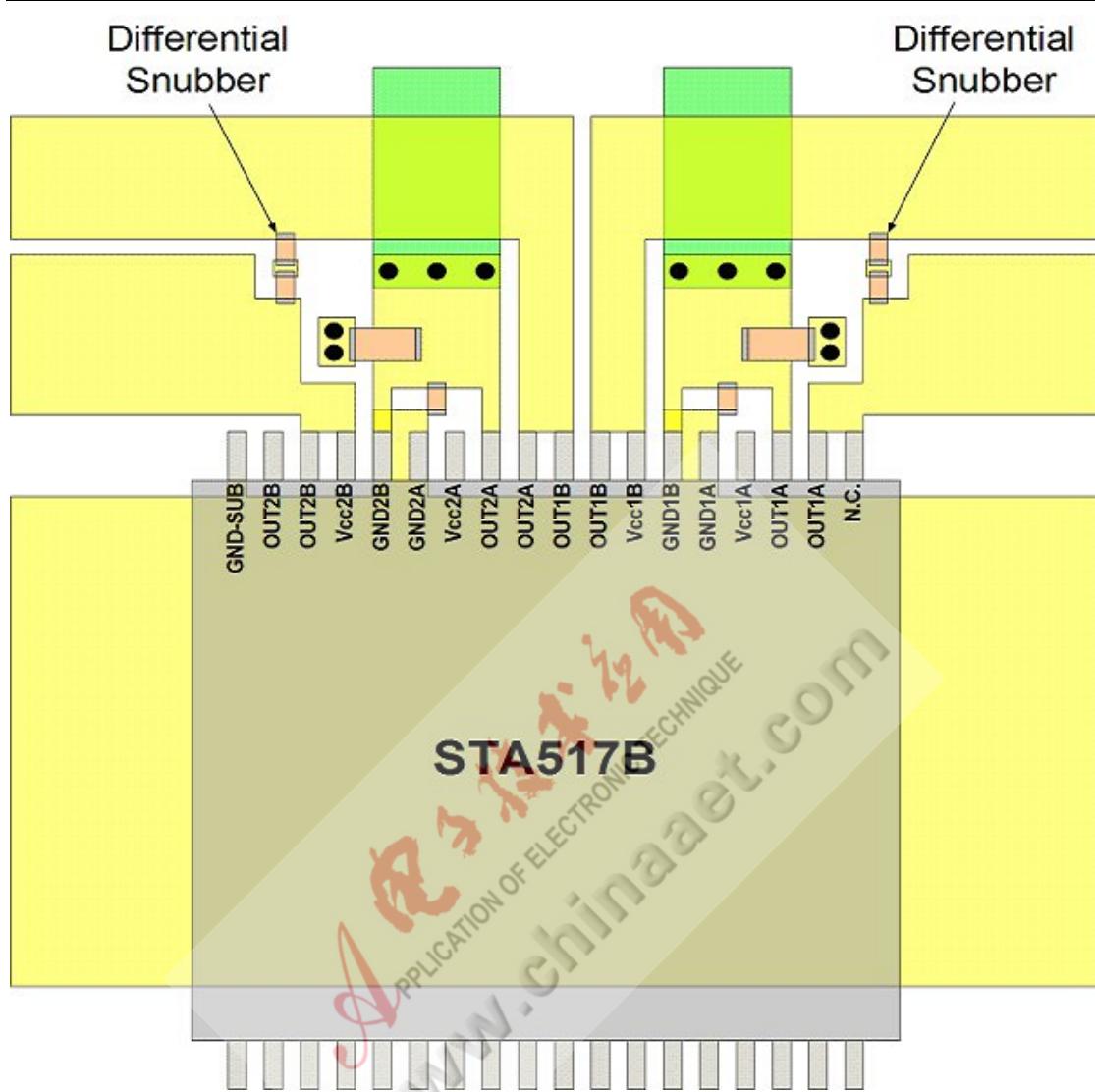


图 5: 缓冲器件需随后放置。该图表明了差分缓冲器的布局情况, 图中的缓冲器件是在一个 BTL 放大器的两个输出端之间直接相连的, 无须连接任何的地。

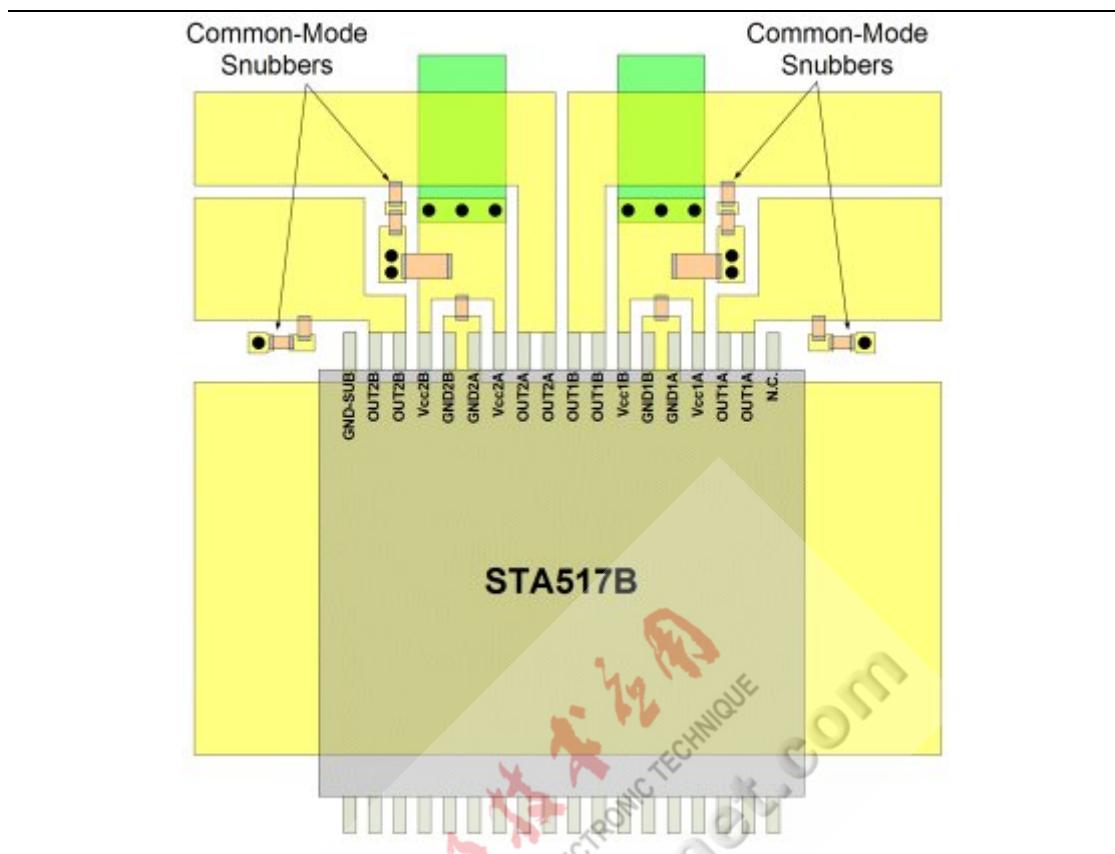


图 6：该图表明了一个共模缓冲的布局，缓冲器的每一个输出和地相连。共模缓冲与差分缓冲相比能提供更好的性能。

电源电解电容

电解电容和滤波电感须放置在缓冲器之后。电解电容须和所有 IC 的高电压电源输入管脚尽可能近的放置。

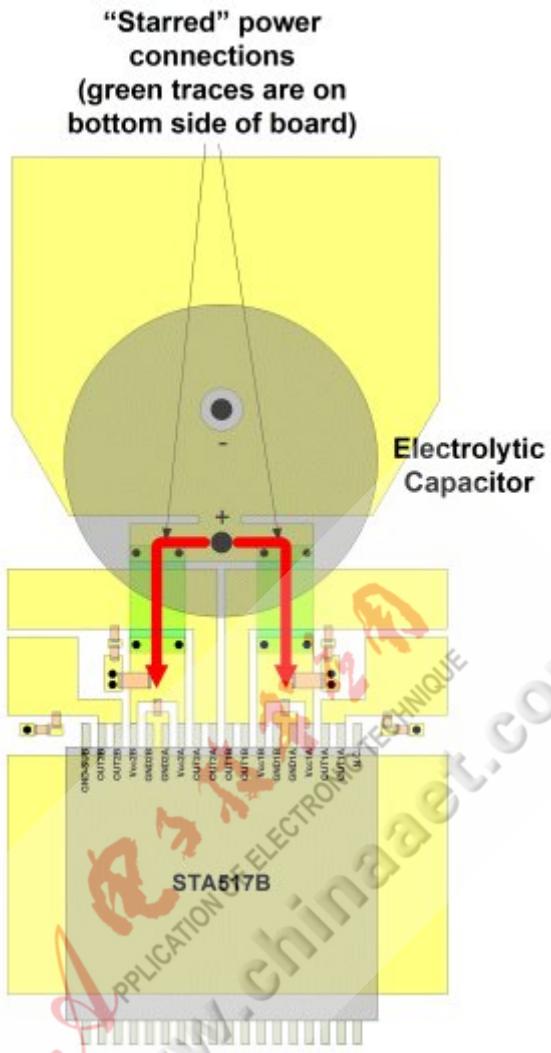


图 7: 电解电容布局

电解电容和放大器之间须是“星型”连接，这样可减小由于和同一电容相连的另一放大器的压降所造成的影响。多个放大器之间的菊花链电源会引起噪声、串扰和稳定性问题，即便是采用宽走线方式也无济于事。

如果电路板上的 D 类放大器 IC 超过了 1 个，则每个 IC 必须有各自的电解电容。如果有超过一个的电解电容，那么电解电容与电源之间的连接也务必是星型方式。

总之，诸如 VCC 和输出信号路径的处理高电流的走线务必尽可能的宽且短，这样可以充分的减小走线阻抗和感抗。VCC 和输出走线具有高电压和高电流，因此它们必须远离敏感信号和器件，如时钟和 PLL 等。

输出滤波

输出滤波器件务必紧随其后。从放大器输出到电感以及从电感到薄膜电容的路径承载着具有大量高频成分的大电流，因此该路径必须尽可能的宽且短，从而减小杂散阻抗和感抗。

电感和放大器必须尽可能近的放置，同时还要和临近的电感之间保持一定的距离。如果使用开磁路电感，则为了抑制电磁干扰，这些电感彼此之间至少要有 7.5 毫米间距，尤其是不同通道之间的电感更应如此。

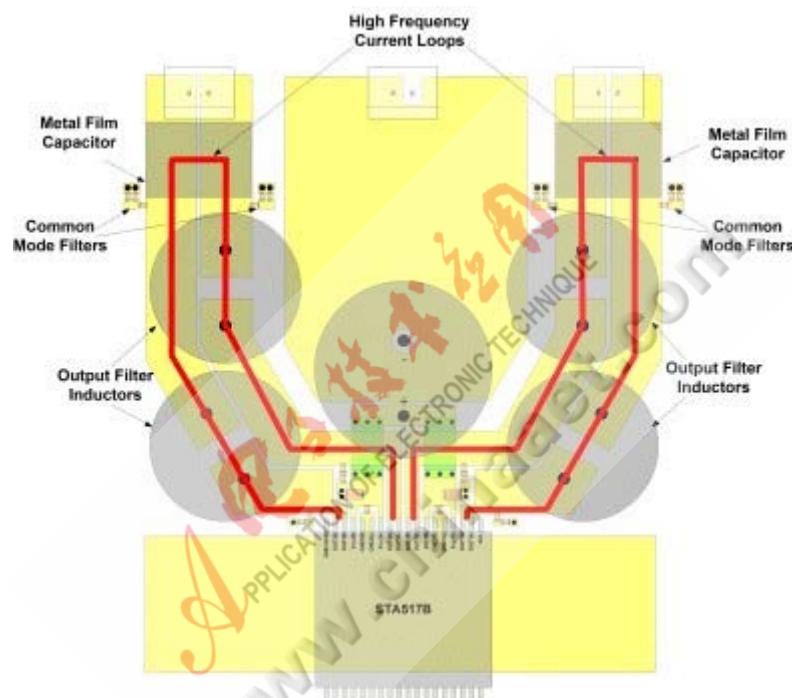


图 8：输出滤波器件和高频电流路径的布局

输出滤波器件和走线的位置对降低 EMI 是至关重要的。对低通滤波器而言，走线之间的回路面积须尽可能的小。对单端输出的放大器来说，放大器的回流路径就是地，因此回路面积须小。只要电路板上有一个良好的地平面便可实现此点要求。

对于带有 BTL 输出的放大器来说，滤波环路面积是连接 IC 的走线、滤波电感和薄膜电容之间的面积(见图 5)。为了减小环路面积，BTL 输出滤波的走线必须相互平行且尽可能的保留一定的走线间距。但是，每个独立通道的输出走线可以不必彼此相邻。

低通滤波电容和共模滤波器件必须和电感尽可能的靠近。针对具有单端输出的放大器，DC 阻塞电容必须随后放置。和扬声器相连的输出连接器必须和滤波器尽可能的紧密布局。

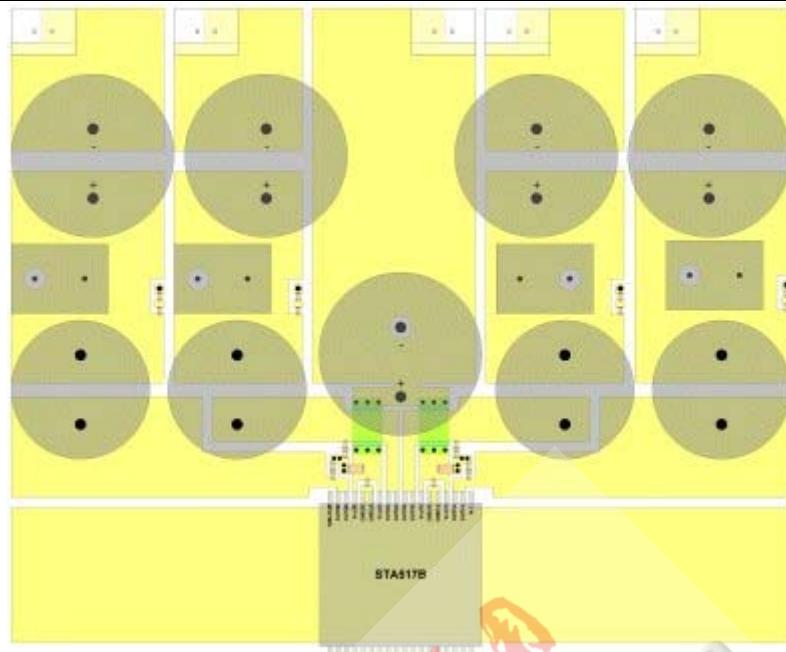


图 9：四通道单端放大器输出布局示例

电路板布局建议总结

器件布局优先级：

- 1) 100nF 电源旁路电容
- 2) 1uF 电源旁路电容
- 3) 缓冲器件
- 4) 电解电容
- 5) 输出滤波器件

- 100nF 和 1uF 去耦电容必须和 IC 尽可能近的放置。100nF 电容和 IC 之间的间距必须小于 2 毫米。为了减小走线长度和降低杂散感抗，100nF 电容及其与 IC 的连线必须和 IC 在电路板的同一层。
- 100nF 电容必须是 X7R 叠层陶瓷芯片电容 (MLC)。1uF 电容必须是钽电容或 X7R 叠层陶瓷芯片电容。
- 缓冲网络必须和 IC 尽可能近的布局。采用一个额定值至少 100V 的 X7R 陶瓷电容，并确保电容能够处理功率消耗。
- 从电解电容到 IC 的电源走线须采用星型连接。
- 电源和输出走线必须短且尽可能宽，以便降低杂散阻抗和感抗。

-
- 将输出信号路径紧密布线，以便减小环路面积；同时保持将滤波器件和 IC 尽可能近的放置。
 - 在电路板的顶层尽可能多的布局电路，且尽力将电路板的底层作为地平面。只有在万不得已的情况下才将信号线和电源线走在电路板的底层，而且一定要灵活的使用过孔。
 - 将放大器输入端的低电压电路远离放大器输出端的电源电路
 - 无论何时都要尽可能的使用表贴器件。SMT 器件具有更低的寄生感抗(对旁路电容性能尤为重要)
 - D 类放大器器件需要手工布局布线，不要使用软件的自动布局布线。
 - 总之，为了降低阻抗和感抗，处理大电流的走线如 VCC 和输出信号路径必须尽可能的宽且短。VCC 和输出信号走线仍具有较高的电压和电流，因此这些走线必须远离敏感信号和敏感器件，如时钟信号和 PLL 器件。
 - 采用一个完整的地平面。

关于作者:

Simone Ferri 是意法半导体公司 (ST) 战略市场和应用事业部经理。*Simone* 在 ST 公司工作的八年期间，起初他关注智能卡的应用，然后转向了音频类产品。*Simone* 是米兰大学神学院 MBA 和电子学博士。

John Widder 是 ST 公司市场发展事业部经理。*John* 在 ST 公司工作的八年期间，关注打印机和音频类产品设计和开发。在加入 ST 公司之前，*John* 从事了近 20 年的打印机设计和开发工作。*John* 是波兰大学电子工程学士，华盛顿州立大学工程管理硕士。