



# 硬件工程师必读攻略

如何通过仿真有效提高数模混合  
设计性（上）



---

# 目录：

前言

一、数模混合设计的难点

二、提高数模混合电路性能的关键

三、仿真工具在数模混合设计中的应用

四、小结

五、混合信号 PCB 设计基础问答

---

# 前言：

数模混合电路的设计，一直是困扰硬件电路设计师提高性能的瓶颈。众所周知，现实的世界都是模拟的，只有将模拟的信号转变成数字信号，才方便做进一步的处理。模拟信号和数字信号的转变是否实时、精确，是电路设计的重要指标。除了器件工艺，算法的进步会影响系统数模变换的精度外，现实世界中众多干扰，噪声也是困扰数模电路性能的主要因素。

本文通过 Ansoft 公司的“AD-Mix Signal Noise Design Suites” 数模混合噪声仿真设计软件的对数模混合设计 PCB 的仿真，探索分析数模混合电路的噪声干扰和优化设计的途径，以达到改善系统性能目的。

---

## 一、数模混合设计的难点

数模混合电路设计当中，干扰源、干扰对象和干扰途径的辨别是分析数模混合设计干扰的基础。通常的电路中，模拟信号上由于存在随时间变化的连续变化的电压和电流有效成分，在设计和调试过程中，需要同时控制这两个变量，而且他们对于外部的干扰更敏感，因而通常作为被干扰对象做分析；数字信号上只有随时间变化的门限量化后的电压成分，相比模拟信号对干扰有较高的承受能力，但是这类信号变化快，特别是变化沿速度快，还有较高的高频谐波成分，对外释放能量，通常作为干扰源。

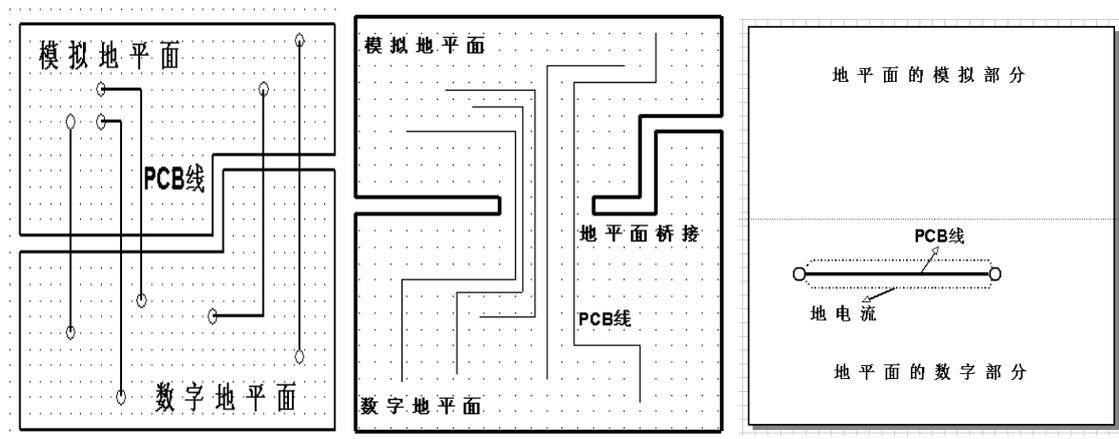
$$\begin{array}{l} \text{模拟电路} \\ \left\{ \begin{array}{l} U = U(t) \\ I = I(t) \end{array} \right. \end{array} \quad \text{数字电路} \quad \bar{U} = U(t)$$

作为干扰源的数字电路部分多采用 CMOS 工艺，从而导致数字信号输入端极高的输入电阻，通常在几十 k 欧到上兆欧姆。这样高的内阻导致数字信号上的电流非常微弱，因而只有电压有效信号在起作用，在数模混合干扰分析中，这类信号可以作为电压型干扰源，如 CLK 信号，Reset 等信号。除了快速交变的数字信号，数字信号的电源管脚上，由于引脚电感和互感引起的同步开关噪声 (SSN)，也是数模混合电路中存在的重要一类电压型干扰源。此外，电路中还存在一些电流信号，特别是直流电源到器件负载之间的电源信号上有较大的电流，根据右手螺旋定理，电流信号周围会感应出磁场，进而引起变化的电场，在分析时，直流电源作为电流型干扰源。

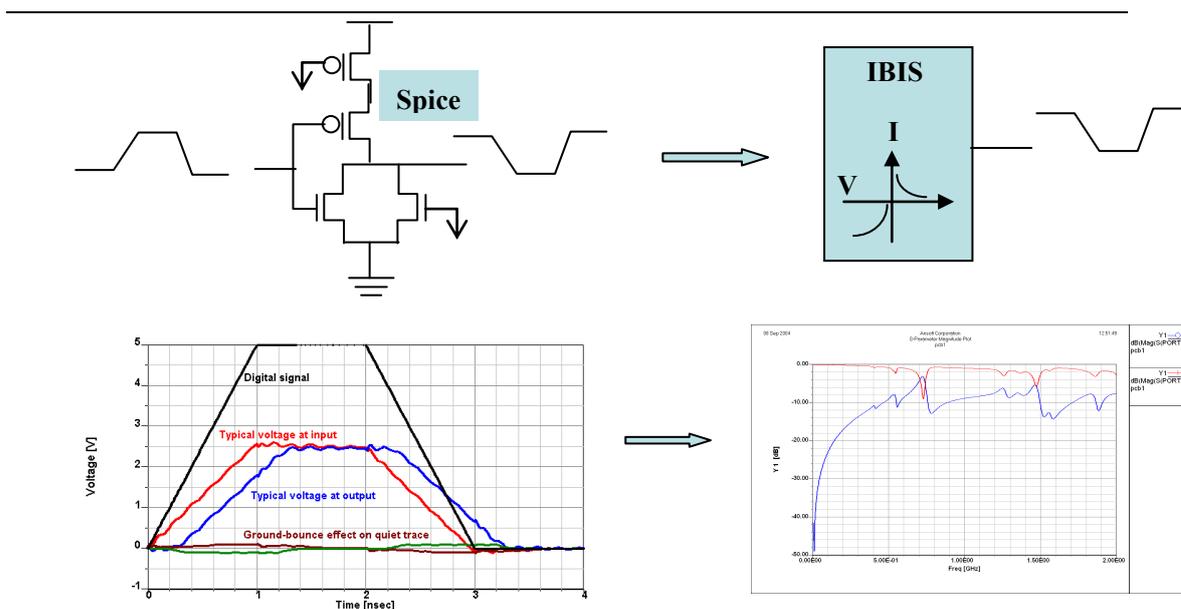
无论电压型还是电流型的干扰源，在耦合到被干扰对象时，既可能通过电路传导耦合，也可能通过空间电磁场耦合，或者二者兼有。然而一般的仿真分析工具，往往由于功能所限，只能分析其中一种。例如在传统的 SPICE 电路仿真工具中，只考虑电路传导型的干扰，并不考虑空间电磁场的耦合；而一般的 PCB 信号完整性 (SI) 分析工具，只考察空间电磁场耦合，将所有的电源、地都看作理想 DC 直流，不予分析考虑。耦合路径提取的不完整，也是困扰数模混合噪声分析的重要原因。

数模混合设计中，电源和地的划分，是业内争论的焦点。传统的设计中，数字模拟部分被严格分开；然而随着系统越来越复杂，数模电路集成度不断提高，分割又会造成数字信

号跨分割，信号回流不完整，进而影响信号完整性，另外，电源的分割还造成电源分配系统的阻抗过高；有人提出“单点连接”：还是做分割，但是在跨分割的信号下方单点连接以避免跨分割问题；但是如果数模之间信号很多，难于分开，这种“单点连接”也存在困难，因而又有人提出不分割，只是保持数字和模拟部分不要交叉；还有一些资料介绍，在跨分割的信号旁边包地线或者并联电容，用来提供完整回流路径。无论哪种方法，似乎都有一定道理，而且都有成功的先例，然而所有这些分割方案的有效性以及可能存在的问题，一直没有检验的标准。



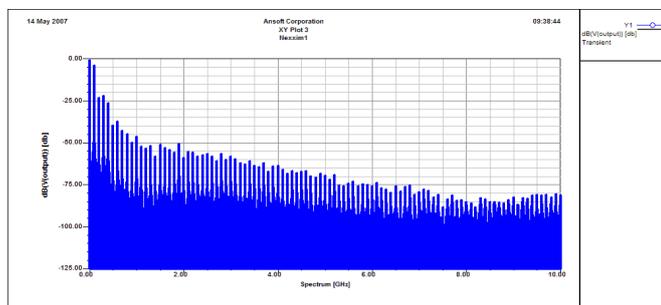
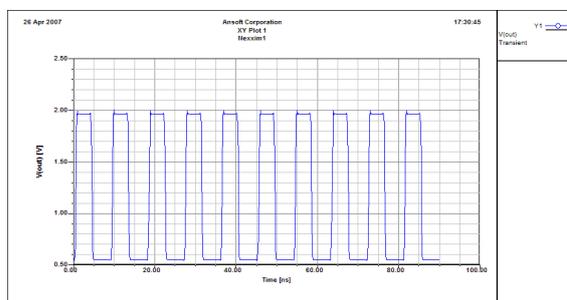
数模混合电路的仿真，还存在模型的问题。业界普遍接受的模拟电路仿真模型还是 SPICE 模型，数字电路信号完整性分析使用 IBIS 模型。多家 EDA 公司的仿真软件已经推出支持多种模型的混合模型仿真器，然而摆在设计师案头的主要困难是器件模型，特别是模拟器件模型很难得到。在数字设计看来，时域的瞬态分析，即某一时间点上确定的电压值，是仿真的主要手段，就像调试中的示波器那样直观。没有精确的模型，瞬态分析就无法实现。然而对模拟设计，特别是噪声分析，激励源在时间轴上难于描述或很难预测，只知道他的频率带宽范围和大致幅度，这时候我们通常会引入频域扫频分析，考察扫频信号在关注点的变化，如同频谱分析仪的作用。或者干脆如网络分析仪（NA）那样考察信号或噪声通过的通道的频域 SYZ 参数，进而预测干扰发生的频率和幅度。可见，数模混合噪声分析，既需要支持混合模型的仿真器，也需要仿真器同时支持时域分析和频域分析。



## 二、提高数模混合电路性能的关键

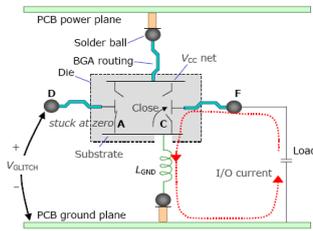
在解释了数模混合电路仿真存在的主要困难后，下来我们来讨论如何解决这些困难，从而仿真预测数模干扰进而解决数模干扰的问题。

首先是干扰源的创建和设置。干扰源分为电压型和电流型的干扰源，电压型干扰源通常是数字信号本身以及数字电源管脚；电流型干扰源通常是 DC 电源。数字信号通常表现为周期性的方波脉冲信号，在信号与系统教程中我们知道，这类周期信号经傅立叶变换后的频谱，表现为高幅度的离散谱，这些频谱会随着频率的提高而幅度降低，频谱幅度与信号变化沿  $T_r$ 、 $T_f$  以及占空比都有关系。



数字电源管脚上的噪声，通常由于同步开关噪声（Simultaneous Switch Noise）引起，而同步开关噪声又是由于晶元上 I/O 到的电源和地管脚之间的引线电感造成的，这个电压波动会与电感大小和信号开关速度成正比，如下图。现在的大规模 IC 中，管脚更多，封装更

大，信号开关速度更快，因而 SSN 会更严重，对模拟信号的干扰也就越大。



$$\Delta V = L \frac{di}{dt}$$

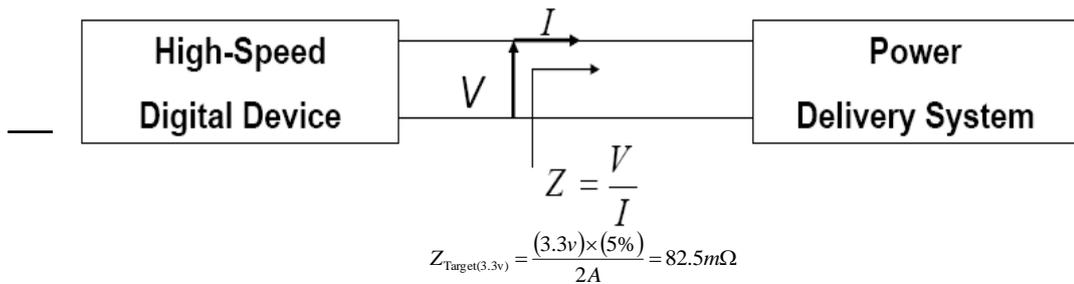
Figure 2—This simplistic view of ground bounce ascribes inductance only to the ground connection.

同步开关噪声在时域上表现为幅度较小的随机脉冲，频谱为连续频谱，频谱的幅度不随频率改变而变化，只与噪声大小有关。

可见，要精确分析电压型的干扰源的影响，必须精确描述出来他们的时域和频域的特性，才能准确分析。

电源 (VRM) 作为电流型的干扰源，从直流来讲，由于滤波电路和铜箔的电阻率，在 PCB 上存在电流分布密度和直流压降，整个压降会影响模拟信号参考电位进而影响模拟电路性能。从交流来讲，整个电路上有源和无源器件作为电源负载，工作频率不一样，电流大小会随频率而变化，而即使负载不随频率变化，电源电流输出也是随频率变化而变化的参数。对这样一种激励和负载都变化且难以描述的传输系统，我们转入考察电源通道的频域 SYZ 参数，特别是电源阻抗 Z 参数。我们估算出电源系统在工作频率范围内的最大电流，只要确保电源阻抗足够小，就能保证电源电压波动满足指标要求。例如下图，系统最大负荷电流 2A，电压 3.3V，要求电压噪声控制在 5% 即 0.165V，那么从电源到负载处的阻抗只要低于 82.5ohm，就能满足系统要求。

$$Z_{\text{Target}} = \frac{(\text{Power\_Supply\_Voltage}) \times (\text{Allowed\_Ripple})}{\text{Current}}$$



---

干扰源讨论后，我们再看耦合途径的提取。数模混合噪声，是通过电路传导和电磁场耦合两种方式工作作用的。众所周知，麦克斯韦方程和基尔霍夫电压电流（KCL 和 KVL）定律，构成了解决传统电学问题的基础。20 世纪 60 年代伯克力 SPICE 推出后，解决了利用计算机工程计算求解电路 KCL 和 KVL 方程问题，因而如今的电路设计仿真可以利用计算机辅助做到前所未有的规模，在 SPICE 中，就可以分析噪声通过电路传导的影响。在电磁场计算领域，20 世纪 80 年代出现的有限元法（FEM），特别是 Ansoft 公司推出的三维结构分析工具 HFSS，以其算法的先进和精确，被作为电磁场计算的标准而闻名。然而三维有限元算法，由于工程计算量巨大，一直作为 RF 微波设计的工具。为了应对 PCB 上成百上千条网络的电磁场计算，一些 EDA 公司开始简化 PCB 电磁场求解的难度使用解析法，而数字电路对于求解精度要求并不高，这样就出现了专门针对高速数字 PCB 仿真的信号完整性分析（SI）工具。然而由于解析法固有的局限性，无法考虑诸如跨分割、不完整电源地平面、非理想直流信号的影响，因此无法分析数模混合干扰这样对精度要求更高的电磁场计算。

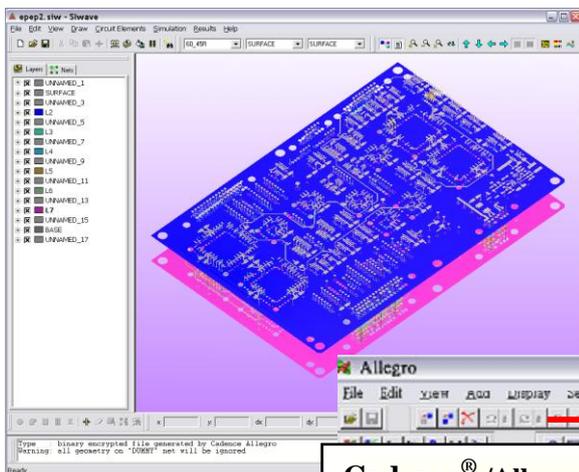
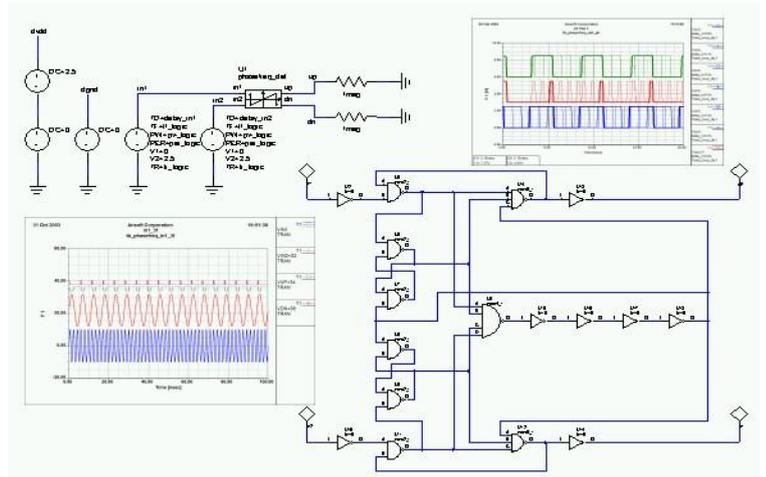
近年来，Ansoft 推出了专门针对 PCB 的电磁场分析工具 SIwave，考虑到 PCB 纵向长度与信号波长之间相差悬殊，它使用 2 维有限元算法，既保证了精度，又大大降低求解难度。结合了 Ansoft 的 SPICE 仿真器和 2 维有限元电磁场计算的优势，使得对数模混合噪声完整耦合路径提取和分析成为可能。

分割问题，一直是数模混合电路设计师的一个关注焦点。分割的目的，是为了提高数模之间的隔离度，使得数字部分干扰源的能量尽量少的传递到模拟信号端。然而分割又可能造成信号完整性，或者电源阻抗变化等问题。关于这一点，单纯的说分割或者不分割，单点连接还是提供回流路径，都是不全面的。一方面，分割的目的是提高隔离度，只要不出现跨分割情况，可以做分割，然而不合理的层叠或滤波，反而会降低隔离度，分割没有达到效果；另一方面，只要干扰源的噪声幅度控制的足够低，去耦滤波等策略合适，提高数模之间的隔离度达到一定要求，没有必要做分割；再有，跨分割不是绝对不能出现的，合理的层叠和去耦策略可以有效避免跨分割的影响。

### 三、仿真工具在数模混合设计中的应用

Ansoft 公司的“AD-Mix Signal Noise Design Suites”数模混合噪声仿真设计软件包

括:PCB 全波整版级信号完整性/电源完整性及电磁兼容/电磁干扰仿真设计和参数抽取工具 SIwave; Ansoft 工具和其他 CAD、EDA 设计工具的接口 AnsoftLinks; 电路、系统和多层平面电磁场设计仿真工具 Ansoft DesignerSI/Nexxim; 此外, 还可以选配三维结构电磁场仿真和 EMC 分析工具 Eminence。Ansoft 所有的工具都基于 Windows 设计风格, 菜单和快捷键方式操作方便, 可以直接从现有的电路设计软件中导入 Ansoft 的仿真软件, 如 Protel, PowerPCB, CR5000, Allegro, Boardstation 和 Expedition。而且各个模块数据通用, 可以相互间直接调用。



仿真第一步, 通过 Ansoft Links 导入 PCB

数据到 SIwave, 设置层叠材料特性和厚度信息。当然层厚和材料可以在 PCB 工具中设定好, 直接导入 SIwave。

**Cadence® /Allegro, APD, Virtuoso**  
**Mentor Graphics® /Board Station, Expedition**  
**Synopsys® /Encore**  
**Zuken® /CR-5000**

第二步, 设置

数字信号电压型干扰源。在 Ansoft DesignerSI/Nexxim 中, 我们把电路中快速变化的数字信号输出模型调入, 通常是 IBIS 模型。利用 IBIS 模型输出端口中给出的 Vref, Rref 和 Cref 参数, 搭建激励和负载电路做瞬态时域分析。把时域分析的结果输出成频谱参数并以表格方

---

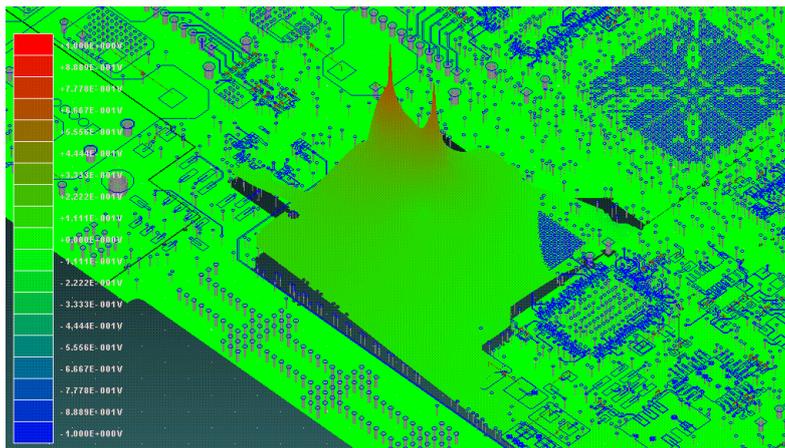
式输出成文本文件，这个随频率变化幅度的扫频源就作为数字信号端的干扰源进行了分析。

第三步，同步开关噪声仿真。同步开关噪声作为数字电源脚的电压型干扰源，需要通过时域仿真确定噪声的幅度。首先我们在 SIwave 中提取包括同步信号的输出输入端口，VRM 电源输出到 IC 的 VCC 管脚上的端口的多端口 S 参数模型，并将该模型输出到 Ansoft DesignerSI/Nexxim 中。有时候，器件 VCC 管脚可能不止一个，SIwave 提供了创建 Pin Group 的功能，可以将多个相同电平的管脚合成一个 Pin Group，然后添加端口。在 Ansoft DesignerSI/Nexxim 中，我们给所有的输入输出端口加上仿真模型，通常也是 IBIS 模型，在 VRM 电源输出添加理想直流源，然后探测 VCC 管脚上的电压波动，这个波动电压就是 SSN。需要指出的是，通常 SSN 包括 PCB 和封装上耦合电感引起的电压波动，在这里仿真的只是由于 PCB 布线引起的部分，如果有 IC 封装的 S 参数模型，我们可以仿真完整的 SSN，关于完整的 SSN 分析，请参看 Ansoft 与 Xilinx 公司合作推出的 SSN 仿真文章

[http://www.xilinx.com/publications/xcellonline/xcell\\_57/xcell\\_57.pdf/p092-094\\_57-sso.pdf](http://www.xilinx.com/publications/xcellonline/xcell_57/xcell_57.pdf/p092-094_57-sso.pdf) 或 [http://www.ansoft.com/workshops/converge/Xilinx\\_Anssoft.pdf](http://www.ansoft.com/workshops/converge/Xilinx_Anssoft.pdf)

得到 SSN 的电压后，就可以在 SIwave 中的 VCC 管脚上添加独立的扫频源做干扰分析了。

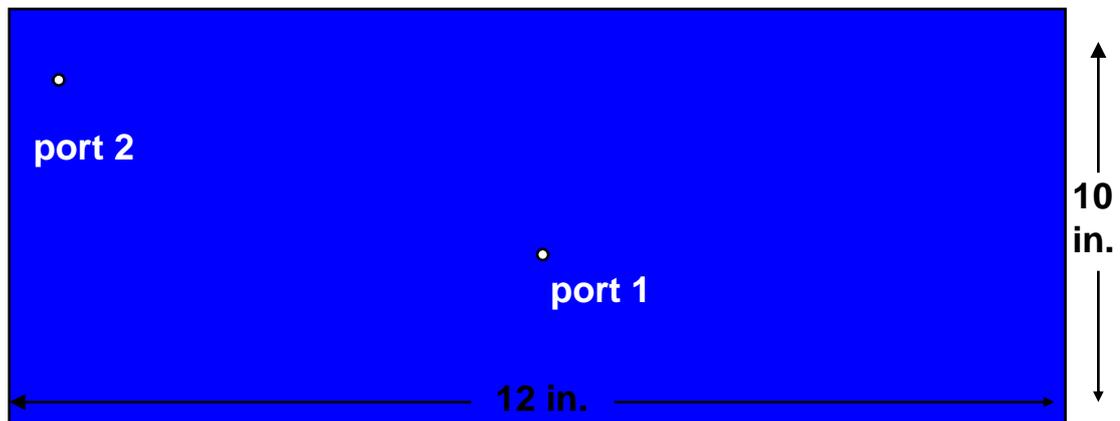
所有干扰源确定后，我们就可以在 SIwave 中做扫频分析，用户可以在自己关心的位置，添加电压探头，输出实际干扰大小波形，也可以将整个 PCB 的电压波动以动画方式反映。



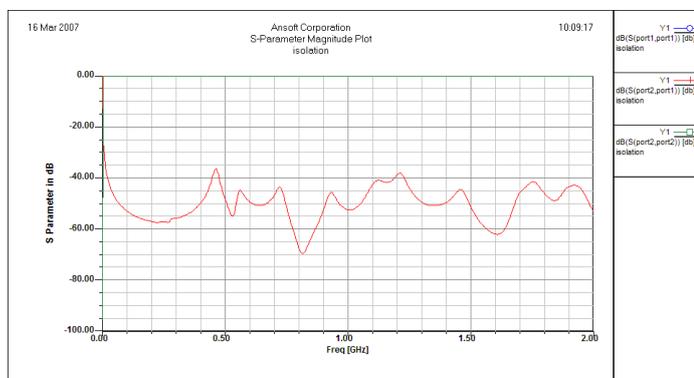
第四步，分析电流型干扰源。在 SIwave 中允许用户添加电流型的干扰源，与电压型干扰源类似，这个干扰源的幅度可以是不随频率变化的独立源，也可以是随频率变化的，只要能够给出变化特性。一般来讲，我们可以对已知 DC 电流大小的电源处添加独立电流源，分

析他的电流分布密度和 DC 直流压降。对于频变的电流源，我们只能依靠在电源负载端添加端口，分析随频率变化的电源阻抗  $Z$  参数，来评估噪声的大小。

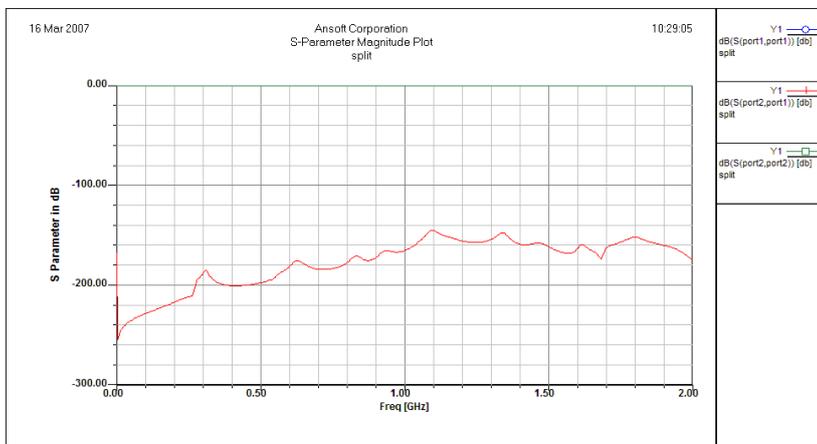
第五步，分析干扰源与被干扰对象之间的隔离度。除了以上干扰分析外，SIwave 另外一个主要功能就是考察电源地的分割。在没有有源器件模型，无法给出干扰源幅度的情况下，考察数模之间的隔离度，也是解决问题的一个好方法。在 SIwave 中，在干扰源和受干扰对象点分别添加端口，分析 S 参数，看看隔离情况是否良好。我们在 SIwave 中，做出一个 12x10inch 的四层 PCB 例子，分别是顶层信号层，第二层电源，第三层 GND 和底层信号层，再分别模拟两个点作为干扰源和被干扰对象，分析各种情况下的隔离度。



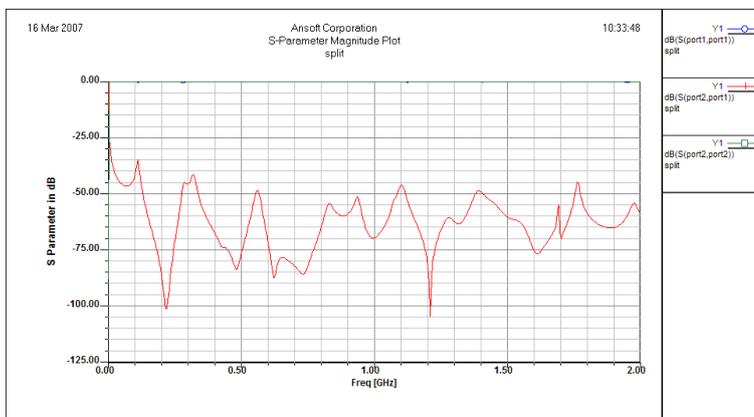
### 1, 不分割时的隔离度



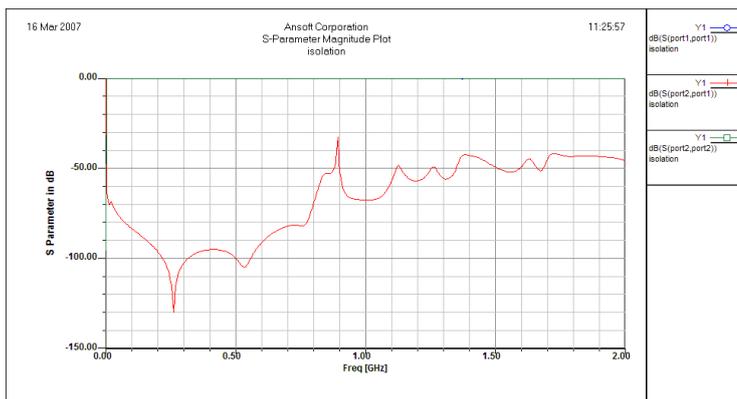
### 2, 分割后的隔离度



### 3, 单点连接是的隔离度



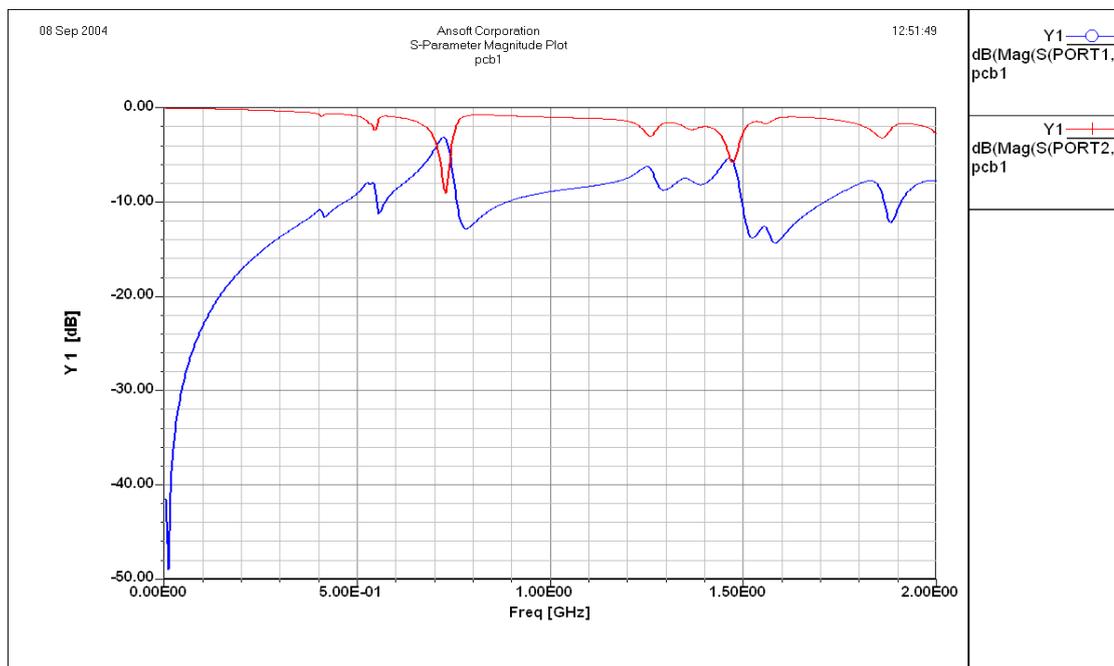
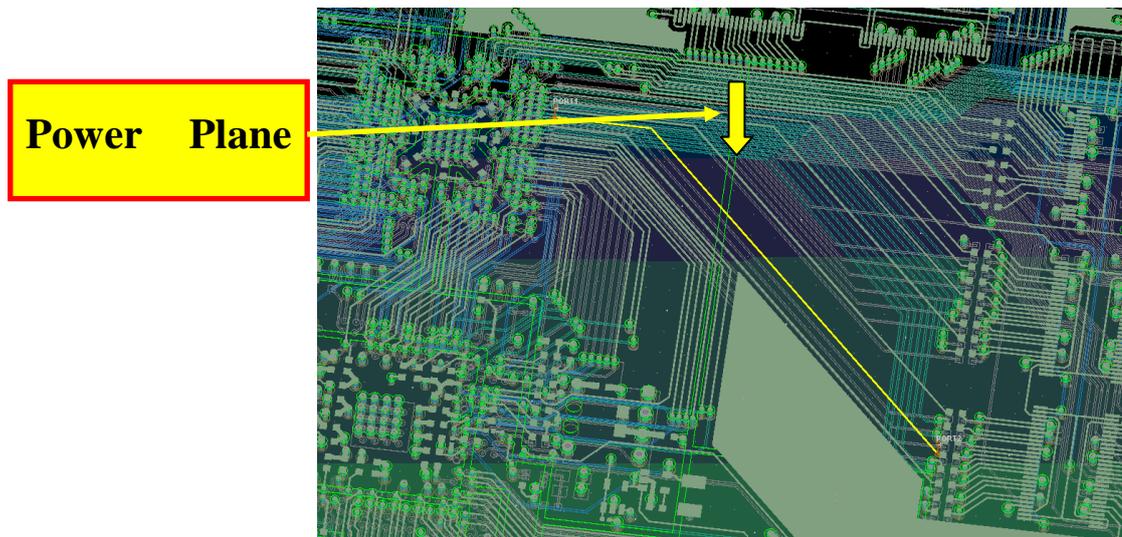
### 4, 不分割, 添加 20 个电容 (10 个 47uF, 10 个 0.1uF) 后的隔离度

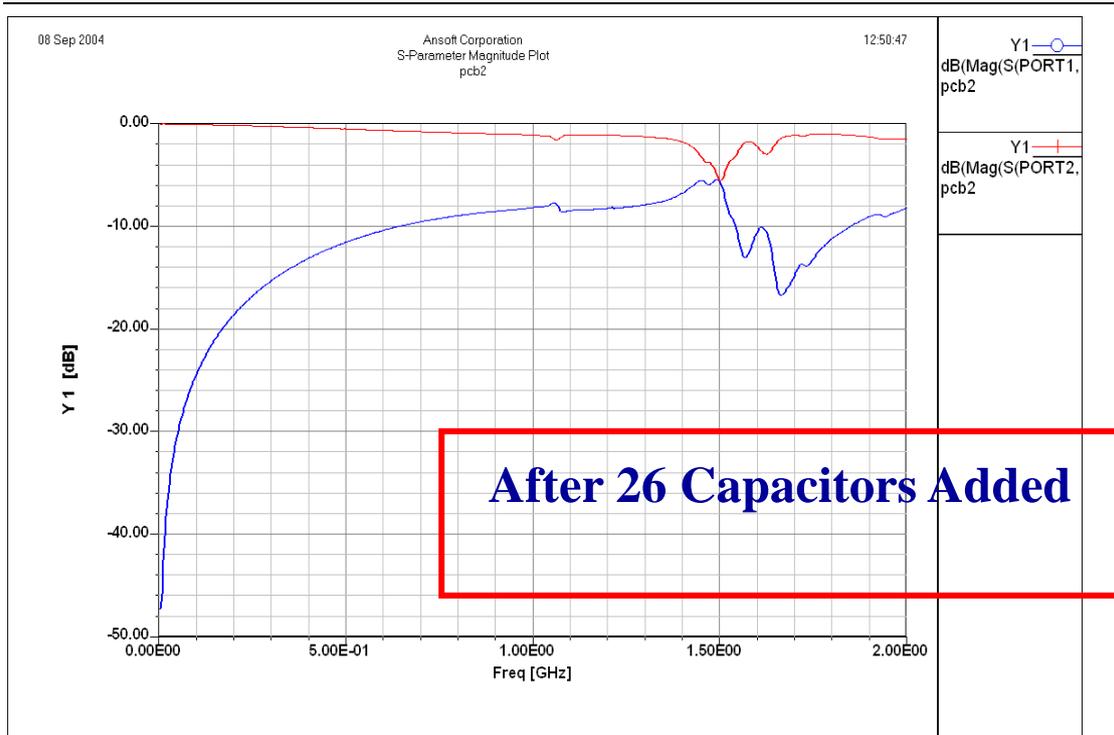


对于跨分割对数字信号的影响, 由于传统的 SI 工具并不能分析, 所以常常用设计规则来约束, 致使很多情况布局布线困难, 或者增加层厚和成本。SIwave 可以精确分析跨分割信号的传输和反射特性, 确定分割到底对那个频率的谐波有多大的作用。由于数字信号的频

谱离散特性，只要这个波动频点不在谐波处，就不会对信号有太大的影响。此外，我们在跨分割的两个电源上 PCB 上添加去耦电容，也可以改变波动频点的位置，只要它落在数字信号的转折频率之外，也不会对信号有太大的影响。

下图是一个跨分割信号的 S11 和 S21 参数，添加去耦电容后的 S11 和 S21 参数比较。





## 四、小结

数模混合噪声的分析，是一个复杂的问题，牵扯到电路求解和电磁场计算的问题，需要时域仿真和频域仿真的协同分析。这里仅提出一点实践中的经验和体会，供大家讨论以求共同进步。电路的设计中没有绝对一成不变的规则，必须针对问题，找到针对性的分析手段和解决方案，方能事半功倍。

## 五、混合信号 PCB 设计基础问答

1、在数字和模拟并存的系统中，我看到过有 2 种处理方法，一个是数字地和模拟地分开，比如在地层，数字地是独立地一块，模拟地独立一块，单点用铜皮或 FB 磁珠连接，而电源不分开；另一种是模拟电源和数字电源分开用 FB 连接，而地是统一地地。请问李先生，这两种方法效果是否一样？

答：应该说从原理上讲是一样的。因为电源和地对高频信号是等效的。区分模拟和数字部分

---

的目的是为了抗干扰，主要是数字电路对模拟电路的干扰。但是，分割可能造成信号回流路径不完整，影响数字信号的信号质量，影响系统 EMC 质量。因此，无论分割哪个平面，要看这样作，信号回流路径是否被增大，回流信号对正常工作信号干扰有多大。现在也有一些混合设计，不分电源和地，在布局时，按照数字部分、模拟部分分开布局布线，避免出现跨区信号。

2、我的 PCB 设计中位于多通道 12\_bit CCD 模拟视频信号采样电路布局区域内的多个模拟多路器与模拟开关的 CMOS 驱动信号必须跨越多片 ADC 下的数字模拟分割，(在不同的位置用几个 0 欧姆电阻对数字模拟地短接) 此时的信号端接方式：国外样板采用源端 120R，负载端采用 1 个 5K 电阻对 2 或 4 个 TTL 兼容的 COMS 负载对地进行端接，这些走线宽 6mil，长 4inch 左右，邻近的敷铜层间距大概在 5-8mil 之间。这是否与 120 欧姆源匹配阻抗有出入，而且 5K 电阻的存在是否还会导致驱动电流的增加，加大数字对模拟部分的干扰，如果当多个 receiver 间距离较远如 0.8inch 时这个 5K 电阻的位置该如何调整，或是需要改变匹配方式。如果上述匹配方式正确，那么应该怎样计算并如何看待违反设计规则的跨越分割布线。

答：对跨分割信号，用 0 欧姆电阻对数字模拟地短接不如信号用平行地线包夹或使用旁路电容更好。源端采用 120 欧串阻很少见，这个驱动信号是电压驱动的数字信号吗？是不是有功率要求才作这种端接处理？如果实在是电压有效的数字信号，那需要仿真模型仿真来估算匹配的位置和大小。

3、您好！现代高速 PCB 设计中，为了保证信号的完整性，常常需要对器件的输入或输出端进行端接。请问端接的方式有哪些？采用端接的方式是由什么因素决定的？有什么规则？希望专家对此能给予详细的答复或告知哪里可以找到解决这些问题的资料。谢谢！

答：端接 (terminal)，也称匹配。一般按照匹配位置分有源端匹配和终端匹配。其中源端匹配一般为电阻串联匹配，终端匹配一般为并联匹配，方式比较多，有电阻上拉，电阻下拉，戴维南匹配，AC 匹配，肖特基二极管匹配。匹配采用方式一般由 BUFFER 特性，拓普情况，电平种类和判决方式来决定，也要考虑信号占空比，系统功耗等。数字电路最关键的是时序

---

问题,加匹配的目的是改善信号质量,在判决时刻得到可以确定的信号。对于电平有效信号,在保证建立、保持时间的前提下,信号质量稳定;对延有效信号,在保证信号延单调性前提下,信号变化延速度满足要求。Mentor ICX 产品教材中有关于匹配的一些资料。另外《High Speed Digital design a hand book of blackmagic》有一章专门对 terminal 的讲述,从电磁波原理上讲述匹配对信号完整性的作用,相信在阅读后,对匹配的理解会更加透彻。

4、在当今无线通信设备中,射频部分往往采用小型化的室外单元结构,因而体积结构收到很大限制,因而室外单元的射频部分,中频部分,乃至对室外单元进行监控的低频电路部分往往采用部署在同一 PCB 上,请问李宝龙先生,对这样的 PCB 在材质上有何要求,如何防止射频,中频乃至低频电路互相之间的干扰,mentor 在这方面有无解决方案。

答:混合电路设计是一个很大的问题。很难有一个完美的解决方案。一般射频电路在系统中都作为一个独立的单板进行布局布线,甚至会有专门的屏蔽腔体。而且射频电路一般为单面或双面板,电路较为简单,所有这些都是为了减少对射频电路分布参数的影响,提高射频系统的一致性。相对于一般的 FR4 材质,射频电路板倾向与采用高 Q 值的基材,这种材料的介电常数比较小,传输线分布电容较小,阻抗高,信号传输时延小。在混合电路设计中,虽然射频,数字电路做在同一块 PCB 上,但一般都分成射频电路区和数字电路区,分别布局布线。之间用接地过孔带和屏蔽盒屏蔽。Mentor 的板级系统设计软件,除了基本的电路设计功能外,还有专门的 RF 设计模块。在 RF 原理图设计模块中,提供参数化的器件模型,并且提供和 EESOFTE 等射频电路分析仿真工具的双向接口;在 RF LAYOUT 模块中,提供专门用于射频电路布局布线的图案编辑功能,也有和 EESOFTE 等射频电路分析仿真工具的双向接口,对于分析仿真后的结果可以反标回原理图和 PCB。同时,利用 Mentor 软件的设计管理功能,可以方便的实现设计复用,设计派生,和协同设计。大大加速混合电路设计进程。手机板是典型的混合电路设计,很多大型手机设计制造商都利用 Mentor 加安杰伦的 eesoft 作为设计平台。

5、如何更好的避免高频部分可能对系统造成的影响?比如 206M 的 CPU,100M 以上的 SDRAM 等,在布局、布线中如何处理才能保证 50M 以上信号的稳定性?

---

答：高速数字信号布线，关键是减小传输线对信号质量的影响。因此，100M 以上的高速信号布局时要求信号走线尽量短。数字电路中，高速信号是用信号上升延时间来界定的。而且，不同种类的信号（如 TTL, GTL, LVTTTL），确保信号质量的方法不一样。有很多这方面的书和网址，建议先您浏览。

6、有一个问题请教，在一块 12 层 PCB 板上，有三个电源层 2.2v, 3.3v, 5v，将三个电源各作在一层，没有问题，地线该如何处理，是与电源一一对应，还是使用一个层，另外两个地线层只不过作为结构层而已。

答：一般说来，三个电源分别做在三层，对信号质量比较好。因为不大可能出现信号跨平面层分割现象。跨分割是影响信号质量很关键的一个因素，而仿真软件一般都忽略了它。对于电源层和地层，对高频信号来说都是等效的。在实际中，除了考虑信号质量外，电源平面耦合（利用相邻地平面降低电源平面交流阻抗），层叠对称，都是需要考虑的因素。

7、对于全数字信号的 PCB，板上有一个 80MHz 的钟源。除了采用丝网（接地）外，为了保证有足够的驱动能力，还应该采用什么样的电路进行保护。另外如果用单独的时钟信号板，一般采用什么样的接口，来保证时钟信号的传输受到的影响小。

答：什么是丝网（接地）？是不是铺网格铜？2，确保时钟的驱动能力，不应该通过保护实现，一般采用时钟驱动芯片。一般担心时钟驱动能力，是因为多个时钟负载造成。采用时钟驱动芯片，将一个时钟信号变成几个，采用点到点的连接。选择驱动芯片，除了保证与负载基本匹配，信号沿满足要求（一般时钟为沿有效信号），在计算系统时序时，要算上时钟在驱动芯片内时延。3，时钟信号越短，传输线效应越小。采用单独的时钟信号板，会增加信号布线长度。而且单板的接地供电也是问题。如果要长距离传输，建议采用差分信号。LVDS 信号可以满足驱动能力要求，不过您的时钟不是太快，没有必要。

8、同一个芯片，有 1 个 2.8V 的数字电源输入，还有一个 2.8V 的模拟电源。能不能通过电

---

感把两者连起来，共用一个 LDO。就像数字地和模拟地连接在一起一样。另：0 欧姆的电阻是干什么用的，能不能和电感互换？

答：一般情况下是可以共用 LDO 的，经典的是 pi 滤波（不是用电感直接相连）；但如果芯片本身对数字、模拟电源的隔离度要求很高，以致 PI 滤波不能满足要求的话则分别由不同的 LDO 供电。0ohm 电阻一般用于冗余或可选设计，类似跳线器的作用，如果不考虑寄生的话是没有电感的，不能起到滤波作用，因此不能和电感互换。

9、我想知道业界在模数混合信号的设计验证方面流程。据我理解，设计验证在设计流程中具有举足轻重的作用，直接会影响到芯片最终的成败。设计验证分为不同的级别，如系统级验证、电路模块级验证、模数混合仿真和最后的物理验证或者后仿真。设计验证工程师如何能够保证系统验证与最后的版图级验证的一致性？之所以这样问是因为，不同的抽象级别仿真时付出的时间代价是不一样的，可以说差距是巨大的，系统级抽象级别比较高，系统仿真可以在很短的时间内完成，但是到了版图级的验证，几乎没有办法做整个芯片的后仿真。而如果不做整个芯片的后仿真，就无法有效的保证系统仿真与最终芯片实现之间的一致性。我不知道业界比较流行的做法是怎样的。我想知道的是一种脱离使用工具的通用流程。这应该属于方法论的范畴，请问倪亮先生能否给予解答？谢谢。

答：这是一个非常好的问题，很专业。如你所说，不同的抽象级别仿真时付出的时间代价是不一样的，有一个甚至几个数量级的时间差异是很正常的。因为随着数据量的增加，验证的计算量是指数增加的。

那么到了芯片后仿真时，特别是针对全芯片时，寄生 RC 参数的数据量会比原来的器件和结点数量增加很多，

这时候的计算量就多得惊人，即使有很好的硬件设施作支持，一次验证跑上几个月甚至更久都是很常见的。

这时候，为了解决这个问题，通常的作法是这样的：

1、用 fast-spice 级别的仿真器代替 spice 级别的仿真器，即以牺牲一点精度换来更大的容量和速度；

---

## 2、让 Digital 的模块成为真正的 Digital.

早期的数模混合整体验证时, 因为验证工具的局限性, 往往是把数字电路的 gate-level 也当成 transistor-level 来跑。这样的好处是流程简单, 工具单一. 但是缺点也很明显. 加大了计算量, 并且把更多的计算量放在到不是很需要的数字电路部分。(因为数模混合电路往往是数字部分比模拟部分多) 即使可以调低一些数字电路部分的精度, 那也是很大的资源浪费。现在的趋势是在提取版图时, 数字部分仍然是提成 gate-level, 利用真正的数模混合信号仿真器来进行仿真。

3、把模拟部分抽象成高级别的 AMS. 这个对验证效率的提升极大。其实很多 IP 也是利用 AMS 来进行整体验证的。

10、我想用模拟电路来解一个 4 阶微分方程用于实时控制, 这样速度比较快。具体就是把 MCU 计算出的待积分信号通过 D/A 引入模拟积分器, 积分的结果在通过 A/D 回送入 MCU 进行控制, 不知这样是否可行, 主要考虑精度和干扰方面。如果可行您能否推荐一款积分芯片, 还是我自己搭积分电路? 如果把整个系统包括加法器, 乘法器都设计成模拟芯片是不是可行, 有什么要注意的? 谢谢。

答: 看起来好象是可行的. 也许你可以用 MATLAB 先试试方案. 因为我不了解具体细节, 所以没办法向你推荐具体的做法。你可以到网上搜搜看有没有符合你具体要求的积分芯片, 如果有的话, 还是用现成的吧, 自己搭电路太麻烦了, 并且不能保证性能。一般来说会认为加法器乘法器用数字电路来实现, 如果要整合在一起做一个混合芯片也算是常见。提醒一下, 这些工作不太可能由一个人独立完成. 如果想验证系统可行性, 可以考虑先用 AMS 跑跑仿真吧。