

一种低存储高速并行小波变换算法的 FPGA 实现

孙超 杨春玲

(哈尔滨工业大学电气工程及自动化学院, 哈尔滨, 150001)

摘要: 小波变换是一种自适应的时频分析方法, 具有多分辨率的特性, 广泛应用于调和分析、图像处理、雷达探测等领域, 是最新静态图像压缩标准 JPEG2000 的核心算法之一。变换本身是一个计算密集型的过程, 因此研究该算法的 VLSI 实现具有极大意义。本文在 Altera 公司的低成本、高密度 Cyclone II 系列 FPGA 上, 实现了小波变换的 VLSI 架构设计, 最大化减少了算法对片内存储器的需求, 降低了功耗。由于设计能够对图像同时进行行列变换, 系统处理速度快, 为图像实时处理提供了基础。

关键词: 小波变换; JPEG2000; VLSI; FPGA

Implementation of A Low Memory and High Speed Parallel Wavelet Transform Based on FPGA

Sun Chao Yang Chun-ling

(School of Electrical Engineering and Automation of HIT, Harbin, 150001)

Email: sunchaotod@sina.com

Abstract: Wavelet transform is a kind of adaptive time-frequency analysis method which has the characteristic of multi-resolution. It has been widely used in areas such as harmonic analysis, image processing, radar detection and adopted as the core algorithm in the latest still image compression standard, JPEG2000. Wavelet transform algorithm is a computing intensive process, so research on VLSI of wavelet transform is of great significance. In this paper, a novel VLSI architecture is implemented in a low cost and high density Cyclone II FPGA of Altera Company. The design reduces the on-chip memory demand to the minimum and lowers the power consumption as well. Because the design can process images in the row and column direction simultaneously, the system has a high speed, providing foundations for real-time image processing.

Keywords: wavelet transform; JPEG2000; VLSI; FPGA

0 引言

小波变换是 20 世纪 80 年代中期发展起来的一种时频分析方法, 被广泛应用于调和分析、语音处理、石油勘探和雷达探测等方面。从数学的角度看, 小波实际上是在特定空间内按照称之为小波的基函数对数学表达式的展开和逼近; 从信息处理角度看, 小波变换比 DCT 这样的傅立叶变换的性能更优越, 是一种自适应的时频分析方法, 具有多分辨率分析功能, 因此被誉为数学显微镜。

就图像压缩方面, 最新的静态图像压缩标准 JPEG2000^[1]采用离散小波变换 (DWT) 作

为其变换编码，支持图像的多分辨率表示。正是小波变换编码的使用，使 JPEG2000 标准具有超低比特率性能、分辨率渐进传输等众多优点^[2]，受到数码厂商的青睐。根据有关 JPEG2000 计算复杂度的分析报告显示，JPEG2000 的高强度计算任务包括嵌入式优化截断块编码(EBCOT)^[3]的 Tier-1 以及离散小波变换模块，它们几乎贡献了全部计算复杂度的 80%，构成了 JPEG2000 高速实时运行的严重瓶颈，因此小波变换的 VLSI 实现目前已成为研究的热点问题。

许多学者^[4-7]根据不同的设计目标：延时路径长度、多级变换、功耗、面积等等，提出了不同的小波变换 VLSI 架构及其优化方案。本文采用最新的第二代小波变换（提升小波），采用 JPEG2000 中针对无损压缩的 Le Gall 5/3 小波设计了图像的二维小波变换 IP 核，只需要缓存三行图像数据便可同时进行行列变换，最大化减少片内存储器的使用同时，降低了系统功耗，提高了速度，通过显示验证系统验证了模块正确性。

1 小波变换算法原理

由于第二代小波变换只使用一系列滤波操作就能实现和卷积法相同的计算结果，具有算法简单、速度快、适合并行处理等优点，小波变换研究热点已由传统卷积法转向最新的提升格式（Lifting Scheme）。下面给出提升算法步骤并按步骤得到 Le Gall 5/3 小波表达式。

1.1 提升算法

提升算法主要可以分为三步：分裂、预测和更新^[8]。离散情况下，给定数据集 $\{s_i^0\}$ ，经过完整提升步骤后，分解成数据集 $\{s_i^1\}$ 和 $\{d_i^1\}$ （上标表示小波的分解级数），其中 $\{s_i^1\}$ 表示尺度系数， $\{d_i^1\}$ 表示小波系数。

(1) 分裂

分裂(Split)将给定数据集 $\{s_i^0\}$ 分为两个互不相交的子集。通常是将数列分为偶数序列 s_{2i}^0 和奇数序列 s_{2i+1}^0 ，即

$$\text{Split}(s_j) = (s_{2i}^0, s_{2i+1}^0) \quad (1)$$

(2) 预测

预测(Predict)是利用偶数序列和奇数序列之间的相关性，由其中一个序列（一般是偶序列 s_{2i}^0 ）来预测另一个序列（一般是奇序列 s_{2i+1}^0 ）。实际值 s_{2i+1}^0 与预测值 $P(s_{2i}^0)$ 的差值 d_i^1 反映了两者之间的逼近程度，称之为细节系数或小波系数，对应于原信号 $\{s_i^0\}$ 的高频部分。一般来说，数据的相关性越强，则小波系数的幅值就越小。预测过程如式 2 所示。

$$d_i^1 = s_{2i+1}^0 - P(s_{2i}^0) \quad (2)$$

式中， P ——预测算子。

(3) 更新

更新过程的目的是使某一全局性质得以保障，需要一个更新(Update)过程。将更新过程用算子 U 来代替，其过程如 3 所示。

$$s_i^1 = s_{2i}^0 + U(d_i^1) \quad (3)$$

其中, s_i^1 ——尺度系数;

U ——更新算子。

P 与 U 取不同的函数,可构造出不同的小波变换。

1.2 Le Gall 5/3 小波

根据提升步骤,简单地取预测函数如式 4 所示。

$$P = \frac{s_{2i}^0 + s_{2i+2}^0}{2} \quad (4)$$

也就是说用两侧的数据来预测数据本身,代入式 2,可以得到小波细节系数的表达式。

$$d_i^1 = s_{2i+1}^0 - \frac{s_{2i}^0 + s_{2i+2}^0}{2} \quad (5)$$

对图像而言,全局性质可以是图像数据的直流电平,不妨设变化前后全图像直流电平为 1,可以推得更新因子如式 6 所示。

$$U = \frac{d_i^1 + d_{i-1}^1 + 2}{4} \quad (6)$$

代入式 3,得到小波近似系数表达式如式 7 所示。

$$s_i^1 = s_{2i}^0 + \frac{d_i^1 + d_{i-1}^1 + 2}{4} \quad (7)$$

5、7 两式即为 Le Gall 5/3 小波的小波系数表达式。此小波已被 JPEG2000 标准采纳作为无损压缩模式时使用的小波,实现 JPEG2000 的变换编码部分,能用于医疗图像、遥感图像等需要尽可能保留图像细节的场合。

2 算法的 FPGA 实现

当采用不同小波函数时,可以得到完全不同的小波变换,因此小波变换相对于 DCT 等传统变换更加灵活,鉴于图像压缩方面,Le Gall 5/3 小波已被最新图像标准 JPEG2000 采纳,本文设计了可分离型二维 5/3 小波变换的 VLSI 架构并进行了优化。

2.1 总体方案

设计的二维离散小波变换(DWT)VLSI架构原理图如图 1所示,图中列出了模块接口的主要信号。DWT由一个地址扩展生成单元(AGEU: Address Generation and Extension Unit),一个行处理器(RP: Row Processor),一个缓冲控制单元(BMU: Buffer Manger Unit)和一个列处理器(CP: Column Processor)组成。地址扩展生成单元负责从外部存储器读取存储的图像数据,并实现行方向周期对称扩展的功能;行处理器对图像进行行变换;缓冲控制单元实现调度缓存数据的作用,该模块集成了四个 512×16 的FIFO和一个有限状态机,状态机有 5 个状态,控制 4 个FIFO周期性充放数据,实现数据的调度;列处理器对图像进行列变换,输出最终小波变换后的数据。

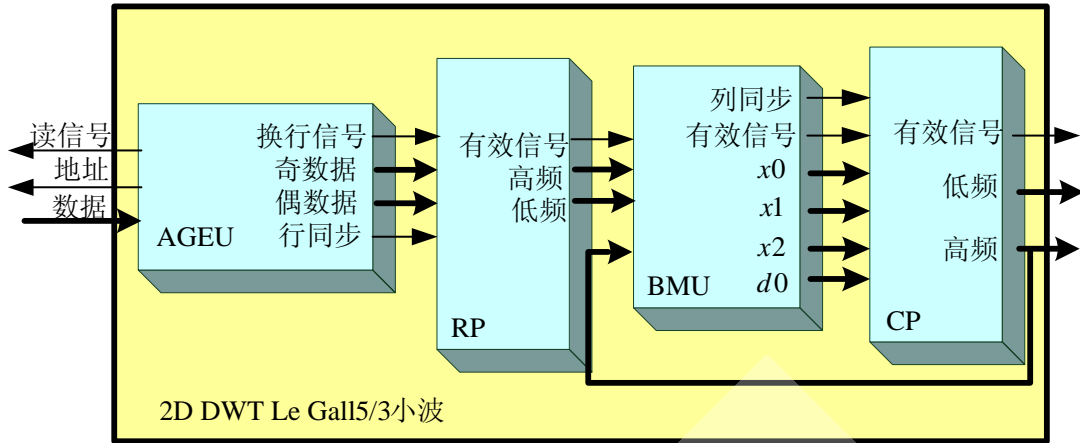


图 1 二维 5/3 小波变换原理图

可分离型架构将二维离散小波变换分解成一次行变换和一次列变换来实现，本质是由于二维尺度函数可以分解成两个一维尺度函数的乘积： $\phi_2(x, y) = \phi_1(x)\phi_1(y)$ ，二维小波函数也能分解成两个一维小波函数的乘积： $\psi_2(x, y) = \psi_1(x)\psi_1(y)$ 。一个 $M \times N$ 的图像在经过一次行变换后就分成两个子带 (sub-band)，每个子带大小为 $M \times N/2$ ，再经过一次列变换后两个子带就变成了四个子带，每个子带的大小变为 $M \times N/4$ ，此时一级二维小波变换就完成了，四个子带分别为 HH, HL, LH, LL ，其中 LL 子带代表原图像的近似图像。要得到下一级小波变换，就只要对 LL 子带再以这种行列式变换的方法处理即可，三级小波变换的原理的示意图如图 2 所示。

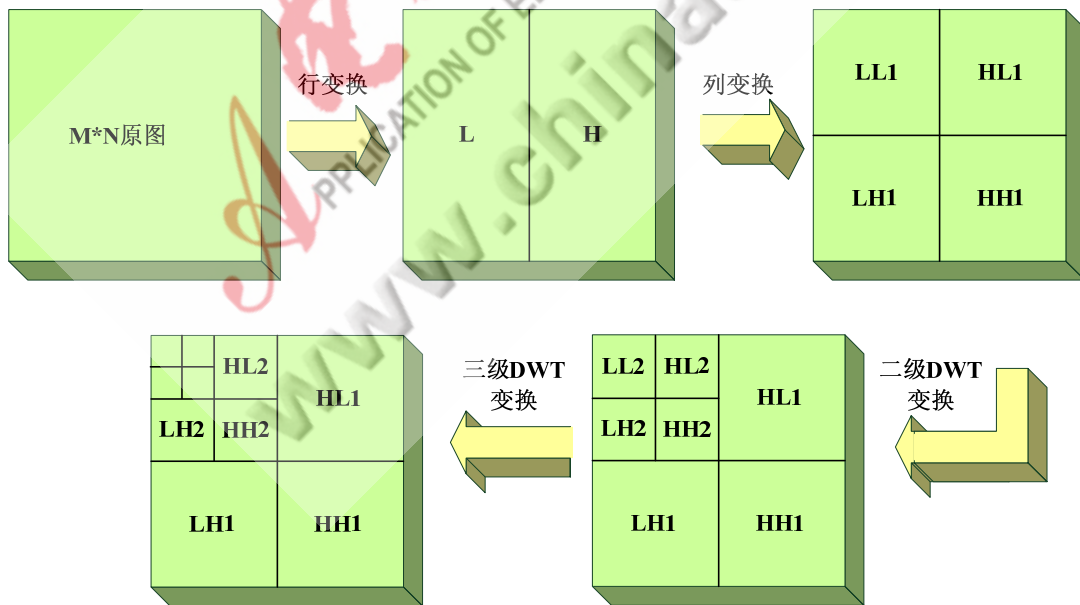


图 2 三级小波变换的原理

由于列变换是沿着列的方向的，需要把行变换的结果一列一列的输入，因此通常需要先对图像进行行变换，再存储行变换的结果，然后进行列变换。但是这样需要存储大量的中间结果，增加了硬件的开销，限制了芯片处理数据的速度。对二维 DWT 的设计，存储器的大小是关键，本文使基于行的变换的方法，它可以实现行列变换的并行进行，只要得到足够的

中间数据（至少三行）列变换就开始进行，极大地减少了所需的片内高速缓存，同时提高了运算速度。该设计理念对设计其他正交基的小波变换同样具有借鉴意义。

2.2 AGEU 模块

AGEU 模块主要用来产生对 SRAM 控制器的读控制信号，保证对从存储于 SRAM 中的一幅静态图像按行读取数据，同时通过状态机进行行方向的周期对称延拓。

从SRAM中读入的是 16 位的数据，事实上是图像的两个像素，换句话说，以串行输入 16 位的数据恰好等效于并行输入两个 8 位数据，并且这两个数据是相邻的，因此通过AGEU模块完成了提升算法的奇偶分裂步骤。由于处理的图像大小为 512×512 ，符合典型的矩形片大小，因此图像预处理就不再需要矩形片划分这个步骤，直接将原图像作为一个矩形片进行处理，图像的边界则进行周期对称延拓。针对 512×512 大小的图像，图像左边需要延拓两个像素，右边需要延拓一个像素，硬件延拓则通过状态机控制地址指针实现，需要多读三个像素，对应两个SRAM地址。AGEU功能仿真结果如图 3所示。

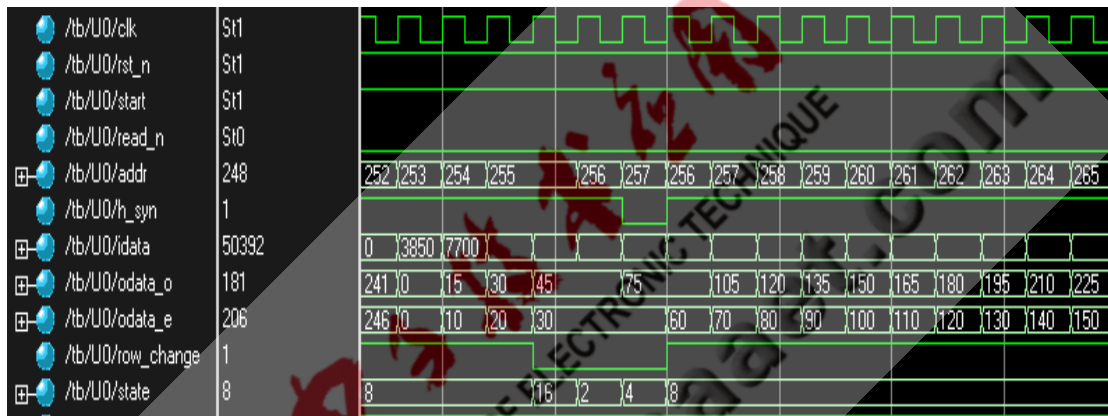


图 3 AGEU 功能仿真波形

2.3 RP 模块

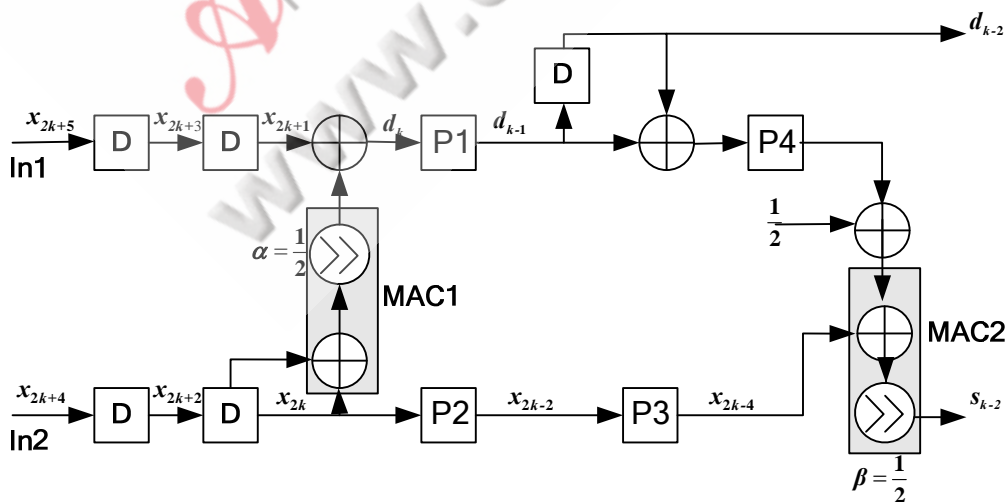


图 4 基于提升格式的一维 Le Gall 5/3 小波流水线架构

RP模块实现行方向的一维小波变换，将原图像变换成两个子带。为提高一维 5/3 小波变

换速度和效率，采用基于流水线架构的提升算法实现。算法实现简单，相对于折叠式架构等结构，直接将数据关系映射的流水线方式所需控制逻辑很少，减少了额外的资源占用，此外，由 5/3 小波提升算法公式可知，可以用移位器代替乘法器，减短关键路径，系统能具有比较高效的性能。架构如图 4所示。此架构使该模块硬件利用率能达到 100%，而且具有并行处理能力。奇偶数据同时输入，高频系数、低频系数同时输出，为双输入双输出并行架构，速度仅仅受限于从外部存储器读入数据的速度和具体器件。

显然，5/3 小波只包含两级流水线过程。结构包含 4 个加法器，2 个移位器，5 个延迟单元 (D)，4 个流水线寄存器 (P)，不再需要额外的乘法器。进一步，移位器和加法器还可以组成移位加处理器 (MAC 单元)，如方框所示，则结构更显简单。输出相对输入延迟两个时钟周期。图中可以看到，流水线寄存器 P3、P4 并没有非常对称的排列，这是因为使用同一种综合工具，不同的排列能够改变关键路径的长度，导致系统性能参数之一系统最高频率 f_{max} 不同。该结构是在 Quartus II 8.0 综合后优化的结果，针对 CycloneII EP2C35F672C6N 器件，在纯计算逻辑下能达到 259.59M。

RP模块测试输入的数据和应得结果如表 1 所示，仿真波形图 5说明运算结果完全正确。

表 1 RP 模块的测试数据输入和输出

序列序号 k	0	1	2	3	4	5	6	7	8	9	10	11
测试输入 x_k	106	105	104	108	106	0	-1	-1	-1	-1	0	107
测试输出高频分量 d_k		0	-53	0	-1	107	-	-	-	-	-	-
测试输出低频分量 s_k	107	105	94	-14	-1	27	-	-	-	-	-	-

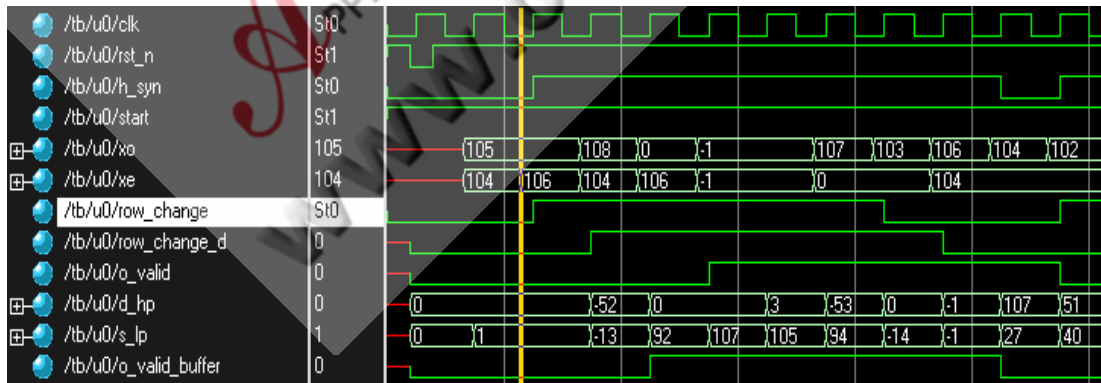


图 5 一维小波变换的仿真波形

2.4 BMU 模块

BMU模块主要包括两大部分，四个 512×16 的FIFO和一个控制状态机，模块工作在 100MHz时钟下。FIFO用来缓存三行图像数据和一组前一次列变换得到的高频数据，状态机实现对四个FIFO精确地控制，保证没有数据丢失。其系统框图如图 6所示。

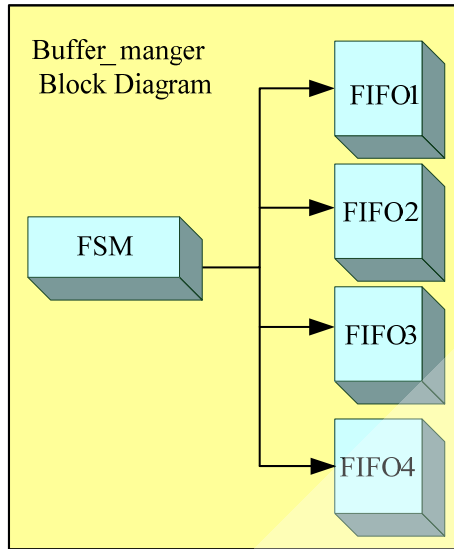


图 6 BMU 模块结构

BMU的状态机有五个状态，采用缓存三行数据的策略，最大程度节省了FPGA的存储器资源，由一个状态机进行控制，控制方法简单易行。BMU转态转换图如图

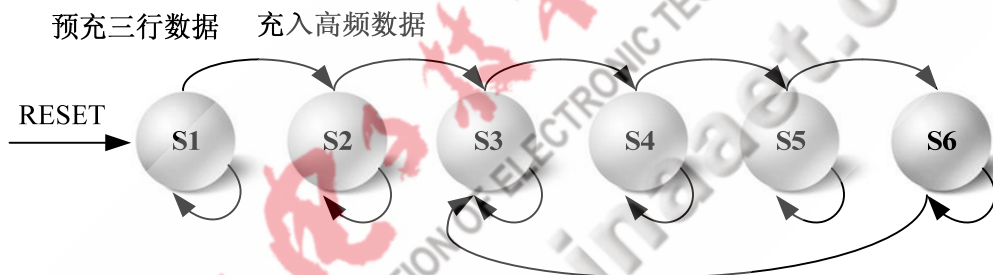


图 7

所示。复位后进入S1 状态对三个行缓冲FIFO（FIFO0、FIFO1、FIFO2）充入三行数据。然后进入S2 状态读出三行数据至列变换模块得到高频数据，将高频数据写入高频缓冲FIFO（FIFO4），对于需要保持一个操作单元的行数据，采用读出同时写回的策略保证数据的暂时存在，在状态S2 则把数据写回FIFO0、FIFO1、FIFO2。随后进入S3 状态，同时读四个FIFO，写入一行新数据至FIFO1，写入高频数据至FIFO4，FIFO0 数据读出同时写回。进入S4 状态后，写入一行新数据给FIFO2。进入S5 状态，读四个FIFO，写入一行新数据给FIFO1，写入高频数据到FIFO4，FIFO2 数据读出并写回。S5 状态后进入S6 状态，写入一行新数据至FIFO0，S6 后状态回到S3，进入循环。系统将RP模块以 50MHz时钟输出的一维小波变换后的高频系数和低频系数并转串，以 100MHz时钟输入，整个BMU模块工作在 100MHz时钟，受限一个时钟周期一个像素地输入（一行一行地输入），模块输出有效信号占空比为 50%，也就是说系统一半时间用于等待时间输入，这种情况是由于SRAM的单端口读入造成的，随着存储器的进步引入多端口读入时，系统将能进一步提高工作效率。

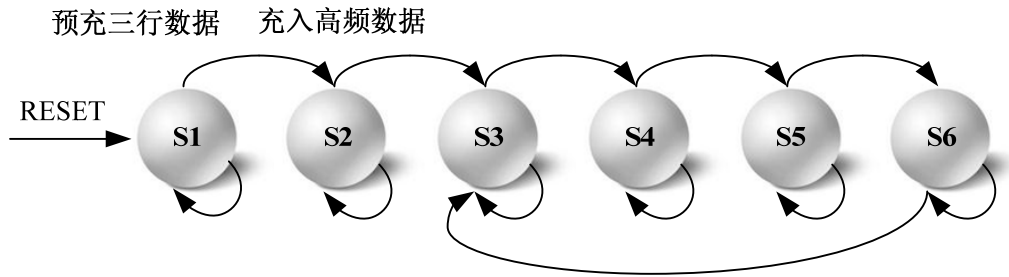


图 7 BMU 的 FSM

BMU的仿真结果如图 8所示。

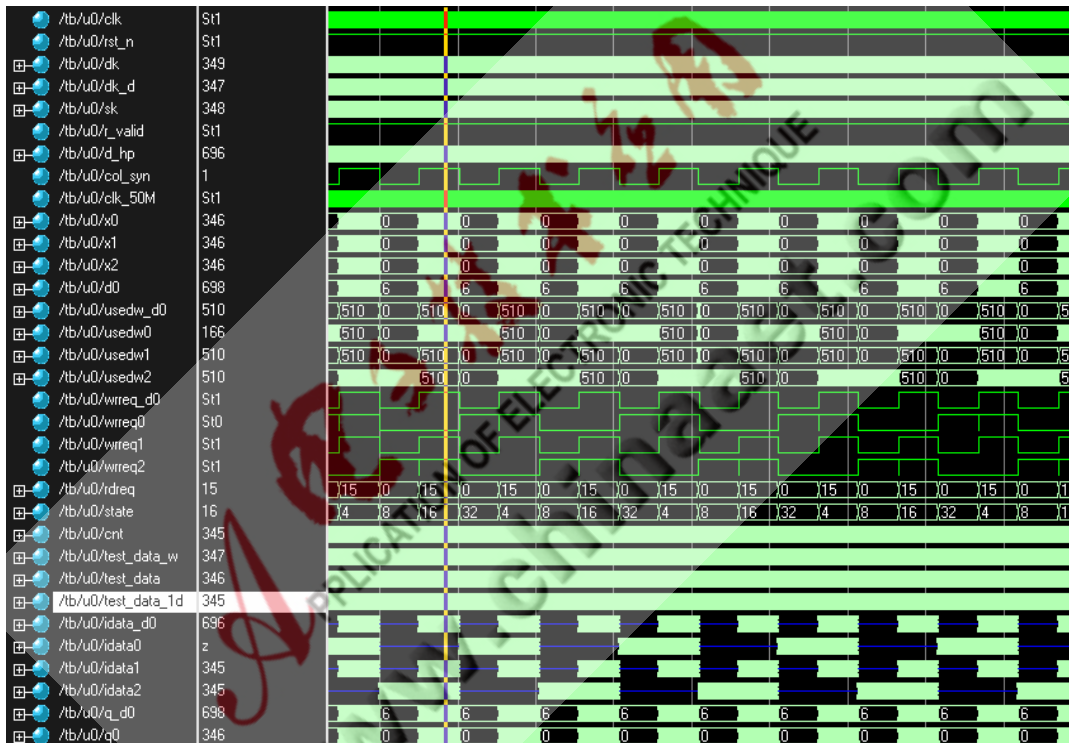


图 8 BMU 的仿真波形

2.5 CP 模块

本次设计并没有设计通用的行列变换单元，单独设计了列变换单元，这是在选择基于行的缓存三行的策略下所做的选择，参考RP模块实现，简单并且所需要的资源更少。图 9是该模块的仿真结果。

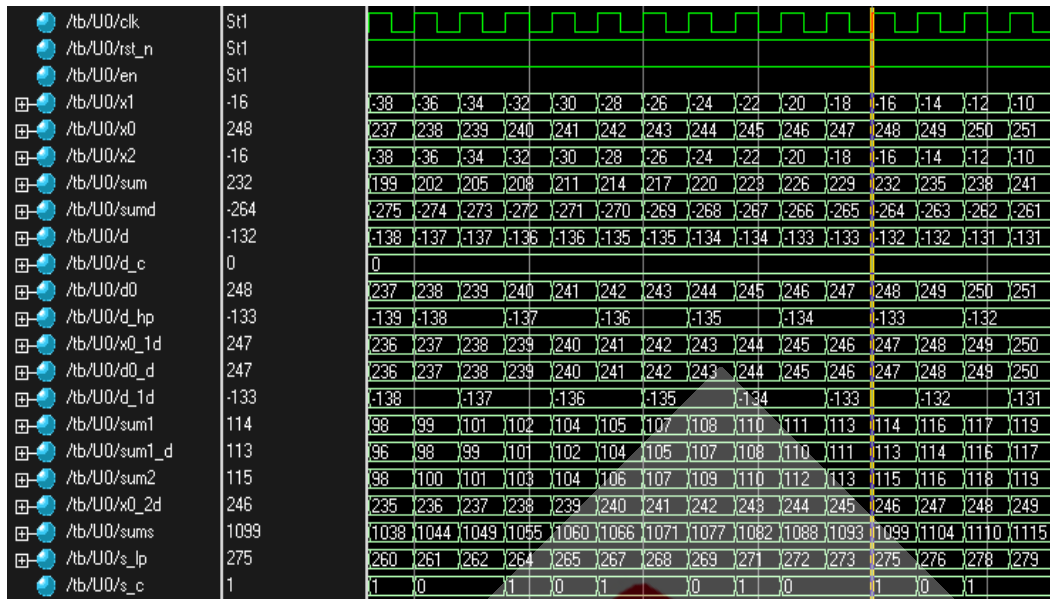


图 9 CPU 仿真波形

3 算法验证

3.1 显示验证系统

为验证设计的二维小波变换模块功能，并且直观地看到小波变换后图像的效果，本文还基于 Altera 公司提供的 DE2 开发平台设计了显示验证系统。通过 SRAM 控制器将预存于 SRAM 中的灰度图像读出，然后由小波变换模块处理，将处理后的图像通过 SDRAM 控制器存入 SDRAM，最后通过接口模块从 SDRAM 中把处理完的图像读出至 VGA 显示，完成算法验证。

DE2 上 SRAM 存储量为 $256 \times 16\text{bit}$ ，每个存储地址存储两个 8bit 像素。读写分别由控制器的 OE_N 和 WE_N 信号控制。

SDRAM 大小为 8M，由 4 个 Bank 组成，行、列地址用来指定访问 SDRAM 的存储单元，Bank 地址用来指定访问的 Bank。SDRAM 可以被认为是一个四个矩阵区的组合，但每次只能访问同一个 Bank 的一行，由于有 4 个 Bank，因此最多一次只能开 4 行。若一个 Bank 中一行开着，则在同 Bank 中开另一行时要关闭当前行。SDRAM 存储器使用硅电容作为数据的存储装置，所以必须定时刷新，以保持原有的数据不丢失。SDRAM 的初始化、寄存器设置和读写状态控制由 SDRAM 控制器中状态机实现。

小波变换模块输出工作在 100MHz，由于不是始终输出并且 VGA 工作在 40MHz，因此需要设计合适的接口模块。这里，通过两个 FIFO 作为小波变换模块和 SDRAM、SDRAM 和 VGA 之间的缓冲，组成接口模块，模块框图如图 10 所示。系统开始处理后将小波变换处理后的图像存在 SDRAM 的 Bank0，切换信号在 o_valid 保持 1024 个时钟周期为低后切换给 FIFO1，说明此时图像已经存储完毕可以读出显示。在输出有效小波变换数据时，写入 FIFO0，由于系统每次输出一行数据，设计 FIFO 深度为 512，宽度为 16，足够保证 FIFO 写满不写、读空不读的原则。FIFO1 则由 VGA 输出请求 iRequest 控制，iRequest 为高时输出数据至 VGA。

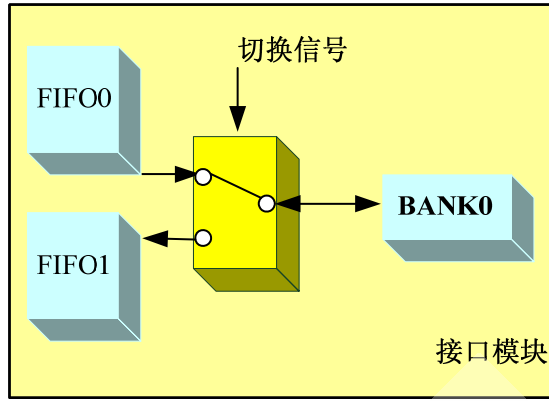


图 10 接口模块框图

表 2 SVGA 模式下的水平和垂直同步时间参数

水平同步时间参数	a/us	b/us	c/us	d/us	像素时钟/MHz
-	3.2	2.2	20	1	40
垂直同步时间参数	a/line	b/line	c/line	d/line	-
-	4	23	600	1	-

本文设计的VGA控制器控制VGA工作在SVGA模式下。由于设计的处理图像大小为 512×512 ，若选用一般的VGA模式（分辨率 640×480 ， 60Hz ），则不能稳定显示变换后的图像，因此配置VGA控制器模式为SVGA模式，在这种模式下能显示大小为 800×600 的图像，刷新速度为一秒钟60次，能够完成变换后图像的显示。在SVGA模式下，其水平和垂直同步时间参数如表2所示^[8]。VGA显示器工作在SVGA模式下的 512×512 大小图片如图11所示，图片显示在 800×600 的左上方。



图 11 SVGA 模式下显示 512×512 大小图像

3.2 小波变换结果

通过显示验证系统，在VGA上显示了直接进行小波变换后的结果，四个子带数据混合显示，结果如图 12所示，图像显示了小波细节系数和近似系数混合显示时的情况。若进一步对变换后数据进行EBCOT编码，可以实现JPEG2000 标准下的图像无损压缩。

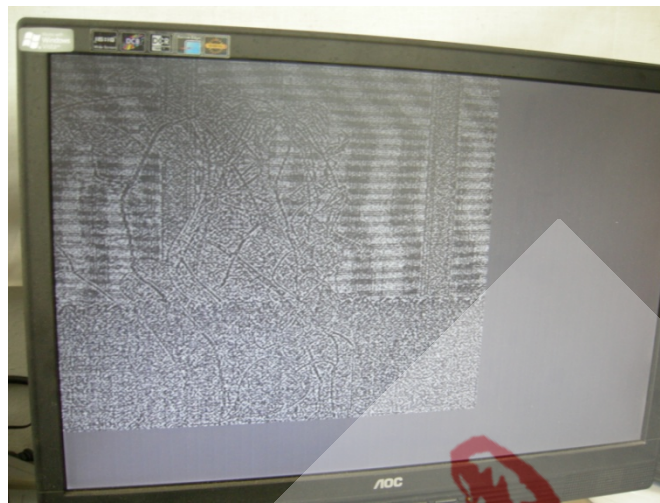


图 12 VGA 上直接显示的二维小波变换图像

4 结束语

本文在 FPGA 中实现了小波变换算法，FPGA 并行处理、硬件实现等特点非常适合计算强度高的算法实现。针对 Le Gall 5/3 小波，一维小波变换采用了基于提升格式的流水线架构，通过改变流水线寄存器的位置缩短了关键路径的长度，最大化的减少了占用的资源，在纯计算逻辑下一维小波变换 f_{\max} 能达到 259.59MHz。设计了基于行的同步二维小波变换，采用缓存三行的策略使所需片内缓存最少，列处理在行处理得到足够数据就开始进行，提高了算法的速度，模块可以工作在 100MHz 以上。

此外，构建了基于 FPGA 的算法验证平台。设计了 SVGA 模式的 VGA 时序控制器，双端口 SDRAM 控制器等实用模块，通过 VGA 上显示的变换后图像验证了设计正确性。

小波变换模块能作为独立的知识产权（IP）核应用于 JPEG2000 图像压缩系统中，为提高整个图像压缩系统的性能提供了基础，也能应用于图像识别、信号去噪等需要小波变换的领域。

参考文献

- 1 ISO/IEC 15444-1, Information Technology—JPEG2000 Image Coding System: Core Coding System. 2004
- 2 Tinku Acharya, Ping-Sing Tsai. JPEG2000 Standard for Image Compression : Concepts, Algorithms and VLSI Architectures. A Wiley-Interscience Publication. 2004: 79-159
- 3 David Taubman. High Performance Scalable Image Compression with EBCOT. IEEE Transactions on Image Processing. 2000, 9: 1158-1170
- 4 K. Parhi and T. Nishitani. VLSI Architectures for Discrete Wavelets Transforms. IEEE Trans. VLSI Systems. 1993, 27(2): 191-202

- 5 K. Andra, C. Chakrabarti, and T. Acharya. A VLSI Architecture for Lifting-Based Forward and Inverse Wavelets Transform. IEEE Trans. on Signal Processing. 2002, 50(4): 966-977
- 6 L. Liu, N. Chen, H. Meng. A VLSI Architecture of JPEG2000 Encoder. IEEE J. Solid-State Circuits. 2004, 39(11): 2032-2040
- 7 H. Liao, M.K. Mandal, and B.F. Cockburn. Efficient Implementation of the Lifting-based Discrete Wavelets Transform. Electronics letters. 2002, 38(18): 1010-1012
- 8 张春田, 苏育挺, 张静. 数字图像压缩编码. 清华大学出版, 2006: 316~349
- 9 张志刚. FPGA 与 SOPC 设计教程——DE2 实践. 西安电子科技大学出版社, 2007: 158-167

原创性声明

本人郑重声明：此处所提交的论文《一种低存储高速并行小波变换算法的 FPGA 实现》，是本人在杨春玲老师指导下，在哈尔滨工业大学进行研究工作所取得的成果。据本人所知，论文中除已注明部分外不包含他人已发表或撰写过的研究成果。本声明的一切法律结果由作者承担。

作者签字 孙超

日期： 2009 年 7 月 28 日

