

# 一种工作在亚阈值超低功耗带隙基准源的设计

杨盛波,唐宁,覃贤芳

(桂林电子科技大学 信息与通信学院,广西 桂林 541004)

摘要: 基于 RFID 标签芯片的低功耗要求,设计了一种超低功耗的带隙基准电压源,电路中的主要 MOS 管都工作在亚阈值状态。在 spectre 环境下仿真表明,当电源电压为 3 V~7 V,温度在 -30 °C~+120 °C 变化时,输出基准电压为  $1.8\text{ V}\pm 0.001\text{ V}$ 。电源电压抑制比(PSRR)为 69.5 dB,并且电路工作电流维持在  $1.5\text{ }\mu\text{A}\sim 7\text{ }\mu\text{A}$  的范围内。

关键词: 亚阈值;带隙基准源;电源抑制比;低功耗

中图分类号: TN432

文献标识码: A

## A design of ultra-low-power bandgap reference base on the subthreshold region

YANG Sheng Bo, TANG Ning, QIN Xian Fang

(School of Information and Communication Engineering, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: Based on the RFID tags chip's low power requirements, this paper designs an ultra-low-power bandgap reference, almost all the MOS of this circuit are working in sub threshold state. Simulation results under the spectre show that, a reference voltage of  $1.8\text{ V}\pm 0.001\text{ V}$  is obtained, in the range of power supply from 3 V to 7 V, and the temperature from -30 °C to +120 °C. The power supply rejection ratio is 69.5 dB, and the working current of this circuit maintain  $1.5\text{ }\mu\text{A}$  to  $7\text{ }\mu\text{A}$ .

Key words: sub threshold; bandgap reference; PSRR; low-power

电压基准源广泛应用于各种模拟集成电路、数模混合信号集成电路和系统集成芯片中,它的精度和稳定性直接决定着整个系统的精度。在 RFID 无源标签芯片的设计中,系统要从感应线圈中获得足够的能量,进行数据还原和相关的信号处理,因而电源产生电路本身的功耗就要足够小,带隙电路作为电源产生电路的主要组成部分,正是重点研究的意义所在。本文设计的超低功耗带隙基准源正是基于这一要求所设计出来的。

为实现低功耗的要求,本文充分运用了 MOS 管亚阈值工作状态,工作在亚阈值区的 MOSFET 不仅电流非常小,而且适合在低电压下工作,适合用来设计高精度的低压低功耗电流基准源。

### 1 带隙基准源的原理

带隙基准电路发展至今,已取得了许多成就,为了满足不同的需求,有很多不同的电路框架。为满足高精度和低功耗的要求,本设计利用双极型晶体管基射极电压  $V_{BE}$  的负温度系数与两个晶体管之间的  $\Delta V_{BE}$  的正温度系数相互抵消来实现低温漂、高精度的基准电压。图 1

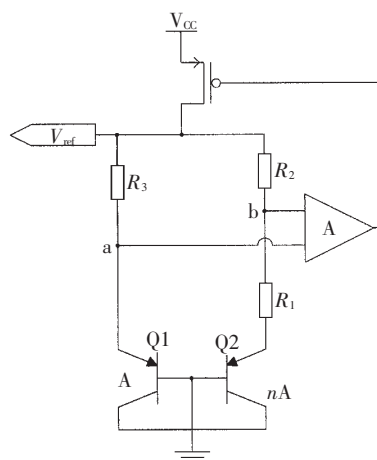


图 1 带隙基准源原理图

为本设计中所用到的电路结构。其中 A 为运算放大器, Q1 和 Q2 是在标准 CMOS 工艺中制作的集电极接地的 PNP 管。A 为 Q1 的面积, nA 为 Q2 的面积,且 Q2 的面积是 Q1 的 n 倍。

由于运放的作用  $V_a = V_b$ , 所以有:

$$V_{ref} = V_{EB1} + \left[ \frac{R_2}{R_1} \right] (V_{EB1} - V_{EB2})$$

根据半导体物理的知识有：

$$V_{EB} = V_{G0} \left( 1 - \frac{T}{T_0} \right) + V_{EB0} \left( \frac{T}{T_0} \right) + \frac{\gamma k T}{q} \ln \left( \frac{T_0}{T} \right) + \frac{k T}{q} \ln \left( \frac{J_C}{J_{C0}} \right)$$

$$\Delta V_{EB} = V_{EB1} - V_{EB2} = \frac{k T}{q} \ln \left( \frac{J_{C1}}{J_{C2}} \right), \text{ 所以}$$

$$V_{ref} = V_{EB1} + \left[ \frac{R_2}{R_1} \right] V_T \ln \left[ \frac{R_2}{R_3} n \right]$$

其中,  $V_{G0}$  为硅的带隙电压,  $J_C$  为 PNP 管集电极电流密度,  $\gamma$  为工艺相关的温度系数,  $k$  为玻尔兹曼常数,  $V_{EB0}$  和  $J_{C0}$  是在温度为  $T_0$  时的对映值。如果设  $J_C$  与温度的关系为  $T^\alpha$ , 则：

$$\left. \frac{\partial V_{EB}}{\partial T} \right|_{T=T_0} = \frac{V_{EB} - V_{G0}}{T_0} + (\alpha - \gamma) \left[ \frac{k}{q} \right],$$

在 300 K 时,  $V_{EB}$  关于温度的变化为  $-2.2 \text{ mV}/^\circ\text{C}$ 。所以  $V_{ref}$  的前半部分具有负温度系数, 后半部分具有正温度系数。通过调节电阻  $R_1$ 、 $R_2$ 、 $R_3$  和  $n$  的大小, 可以抵消  $V_{EB}$  的一次项, 降低温度对输出电压  $V_{ref}$  的影响, 得到一个比较恒定的电压输出。

## 2 基准源的整体电路设计

如图 2, 该基准电压产生电路由启动电路、偏置电路、运算放大电路和基准电压产生主体部分组成。其中, M15、M11、M16、M12 构成启动电路; M14、M9、M8 构成偏置电路; Q1、Q2、 $R_1$ 、 $R_2$  和  $R_3$  构成带隙核心电路, 且 Q1~Q2 采用环形窄基区的横向寄生 PNP 管, 以增大集电极的电流收集能力, 抑制纵向寄生效应的影响; 运算放大器为两级放大结构, 基准电压的产生是利用运算放大器虚短特性和电流镜结构, 将电源扰动和温度引起的误差放大后送入调整管, 从而得到与电源电压依赖性很小的带隙基准电压。在电路的设计中, 构成运算放大电

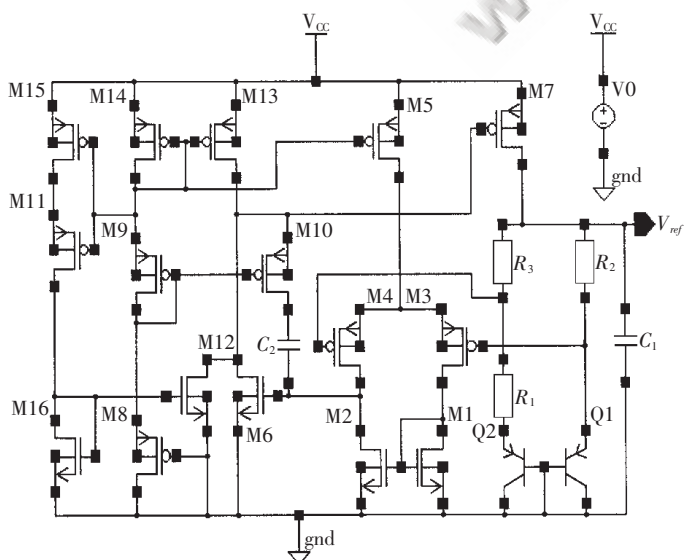


图 2 基准源电路图

路的 M1、M2、M3、M4、M5、M6、M13 管均工作在亚阈值状态。为了达到这一目的, 可以通过调节偏置电流, 使其大小为纳安级, 在运放的设计中, 最重要的是保证它有足够的开环增益和相位裕度。

M10 和  $C_2$  在电路中起频率补偿作用, 三极管 Q2 管为 49 个 PNP 管并联, Q1 仅为一个 PNP 管。其他电路参数如表 1。

表 1 电路参数表

| MOS 管 | M1               | M2               | M3                | M4                 | M5                | M6                 | M7                | M8               |
|-------|------------------|------------------|-------------------|--------------------|-------------------|--------------------|-------------------|------------------|
| W/L   | 4 $\mu$ /1 $\mu$ | 4 $\mu$ /1 $\mu$ | 15 $\mu$ /1 $\mu$ | 15 $\mu$ /1 $\mu$  | 10 $\mu$ /1 $\mu$ | 6.4 $\mu$ /1 $\mu$ | 1 $\mu$ /20 $\mu$ | 400n/20 $\mu$    |
| MOS 管 | M9               | M10              | M11               | M12                | M13               | M14                | M15               | M16              |
| W/L   | 400n/20 $\mu$    | 400n/6 $\mu$     | 1 $\mu$ /1 $\mu$  | 6.4 $\mu$ /1 $\mu$ | 10 $\mu$ /1 $\mu$ | 11 $\mu$ /350n     | 1 $\mu$ /1 $\mu$  | 2 $\mu$ /1 $\mu$ |

## 3 电路分析

### 3.1 CMOS 亚阈值差分电路的分析

在亚阈值区, MOSFET 漏电流  $I_D$  随  $V_{gs}$  的变化呈指数关系, 其 I-V 跨导特性为：

$$I_{ds} = n\mu C_{ox} \left( \frac{W}{L} \right) \left( \frac{KT}{q} \right)^2 \left\{ \exp \left[ \frac{q}{nkT} (V_{gs} - V_{th}) \right] \right\} \left[ -\exp \left( -\frac{qV_{ds}}{kT} \right) \right] \quad (1)$$

式(1)中,  $C_{ox}$ 、 $(W/L)$ 、 $V_{ds}$ 、 $V_{th}$ 、 $V_T = (KT/q)$ 、 $n$  和  $\mu$  分别为单位面积栅氧电容、MOSFET 宽长比、漏源电压、阈值电压、热电压、亚阈值斜率因子和迁移率。亚阈值斜率因子可以表示为：

$$n = 1 + \frac{C_{dep}}{C_{ox}} \approx 1.5$$

其中,  $C_{dep}$  为沟道表面耗尽电容。迁移率  $\mu$  与温度有关, 可以表示为：

$$\mu(T) = \mu(T_0) \left( \frac{T}{T_0} \right)^{-m}$$

其中,  $\mu(T_0)$  是参考温度  $T_0$  的迁移率,  $1 \leq m \leq 2$ 。

将式(1)做一整理可得：

$$I_{ds} = \left( \frac{W}{L} \right) I_{D0} \exp \left( \frac{V_{gs}}{nV_T} \right) \left[ 1 - \exp \left( -\frac{qV_{ds}}{kT} \right) \right] \quad (2)$$

其中  $I_{D0} = n\mu C_{ox} V_T^2 \exp \left( -\frac{V_{th}}{nV_T} \right)$ , 可以看成是温度与工艺的函数。

实际电路中, 漏极电压比热电压大得多, 所以式(1)、式(2)最后一项可以忽略不计, 从而得到以下关系式：

$$I_{ds} = \left( \frac{W}{L} \right) I_{D0} \exp \left( \frac{V_{gs}}{nV_T} \right) \quad (3)$$

不难看出, 这一关系式与双极型晶体管的 I-V 特性极为相似, 基于这一点, 可以设计如图 3 所示的差分放大电路。

由式(3)可知：

$$I_{ds3} = \left( \frac{W}{L} \right)_3 I_{D0} \exp \left( \frac{V_{gs3}}{nV_T} \right)$$

$$I_{ds4} = \left( \frac{W}{L} \right)_4 I_{D0} \exp \left( \frac{V_{gs4}}{nV_T} \right), \text{ 又因为:}$$

$$I_{ee} = I_{ds3} + I_{ds4}$$

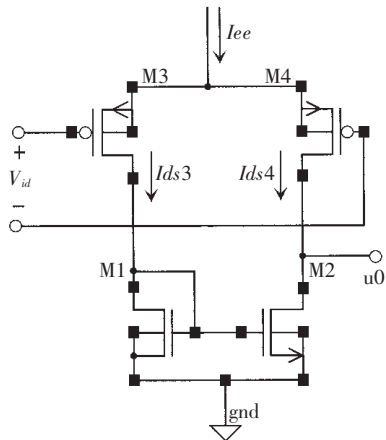


图3 亚阈值差分输入对

$$u_{id} = V_{ds3} - V_{ds4}$$

所以：

$$I_{ds3} = \frac{I_{ee}}{1 + e^{-\frac{u_{id}}{nV_T}}}$$

$$I_{ds4} = \frac{I_{ee}}{1 + e^{\frac{u_{id}}{nV_T}}}$$

$$g_{md} = \frac{\partial i_{ds3}}{\partial u_{id}} = \frac{I_{ee}}{(1 + e^{-\frac{u_{id}}{nV_T}})^2} e^{-\frac{u_{id}}{nV_T}}$$

在  $-nT \sim nT$  范围内，输入输出近似存在线性关系：

$$g_{md} = \frac{I_{ee}}{4nV_T} \quad (4)$$

$$g_{ds} = \frac{\partial i_{ds}}{\partial v_{ds}} = I_{D0} \left( \frac{W}{L} \right) \frac{1}{V_T} \exp\left(\frac{V_{GS}}{nV_T}\right) \exp\left(-\frac{v_{ds}}{V_T}\right) \quad (5)$$

所以第一级电压增益为  $A_{V1} = -\frac{g_{md}}{g_{ds2} + g_{ds4}}$ 。由于分子分母都

是关于温度的函数，所以第一级的输出是一个关于温度的函数，并且两项作用也可以抵消一些温度的影响。

### 3.2 整体电路的分析

运放第二级为单管反相放大，由式(3)可得：

$$g_m = \frac{\partial i_{ds}}{\partial v_{gs}} = \frac{I_{ds}}{nV_T} \quad (6)$$

所以： $A_{V2} = -\frac{g_m}{g_{ds6} + g_{ds13}}$

运算放大器的增益为：

$$A_V = A_{V1} \times A_{V2} = -\frac{g_{md}}{g_{ds2} + g_{ds4}} \times \frac{g_m}{g_{ds6} + g_{ds13}} \quad (7)$$

式(7)中  $g_{ds2}$ 、 $g_{ds4}$ 、 $g_{ds6}$ 、 $g_{ds13}$  可以由式(5)计算得出，运算放大器的总开环增益也是温度的一个函数，在温度从  $-25^\circ\text{C} \sim 120^\circ\text{C}$  变化时，运放的增益在 55 dB~79 dB 区间变化，符合设计所需要的增益要求。

## 4 基准源性能仿真

表征基准电压源性能的主要参数有基准电压温度系数和基准电压对电源变化的抑制能力。高精度基准源要求较小的温度系数和强的电源抑制能力，而且还要求基准电路要功耗小。基于  $0.35 \mu\text{m}$  CMOS 工艺的

BSIM3V3 模型，采用 Spectre 进行仿真，仿真结果如下文。

### 4.1 基准电压温度系数

带隙基准电路的一项关键技术指标就是电压温度系数，它表征由于温度的变化而引起输出电压的漂移量，其计算公式为：

$$\alpha_T = \frac{1}{V_{ref}} \times \frac{dV_{ref}}{dT}$$

对基准源电路进行温度扫描，其输出波形见图4，根据仿真曲线，可以计算出基准电压的温度系数为  $\pm 1.13 \times 10^{-5}/^\circ\text{C}$ 。

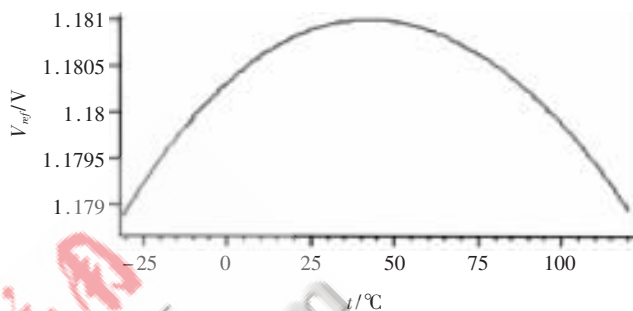


图4 基准电压随温度的变化

### 4.2 电源抑制比 (PSRR)

电源抑制比 (PSRR) 是表征电源抑制能力的交流小信号参数，其定义为：

$$PSRR = \frac{V_{CC, ripple}}{V_{ref, ripple}}$$

图5为基准源电源纹波抑制的仿真曲线。从图中可以看出该电路在较宽的频率范围内 PSRR 约为 69.5 dB，具有较高的电源纹波抑制能力。

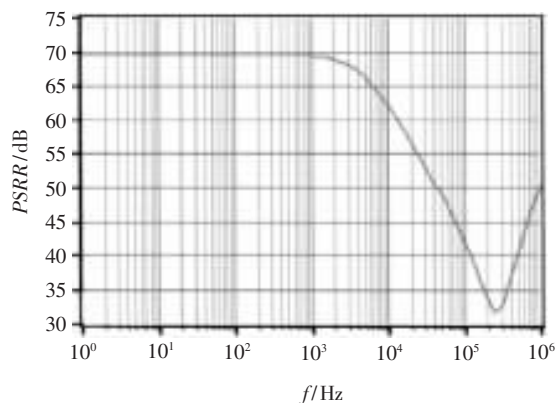


图5 电源抑制比

### 4.3 基准电路的功耗

在 RFID 标签芯片的设计中，基准电路功耗的大小直接决定了后续电路能否正常工作，所以在里作为一个重要的指标进行考虑。图6为基准电路工作总电流随电源电压和温度变化的情况，由图中结果可以得到，电路工作电流在电源电压  $3\text{V} \sim 7\text{V}$ ，温度从  $-30^\circ\text{C} \sim 120^\circ\text{C}$  变化时，电路工作电流在  $1.5 \mu\text{A} \sim 7 \mu\text{A}$  之间变化，并且

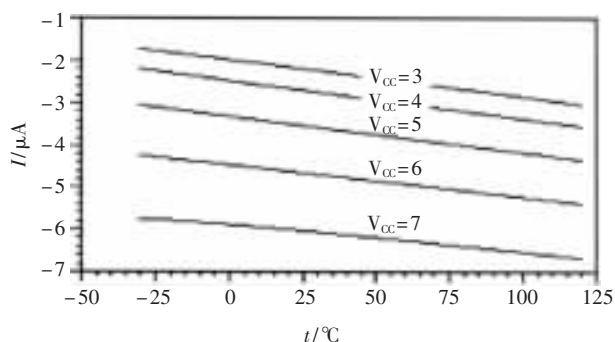


图6 电路工作电流随电源电压和温度的变化

在电源电压为 3.3 V 时，电路工作电流在  $2\mu\text{A}\sim 2.5\mu\text{A}$  之间，此时电路的功耗仅为  $7\mu\text{W}\sim 8\mu\text{W}$ 。

文中所设计的基准电压源，为 RFID 标签芯片的电源电路设计提供了一种比较好的解决方案。一方面要求电路有较高的精度；另一方面又要求有很低的静态功耗。对于前者文中使用了经典 PNP 管架构的结构；对于

后者采用了 MOS 管亚阈值工作状态，并设计了一款全亚阈值工作状态的运放。虽然此运放的增益也是关于温度的函数，但在所变化的温度范围内增益都符合要求，即都满足虚短的要求，且绝对是低功耗，这也为运放在辅助性的设计中提供了一个好的借鉴。

#### 参考文献

- [1] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 陈贵灿, 程军, 张瑞智, 等译. 西安: 西安交通大学出版社, 2003.
- [2] PHILLIP E A, DOUGLAS R H. CMOS analog circuit design [M]. 北京: 电子工业出版社, 2002.
- [3] 杨卫丽, 汪西川, 邓霜. 一种低功耗差动 CMOS 带隙基准源[J]. 微计算机信息, 2005, 21(06Z): 120-121.
- [4] 朱樟明, 杨银堂, 刘帘曦, 等. 一种高性能 CMOS 带隙电压基准源设计[J]. 半导体学报, 2004, 25(5): 542-546.
- [5] BANBA H, SHIGA H, UMEZAWA H, et al. A CMOS bandgap reference circuit with sub 1V operation[J]. IEEE Journal Solid state Circuits, 1999, 34(5): 670-674.

(收稿日期: 2008-09-11)

电子技术应用  
APPLICATION OF ELECTRONIC TECHNIQUE  
www.chinaet.com