

基于 FPGA 的数字信道化接收机的研究及实现

辛渊博, 侯宏

(西北工业大学 航海学院, 陕西 西安 710072)

摘要: 数字接收机^[1]设计, 一般要具有宽带频率覆盖、高的灵敏度和动态范围、可以检测同时到达信号, 以及高的测频精度和频率分辨率等性能要求。通常的电子战侦察接收机, 同时多信号处理能力比较弱, 同一时刻只能处理一个信号, 这已不能适应日益复杂的电磁环境下的信息化战场需求。本文根据侦察接收机设计中所面临的问题, 提出一种基于多相滤波器组的数字信道化测频接收机的设计方法, 并进行了深入的理论分析, 用大量计算机仿真实验验证所设计的接收机的性能。

关键词: 数字信道化 数字下变频 多相滤波 软件无线电

Research and implementation of Digital Channelized Receiver based on FPGA

Xin Yuanbo, Hou Hong

(College of Marine Engineering, Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: The design of digital reconnaissance receiver, requires broadband frequency coverage, good sensitivity and dynamic range, simultaneous signal detection, and fine frequency measurement. The general electronic warfare reconnaissance receiver, however, has some shortcomings such as the weak ability of processing multi-signal at the same time, it can only operate single signal at one time. Thus it is totally unsuitable for the extremely complicated electromagnetic environment in the modern war. According to the question which the reconnaissance receiver in the design, this dissertation proposes a design method of channelized receiver based on poly-phase filters, and their corresponding theoretical analyses are given. The algorithms and conclusions in the dissertation are verified by a plenty of computer simulations.

Keyword: **Digital Channelization, Digital Down Converter, Poly-phase Filter, Software Radio**

创新性声明

秉承学校严谨的学风和优良的科学道德，本人声明所呈交的论文是我个人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除了文中特别加以标注和致谢中所罗列的内容以外，论文中不包含其他人已经发表或撰写过的研究成果；也不包含为获得西北工业大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中做了明确的说明并表示了谢意。

申请学位论文与资料若有不实之处，本人承担一切的法律责任。

本人签名：辛渊博

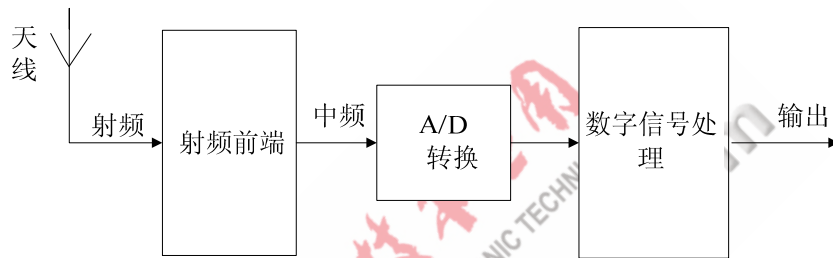
日期：2009-3-13

电子技术应用
APPLICATION OF ELECTRONIC TECHNIQUE
www.chinaaet.com

1. 设计思想

随着软件无线电理论^[2]和应用趋于成熟与完善,软件无线电技术已经被越来越广泛地应用于雷达通信及各种军用和民用的无线通信系统中。作为软件无线电的核心技术之一,数字接收机技术也得到了越来越普遍的应用。

软件无线电是一种基于高速、高精度 ADC 器件、高速 FPGA/DSP 芯片,以软件为核心的崭新的体系结构。基于软件无线电思想的数字接收机除了具有数字接收机数字化、稳定好的优点外,还具有软件无线电灵活性、适应性和开放性等特点。其设计思想是:将宽带 A/D 和 D/A 变换器尽可能靠近天线,即把 A/D 和 D/A 从基带移到中频甚至射频,把接收到的模拟信号尽早数字化;然后用实时高速 FPGA/DSP 做 A/D 后的一系列处理,使无线电系统的各种功能通过软件进行定义。图 1-1 显示了一个典型的数字接收机模型。



图

图 1-1 软件无线电中数字接收机模型

本文的主要工作包括以下几个方面:研究了宽带数字接收机的相关理论及结构,提出了基于 FPGA 的数字接收机实现方法。对高速采样单元与 FPGA 的接口实现进行了讨论,提出了基于多相结构实现数字下变频以及信道滤波器的方法。测试结果表明该接收机能够正常工作并满足系统指标要求。

2. 宽带数字接收机的功能及原理

由于受 A/D 器件水平的制约,直接对射频信号进行采样处理有一定难度。因此,在保留软件无线电通用、灵活、开放的特点的前提下,目前普遍采用了中频数字化方案:射频信号首先进入接收天线,然后送入射频前端处理。这种结构与常规的超外差电台的接收机类似,射频前端的主要功能为把射频信号通过下变频,变为适合 A/D 采样的带宽及中心频率适中的中频信号,这样使得后续的 A/D 采样以及信号处理负担大大减轻。中频信号经带通采样后,再通过 FPGA 中的 DDC 以及数字信道化,进一步降低信号处理速率,并完成信号预处理。得到脉冲描述字,将脉冲的各个参数信息送到 DSP 中进行处理。系统组成框图如图 2-1 所示:

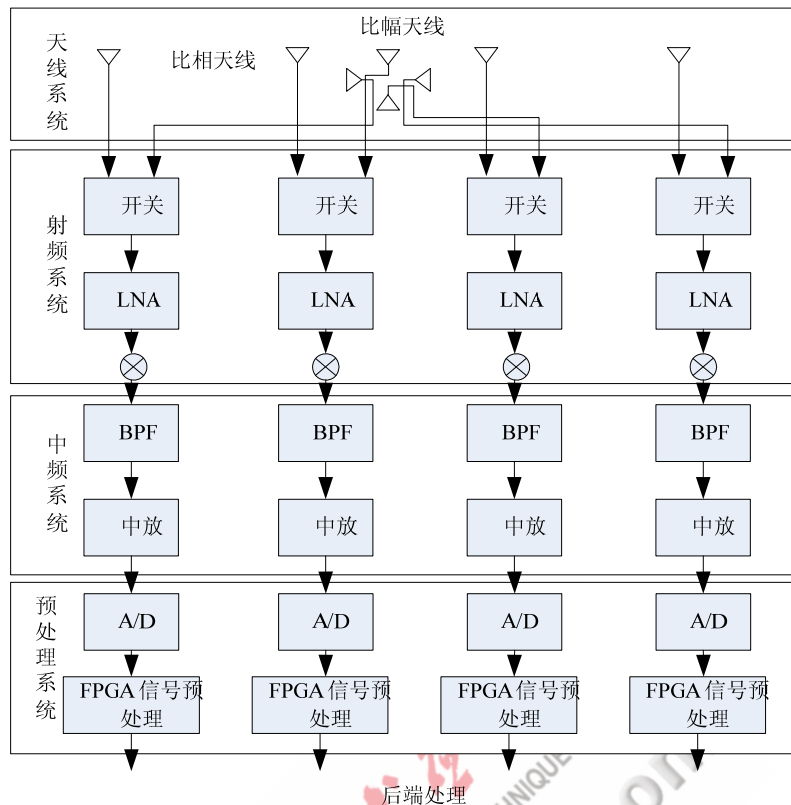


图 2-1 系统组成框图

3. 系统实现

3.1 高速采样单元的设计

3.1.1 ADC08D1000^[3]的特点

ADC08D1000 是 NS 在 2005 年推出的双通道低功耗 8bit A/D 转换器，单通道最高采样频率达 1.3GHz，全功率带宽为 1.7GHz。采用 1.9V 电源供电，每个通道均为差分输入。在高速数模转换系统中，数模转换器输出信号的完整性以及输出信号速度过高是两个难题，而 ADC08D1000 则较好的解决了这两个问题。

为了提高输出数字信号的完整性以及降低功耗，A/D 转换器采用了 LVDS 技术传输信号，如果走线得当，可以很大程度的抑制共模噪声，得到比 TTL/CMOS 更好的抗干扰效果以及辐射噪声。

同时为了降低输出信号速率，采用了增加输出信号带宽，降低输出信号速率的方法，但保持数据吞吐率不变。这通过 A/D 内部的一个数据分配器(DMUX)实现。

本系统中频频率为 1050MHz，带宽为 BW=300MHz。采用带通采样方式，其采样频率低于输入中频频率。但是 ADC 的输入带宽必须大于中频频率加二分之一带宽，ADC08D1000 的模拟输入带宽为 1700MHz，大于 $1050+150=1200\text{MHz}$ ，满足设计要求。ADC08D1000 的最高采样率为 1300MHz，也可以满足系统要求。此外，AT84AD001 的模拟输入、时钟输入和输出全部采用差分方式。设采样时

钟频率 $f_{sw}=600\text{MHz}$ ，其内部提供了 1:1/1:2 降速率逻辑，其输出 A、B、C、D 四路的数据速率分别为 $f_{sw}/2$ ，数据宽度为 8 位，电平为差分 LVDS，数据宽度为 $2 \times 8 = 16$ 位，但是速率已经是 300MSPS ，可以直接送给 FPGA 处理，不需要再进行专门的降速率处理。系统框图如图 3-1 所示：

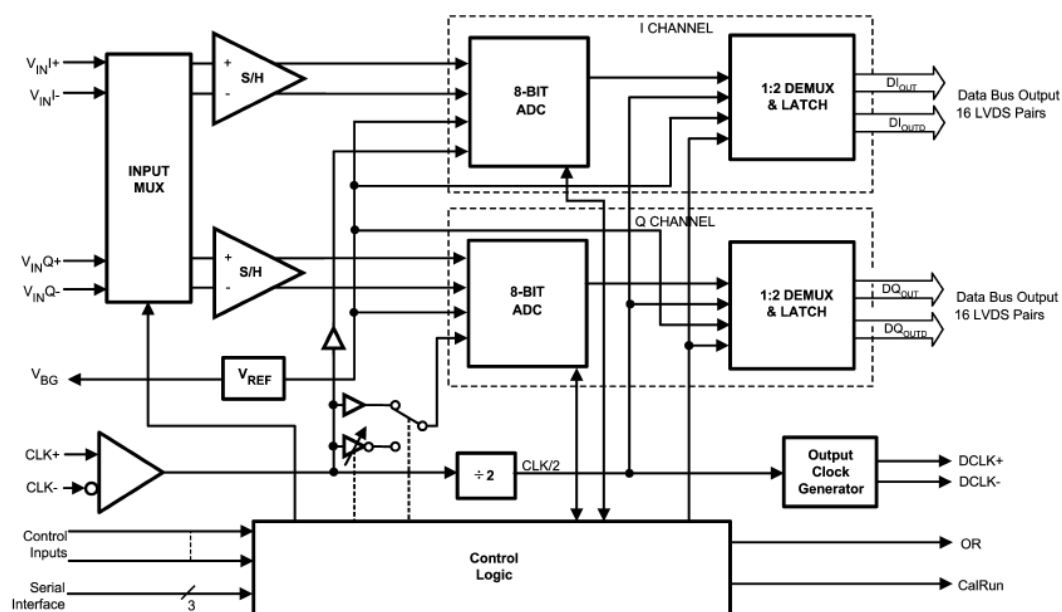


图 3-1 ADC08D1000 结构框图

对于 ADC08D1000 的模拟输入来说，包括采样时钟以及两路采样信号，要求为差分输入，所以要通过变压器对单端输入的信号进行转换。由于 A/D 的输入阻抗为 100 欧，所以差分输出端接上 100 欧电阻，将输出阻抗转为 50 欧差分阻抗。A/D 模拟输入电路部分如下图 3-2 所示：

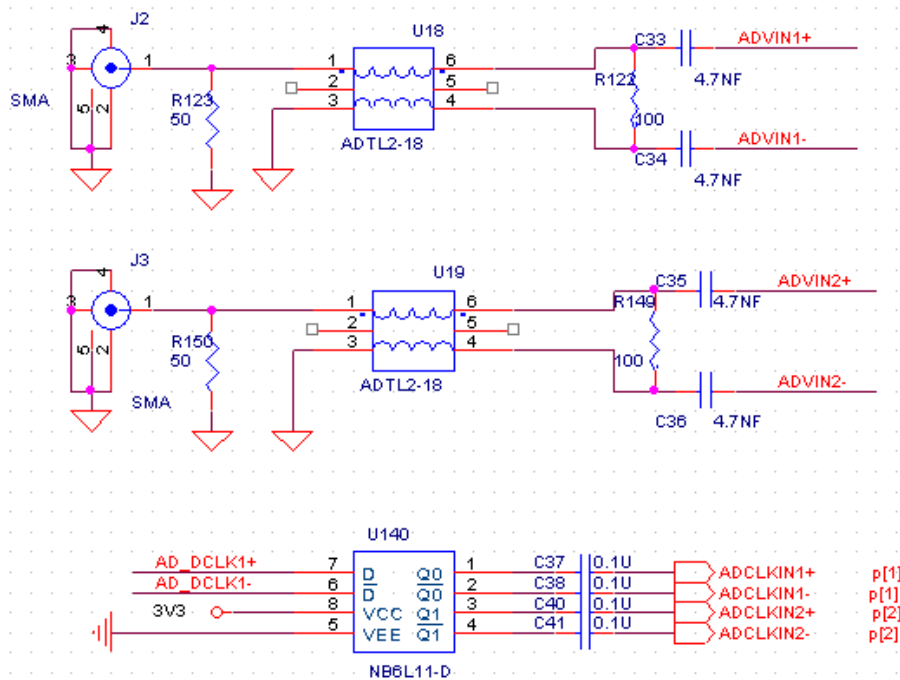


图 3-2 模拟信号输入

该 A/D 的控制接口可以采用两种方式：固定电平方式以及 SPI 控制方式，SPI 方式时更加灵活，可以通过 FPGA 完成控制时序以及控制参数的写入。

A/D 输出与 FPGA 接口电路如下图 3-3 所示(仅以部分管脚做说明)：

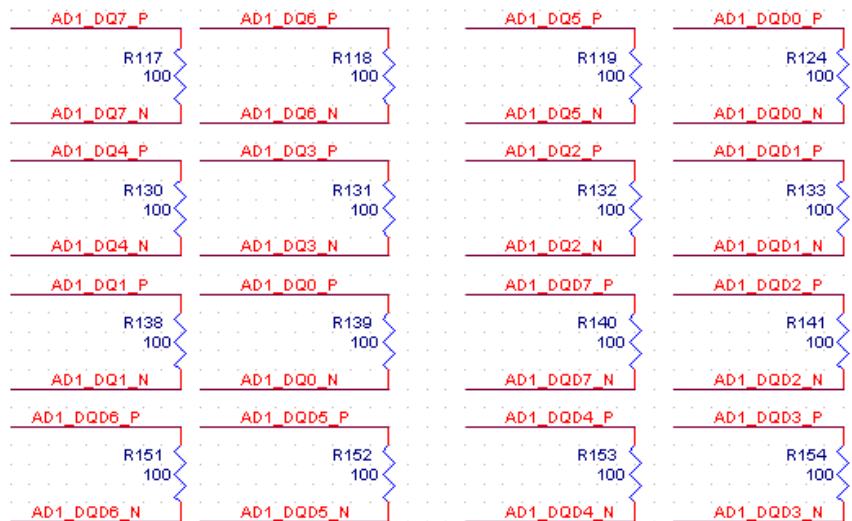


图 3-3A/D 与 FPGA 接口

A/D 为差分输出，其中 100 欧匹配电阻要尽可能的靠近 FPGA 管脚。

3.2 FPGA 的信号处理单元实现

StratixII 系列 FPGA^[4]从低到高端共有如下 6 个型号：EP2S15、EP2S30、EP2S60、EP2S90、EP2S130 和 EP2S180。它们具有如下的主要特点：

- 创新使用了“自适应逻辑模块”（ALM），这种构架使 FPGA 的性能及资源利用率最优化；

- 具有从 15, 600 到 179, 400 个不等的等效逻辑元件 (LEs);
- 高速 DSP 模块 (最快能达到 370MHz), 实现了专门的乘法、乘加运算及有限脉冲响应 (FIR) 滤波器;
- 最多有 16 个全局时钟, 支持动态时钟管理以降低用户模式时的功耗;
- 最多有 12 个锁相环 (PLLs);
- 支持多种网络、通信总线标准, 如 RapidIO, HyperTransporttechnology, 10GEthernetXSBI 等;
- 支持高速外部存储器, 如 DDR、DDR2、SDRAM、QDRIISRAM 及 SDRSRAM 等;
- 支持多种 Altera 公司的 IP 核移植;
- 支持比特流配置的加密技术。

StratixII 系列 FPGA 的资源如下表 3-1 所示:

Feature	EP2S15	EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
ALMs	6,240	13,552	24,176	36,384	53,016	71,760
Adaptive look-up tables (ALUTs) (1)	12,480	27,104	48,352	72,768	106,032	143,520
Equivalent LEs (2)	15,600	33,880	60,440	90,960	132,540	179,400
M512 RAM blocks	104	202	329	488	699	930
M4K RAM blocks	78	144	255	408	609	768
M-RAM blocks	0	1	2	4	6	9
Total RAM bits	419,328	1,369,728	2,544,192	4,520,488	6,747,840	9,383,040
DSP blocks	12	16	36	48	63	96
18-bit x 18-bit multipliers (3)	48	64	144	192	252	384
Enhanced PLLs	2	2	4	4	4	4
Fast PLLs	4	4	8	8	8	8
Maximum user I/O pins	366	500	718	902	1,126	1,170

表 3-1 StratixII 系列芯片资源表

为了完成本设计的数据处理要求, 由表中数据, 我们选用 EP2S90F1020C3 作为首选芯片。

3.2.1 系统原理框图

A/D 高速采样的 300MHz 差分信号进入 FPGA 后, 通过 LVDS 模块转换为单端信号, 然后进行数字下变频(DDC)处理。需要注意的是, A/D 采样得到的数字信号为偏移二进制类型, 所以要转换为补码形式以便于后续处理。DDC 之后得到的基带信号进入信道化滤波器组, 完成信道化处理, 得到 32 路子带信号, 通过门限判决、开关选择, 选择两路进行处理。两路信号分别做 CORDIC 幅相解算, 时域以及频域参数测量, 形成脉冲描述字(Pulse Description Word), 然后上传给 DSP 做进一步处理。整个 FPGA 内部处理模块的框图如下 3-4 所示:

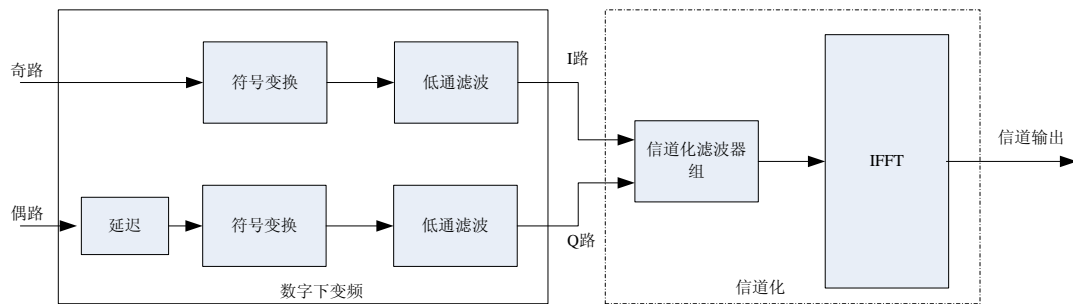
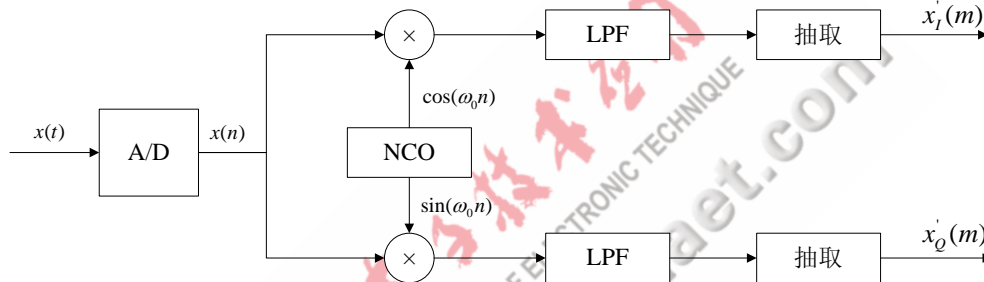


图 3-4FPGA 模块框图

3. 2. 2 数字下变频 DDC

A/D 输出信号为 LVDS 形式, 进入 FPGA 后需要转为单端信号。我们使用 altera 提供的模块可以完成信号的转换。使用 megawizard 调用 ALTLVDS 宏就可以生成 LVDS 模块。由于 A/D 采用偏移二进制, 所以在信号处理之前先转换为补码形式。

数字下变频的作用是将高速率信号变成低速率基带信号, 以便于做进一步的信号处理。典型的数字下变频原理框图如图 3-5 所示:



该方法的缺点在于: A/D 需要在高频进行采样数字化; 当采样速率很高时, 后续的数字低通滤波会成为瓶颈, 特别是当滤波器阶数很高时; 抽取在低通滤波后进行, 这意味着有很多经过下变频和低通滤波后的数据没有被利用, 大量运算结果被浪费, 运算效率低。

因此, 本文提出一种基于多相结构的高效宽带数字下变频结构, 解决了下变频器工作速率与 A/D 输出速率的一致性问题的。

$$\text{设输入信号为: } x(t) = a(t) \cos[2\pi f_0 t + \varphi(t)] \quad (\text{式 3-1})$$

按以下采样频率 f_s 对其进行采样:

$$f_s = \frac{4f_0}{(2m+1)} \quad (m=0, 1, 2, \dots) \quad (\text{式 3-2})$$

得到的采样序列为:

$$\begin{aligned}
 x(n) &= a(n) \cos[2\pi \frac{f_0}{f_s} n + \varphi(n)] \\
 &= a(n) \cos[2\pi \frac{(2m+1)}{4} n + \varphi(n)] \quad \text{式(3-3)} \\
 &= x_{BI}(n) \cos(\frac{2m+1}{2} \pi n) - x_{BQ}(n) \sin(\frac{2m+1}{2} \pi n)
 \end{aligned}$$

式中， $x_{BI}(n) = a(n) \cos \varphi(n)$ ， $x_{BQ}(n) = a(n) \sin \varphi(n)$ ，可得：

$$x(2n) = x_{BI}(2n) \cos[(2m+1)\pi n] = x_{BI}(2n)(-1)^n \quad \text{式(3-4)}$$

$$x(2n+1) = -x_{BQ}(2n+1) \cos[\frac{2m+1}{2} \pi(2n+1)] = x_{BQ}(2n+1)(-1)^n \quad \text{式(3-5)}$$

令：

$$\begin{aligned}
 x'_{BI}(n) &= x_{BI}(2n) = x(2n)(-1)^n \\
 x'_{BQ}(n) &= x_{BQ}(2n+1) = x(2n+1)(-1)^n
 \end{aligned} \quad \text{式(3-6)}$$

即 $x'_{BI}(n)$ 和 $x'_{BQ}(n)$ 两个序列分别是同相分量 $x_{BI}(n)$ 和正交分量 $x_{BQ}(n)$ 的 2 倍抽取序列，其实现过程如图 3-6 所示。

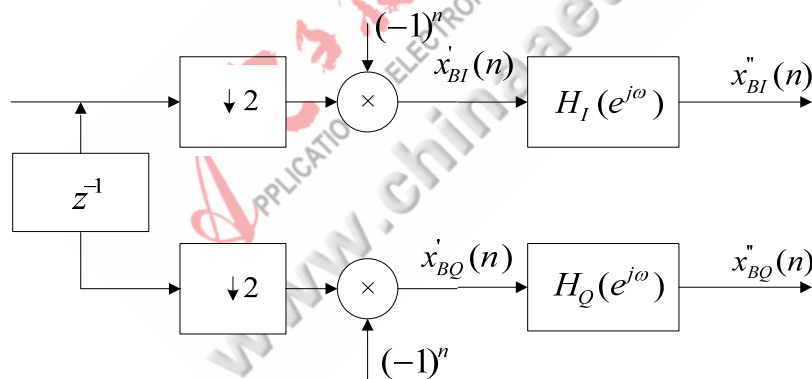
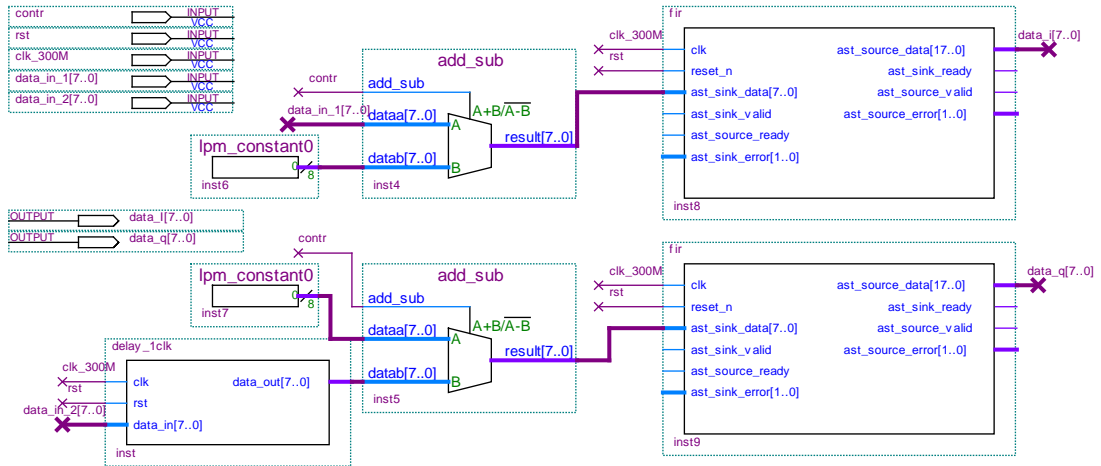


图 3-6 正交变换的多相滤波实现

具体实现为，2 倍抽取在 A/D 内通过 DMUX 完成。然后由符号转换将输入信号正负交替输出，利用加法器实现，加减可以控制。需要输出原数据时，加减控制设为加法；需要输出反相数据时，则将加减控制设为减法，输出数据为零减去原数据。

I 路和 Q 路的移相滤波器采用 FIR 滤波器实现，它的主要运算是乘法和累加计算。滤波器阶数选择为 24 阶。计算过程采用流水方式实现，FPGA 的乘法+累加器的速度可以满足 300MSPS 数据率的要求。FPGA 实现如下：



利用 Testbench 文件对模块进行仿真。Testbench 文件读取由 MATLAB 产生的信号数据作为 FPGA 仿真的激励信号。仿真完成后，将数据导入 MATLAB，结果如图 3-7 所示。

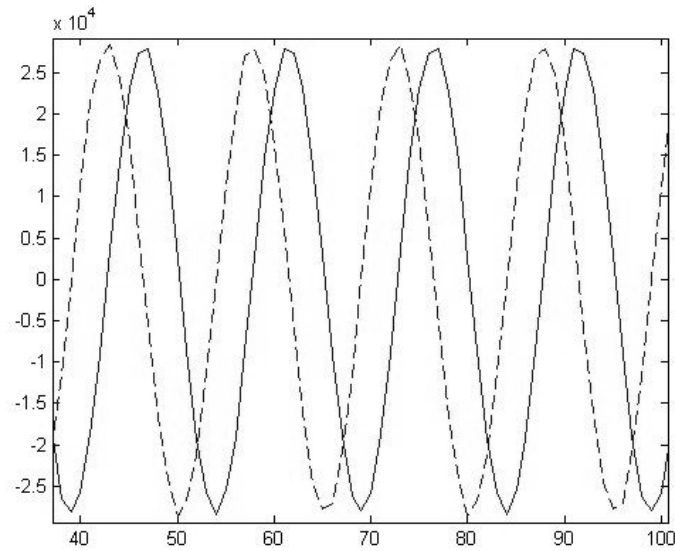


图 3-7 DDC 输出的 FPGA 仿真结果

图中实线和虚线分别表示 DDC 输出的 I 路和 Q 路数据，两路数据正交，与 MATLAB 的仿真结果相当接近，证明了该模块设计的正确性。

3.2.3 多相信道化滤波器组

下变频之后得到 I、Q 两路信号，为了得到较高的频率分辨率，可以采用信道化的方法。该方法的基本原理是将输入的全带信号进行频带分割，即将接收到的信号频段分解成若干个不同频段又称为子频段或子信道，然后对各子段分别处理。为了得到更高的频率分辨率，各子频段可分别再进行第二次分割、第三次分割，直到满足频率分辨率的要求为止。本文中，由于接收机工作在中频，因此只需一次分割即可。

假定在侦察系统中，接收的中频带宽 300MHz，我们设 AD 采样速率为 600MHz，带通采样，无模糊带宽为 300MHz，周期延拓之后，中频带宽（300MHz）落在其中的一个周期内，因此不会产生频率混叠现象。无模糊带宽（300MHz）

分为 $K=32$ 个信道，输入分实部和虚部。每个信道的带宽是 9.375MHz ($300/32$)。

采用基于 DFT 多相滤波器组的信道化滤波器技术^{[6][7]}，实现数字信道化滤波器。本系统中，信道化是在数字正交下变频(DDC)后进行，输入是复信号 $x(n)$ ，低通滤波器采用 N 阶 FIR 滤波器，其响应为 $h_{LP}(n)$ ，且抽取率 $K=D$ ，则第 k 个信道滤波器的输出为：

$$\begin{aligned} y_k(m) &= \sum_{i=0}^{N-1} x(n-i)e^{-j\omega_k(n-i)} h_{LP}(i) \Big|_{n=mD} \\ &= \sum_{p=0}^{K-1} \sum_{i=0}^{\frac{N}{K}-1} x(mD-iK-p)e^{-j\omega_k(mD-lk-p)} h_{LP}(iK+p) \end{aligned} \quad \text{式 (3-7)}$$

令 $x_p(m) = x(mD-p)$ ， $g_p(m) = h_{LP}(iK+p)$ ， $p=k=0, 1 \cdots K-1, L=N/K$ 。则

$$\begin{aligned} y_k(m) &= \sum_{p=0}^{K-1} \left[\sum_{i=0}^{L-1} x_p(m-i)e^{-j\omega_k(m-i)D} g_p(i) \right] e^{j\omega_k p} \\ &= \sum_{p=0}^{K-1} \left\{ x_p(m-i)e^{-j\omega_k(m-i)D} \right\} * g_p(i) e^{j\omega_k p} \end{aligned} \quad \text{式 (3-8)}$$

定义 $x'_p(m) = [x_p(m)e^{-j\omega_k mD}] * g_p(m)$ 则

$$y_k(m) = \sum_{p=0}^{K-1} x'_p(m) e^{j\omega_k p} \quad \text{式 (3-9)}$$

设滤波器采用偶排列方式，将 $\omega_k = \frac{2\pi k}{D}$ 代入上式，得到

$$\begin{aligned} x'_p(m) &= \left[x_p(m) e^{-j\frac{2\pi}{D} kmD} \right] * g_p(m) \\ &= (x_p(m)(-1)^m) * g_p(m) \end{aligned} \quad \text{式 (3-10)}$$

$$\begin{aligned} y_k(m) &= \sum_{p=0}^{K-1} x'_p(m) e^{j\frac{2\pi}{D} kp} \\ &= IDFT\{x'_p(m)\} \end{aligned} \quad \text{式 (3-11)}$$

由此可以得到多相滤波器组实现的结构框图如 3-8 所示：

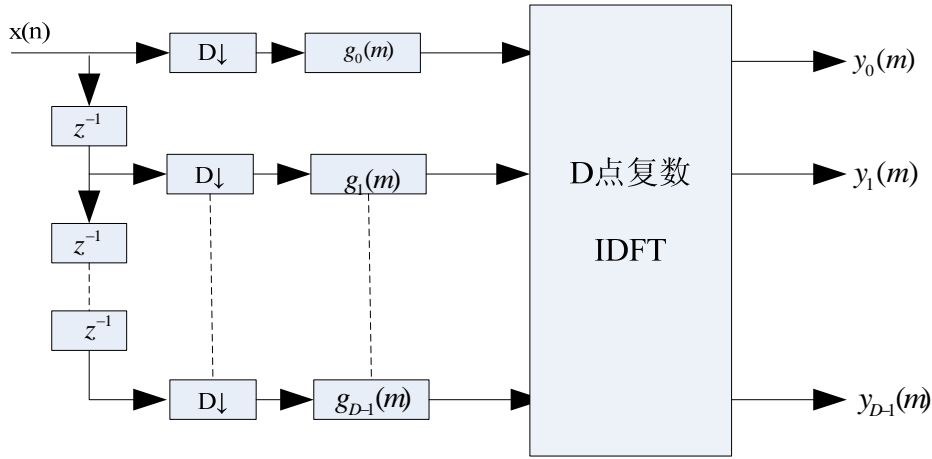


图 3-8 信道化滤波的结构

其中由于采用了预先抽取方式，降低了滤波运算的运算量。而 $g_p(m)$ 是低通原型滤波器 $h_{LP}(n)$ 的多相分量，滤波器阶数是原来的 $1/D$ ，IDFT 可以利用 FFT 实现，系统的数据率降低，实时性能很高。

本信道化设计中采用多相滤波器算法，该算法比低通滤波器组的算法更高效，且硬件实现简单。其主要的运算是复滤波、复乘法和复 IDFT 运算。设接收机的信道数 $N=32$ ，低通原型滤波器阶数为 $M=256$ （考虑到正交下变频单元已经进行了滤波，因此滤波器阶数不必取的太高，等价于多相滤波器为 8 阶），则所需要做的乘法数为：

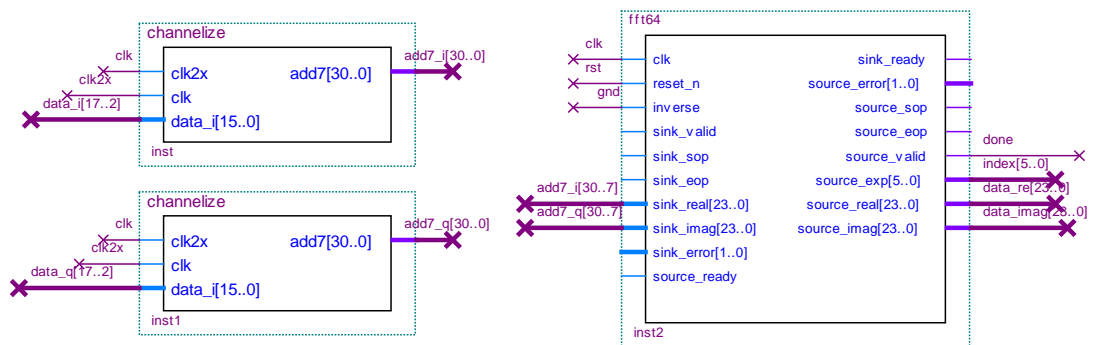
$$P = N + 2M + M \log_2(M) = 2592 \quad \text{式 (3-12)}$$

如果采用普通的低通滤波器组方式，这需要的乘法次数为：

$$P = N(M + 1) = 8224 \quad \text{式 (3-13)}$$

可见，多相滤波器算法比低通滤波器组的算法更高效。

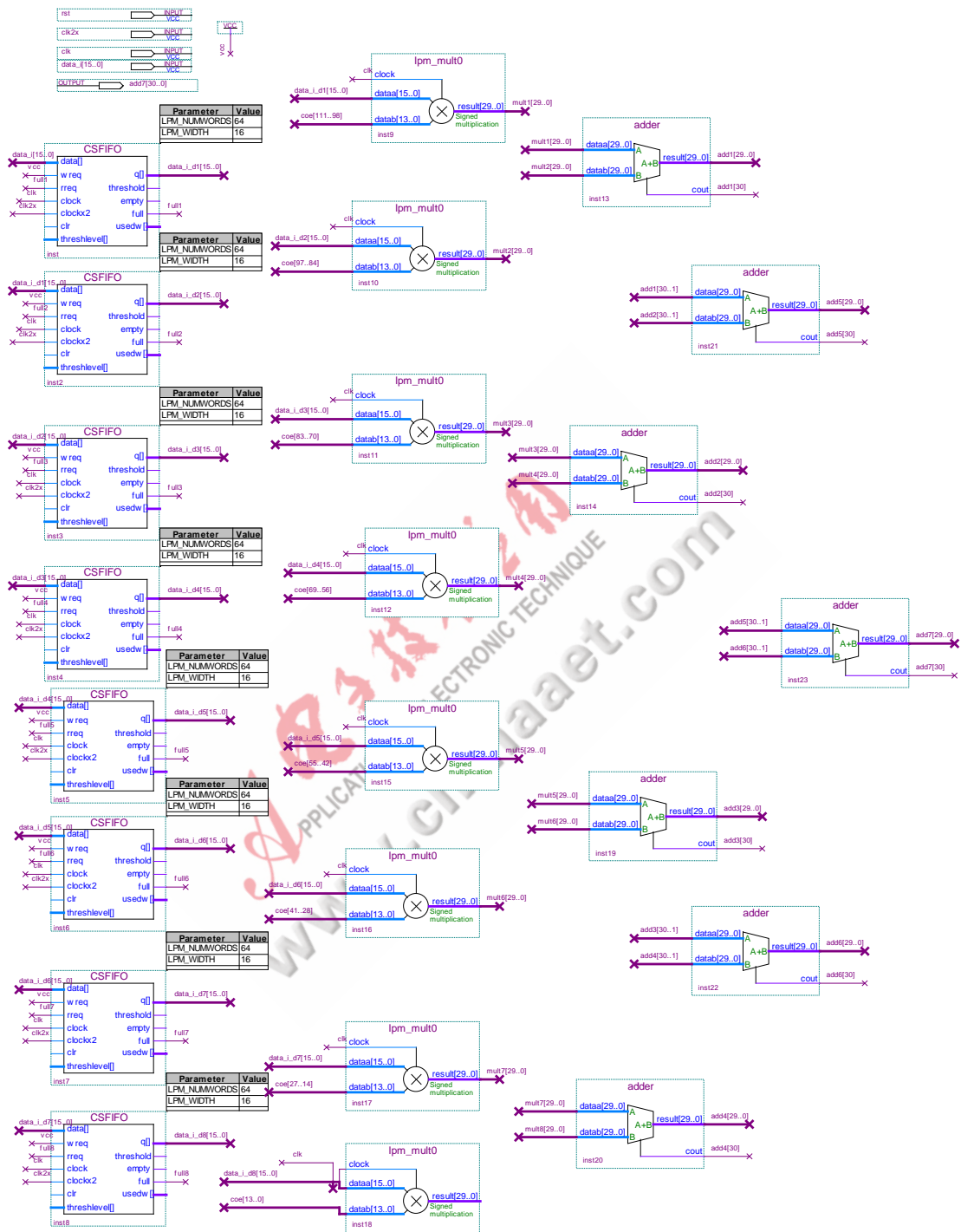
其次，DFT 采用 FFT 实现，FFT 运算的核心是蝶形运算，它由复数乘法和加法组成，可以利用 Quartus 提供的 IP 核可以很方便实现^{[8][9]}。多相滤波模块的 FPGA 实现如下：



由于乘累加之后数据产生冗余位，可能会造成后级运算溢出，因此，需要在

中间过程进行数据截位，保证适当的有效数据位。

channel 模块实现信道化滤波器组，其实现如下：



当输入为线性调频信号， $f_0 = 950\text{MHz}$ ，带宽 $B=30\text{MHz}$ ，输入信号以及频谱特征如图 3-10 所示，信道输出如图 3-11，输出信号的能量主要集中在 11~13 信道，频域输出幅值为 -3dB 左右，而其他通道输出都在 -40dB 以下。因此，确定门限后，可以将这些通道的信号输出。

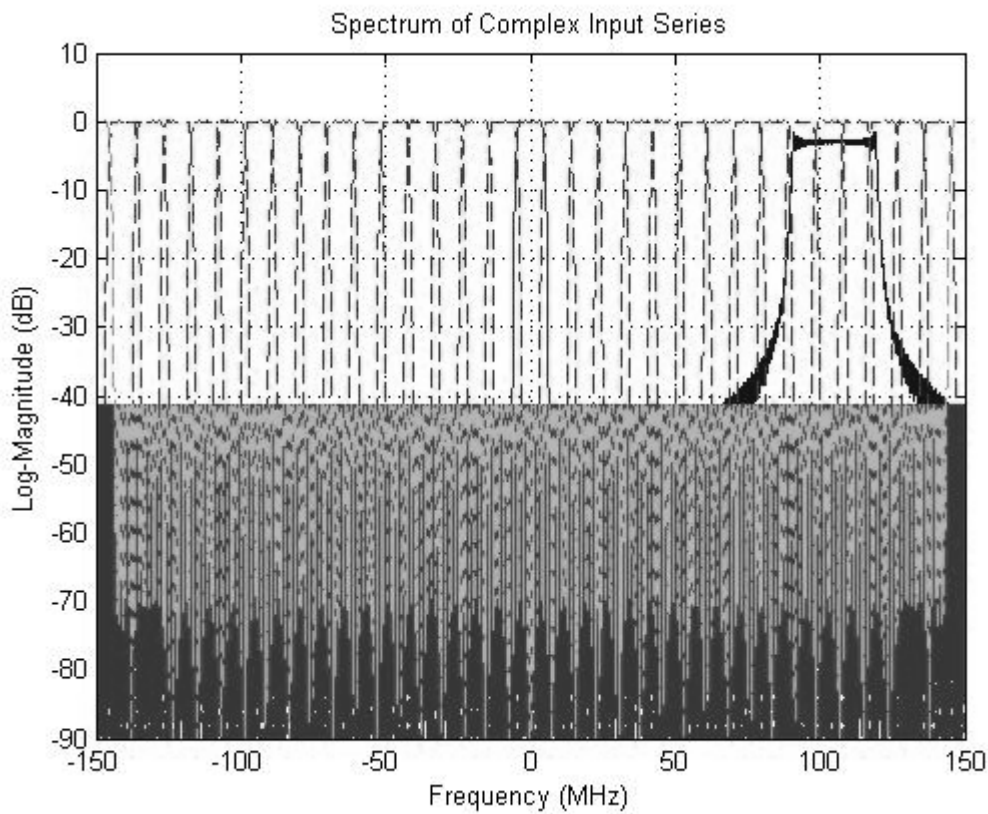


图 3-10 线性调频信号及频谱特征

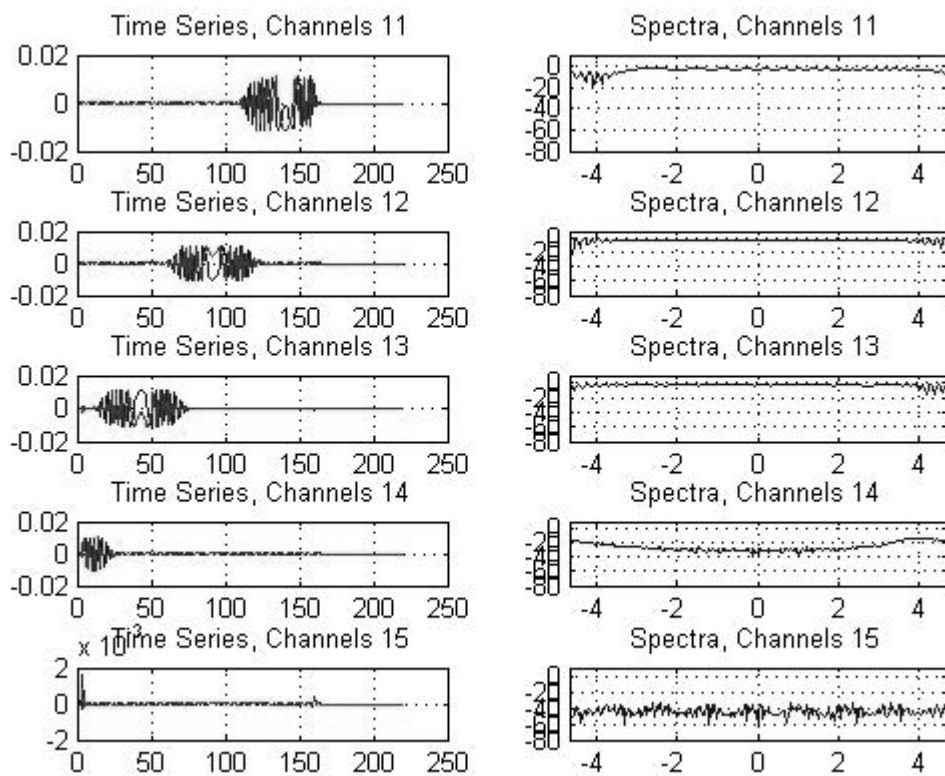


图 3-11 输入为线性调频信号时的信道化接收机的输出

从图 3-11 可以看出,线性调频信号经过接收机后,从各通道的输出在时域上是顺序的。依据此特征,可以在后续模块中判断出输入信号是线性调频信号。

可见,这种基于多相滤波器组的数字信道化算法,是一种高效的算法,对于高速采样的信号具有降速和下变频的作用,输入信号落在覆盖频带内,能够输出低速信号,这种信号易于后端的信号处理。

4. 结束语

本文提出了基于 FPGA 的一种宽带数字接收机的设计及实现方法,对数据接口,功能模块的算法以及实现方法进行了讨论,并对模块功能进行了仿真和测试。结果表明了宽带数字接收机在 FPGA 上实现的可行性。

参考文献

- [1] 杨小牛,楼才义,徐建良著.软件无线电原理与应用.电子工业出版社,2001.1-74
- [2] National Semiconductor.ADC08D1000 High Performance,Low Power,Dual 8-bit,1GSPS A/D Converter Data Sheet,December 2005.
- [3] StratixII Device Handbook.Altera Corporation. <http://www.altera.com.cn/support/devices/stratix2/dev-stratix2.html>.
- [4] 孔京,郭黎利.基于软件无线电通信平台的高效信道化 MSK 系统.哈尔滨工业大学学报 2004,36(4): 443-445 页
- [5] 孔京,张晓林.基于软件无线电通信平台的高效信道化 QAM 系统.哈尔滨工程大学学报.2004,24(2): 204-208 页, 239 页
- [6] Mitol J.Software Radios: Survey, Critical Evaluation and Future Directions, Proceedings of National Telesystem Conference, NY: Press, 1992.
- [7] Altera FPGA/CPLD 设计(基础篇),EDA 先锋工作室,人民邮电出版社.
- [8] Wayne Wolf(美).基于 FPGA 的系统设计.北京:机械工业出版社(影印),2005.