电流模 ADC 发展概况与趋势

孙 泳，来逢昌
（哈尔滨工业大学 微电子中心，哈尔滨 150006）

摘 要：高性能数据转换器在数字信号处理中起到非常重要的作用，高速、高精度模数转换器的性能制约着现代信息技术的发展。本文对新兴的电流模式 ADC 的发展状况进行回顾，总结了电流模 ADC 的性能特点，并将电流模式和电压模式 ADC 的性能特点和发展趋势进行比较，同时对制约 ADC、特别是电流模式 ADC 性能的主要因素进行了详细分析。

关键词：模数转换器；电流模；时钟抖动；比较器不确定性；信噪比

当今世界是一个高度信息化的社会，日新月异的数字通信技术推动社会高速发展，利用数字信号处理（DSP）系统进行信息处理已经成为普遍的选择。但是现实世界中的各种实物和信号均是模拟的，因此需要利用模数转换器（ADC）完成模拟信号到数字信号的转换。Robert H.Walden 在文献[1]中对 ADC 的发展概况和趋势等进行了详细的综述，对 1997 年之前出现的 ADC 的情况进行了分析和总结。

近年来，随着制造工艺的不断发展和对电路低功耗性能的追求，集成电路的供电电压逐步降低，这使得以电压信号为变量的 ADC 设计变得越来越困难。而电流模技术以其结构简单、速度快、频带宽、电源电压低等特点，逐渐受到集成电路设计与制造行业的重视，出现了一些采用电流模技术设计的 ADC（IADC）。本文介绍电流模 ADC 的研究进展和发展状况，并对电流模 ADC 和电压模 ADC 在采样率、分辨率、功耗等方面性能进行比较，进而推断出电流模 ADC 的发展趋势。

电流模技术简介

电流模技术于 1968 年提出，提出伊始，模拟电路的设计还处于分立器件时代，电流模电路的优点并不明显，同时单片运算放大器在模拟电路设计中地位的确立，使得从事模拟电路设计的工程师们习惯于从电压而非电流的角度思考问题，电流模的优点并没有得到普遍认可。近代以来，随着工艺的进步，出现了互补硅双极结（BJT）工艺、混合硅双极和互补金属氧化物半导体（BiCMOS）工艺和砷化镓（GaAs）工艺，这些工艺的成熟，使得早期提出的许多电流模电路的理论得到了实现，电流模技术在模拟电路设计中的作用开始被人们逐渐接收，它的优点也随着工艺水平的发展和设计方法的进步而逐渐显露出来。在 1989 年，电流模信号处理专题已经列入 IEEE 电路与系统国际会议的议题，成为模拟信号处理的重点研究方向之一。

电流模 ADC 进展

国际上对电流模数据转换器的研究最早开始于上世纪 80 年代。有据可查的第一个电流模 ADC 是由 D.G.Nairn 和 C.A.T.Salama 在 1988 年 Electronics Letters 上报道的以电流镜为基础的算法型模数转换器[1]。

自 1988 年之后，国际上对电流模 ADC 的关注逐渐升温[3-6]。但相对于传统电压模式的 ADC 而言，电流模 ADC 所占的比重非常小，从国内外期刊和国际会议上公开发表的研究成果来看，关于电流模 ADC 的论文仅有不足 80 篇，一些主要的半导体厂商也开展对电流模 ADC 的研究，但到目前为止，还没有看到成型的产品面市。而相应的采用电压模式设计的 ADC 却十分普遍，市场上的产品更是不计其数。下面将近年来发表的关于电流模 ADC 方面的文章，按照年份进行统计，结果如图 1。

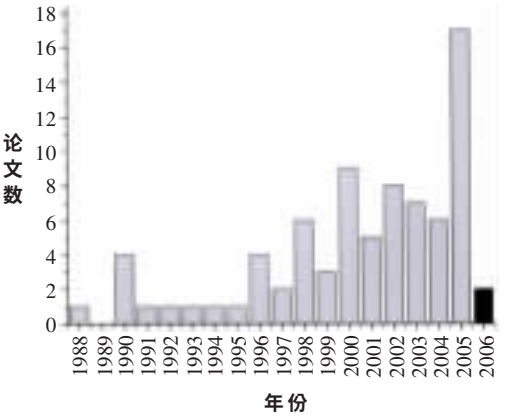

图 1 论文数量 vs.年份

图 1 中显示，电流模 ADC 的发展可以分为两个阶段：第一阶段为 1988 年~1996 年，研究人员和学者们开始对电流模 ADC 进行探索和研究，包括各种基础技术的研究，采样、比较等功能模块的设计和实现，均开始于这一时期；第二阶段为 1997 年至今，对电流模 ADC 的研究进入快速发展时期，出现了多种结构的设计，关于电流模 ADC 方面的研究报道也逐渐多了起来，但是从整个 ADC 的发展情况来看，电流模 ADC 所占比重不到 1%，它的研究工作才刚刚开始。图 2 所示为高速高性能 ADC 的统计图表，将 ADC 的分辨率和对应的采样率绘制成图表。其中包括目前为止报道的所有采用电流模技术设计的 ADC（23 个）以及超过 60 个高速高性能电压模 ADC 样片及产品，两条虚线所示分别代表电流模 ADC 和电压模 ADC 的目前最高水平。

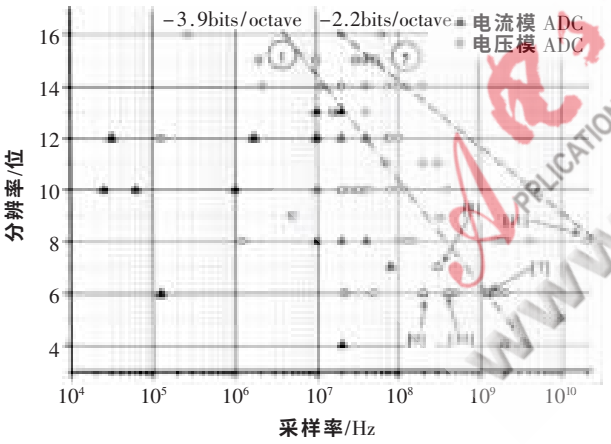

图 2 采样率 vs 分辨率

从图 2 中可以得出两个比较重要的结论：首先，随着采样频率的上升，ADC 分辨率下降。对于电流模 ADC，采样频率每增加一个数量级，分辨率下降约 3.9 位（曲线 1），对于电压模 ADC，采样频率每增加一个数量级，分辨率下降约 2.2 位（曲线 2）；其次，目前现有的 ADC 能够达到的最高的采样率为 20GS/s。

电流模 ADC 的性能

评价 ADC 的性能指标有多种方法，不同的应用领域也会导致对 ADC 众多指标当中的一项或某几项有所侧重。本文中，将比较的重点集中在分辨率和采样率上。同时，目前集成电路正向低压、低功耗方向发展，功耗问题也应该给予足够的重视。下面从 ADC 的各项性能指标的角度，分析近年来电流模 ADC 发展状况并进行总结。

分辨率是 ADC 各种性能参数中最基本的一项，可分为静态指标和动态指标，其中积分非线性（INL：Integral Nonlinearity）和差分非线性（DNL：Differential Nonlinearity）是静态指标，而信噪比 SNR（Signal-Noise Ratio）和无杂散动态范围 SFDR（Spurious Free Dynamic Range）是动态指标。对于高速 ADC 应用而言，动态指标能够更为准确地对 ADC 的性能进行评价。

SNR 是在指定频段内的信号功率的均方根值与平均噪声功率的比值。如果 ADC 在输入信号频率达到采样频率的一半时仍能保持低频时的性能，此 ADC 被称为奈奎斯特 ADC。这里的噪声指电路中所有噪声源，包括量化噪声、电路噪声、时钟抖动以及比较器的不确定性等。

对于一个理想的 ADC，噪声仅与量化过程有关。量化即是将一个无限精度的模拟量转化为有限位数的数字输出，这中间产生的误差称为量化误差。由量化误差引起的信噪比仅与 ADC 的位数有关，通过白噪声近似的方法，可以得出理想 ADC 信噪比与位数的关系。

假设一个理想 ADC 的位数为 N，则此 ADC 的量化步长为 Q=满量程/2^N，则量化误差在$[-\frac{Q}{2},\frac{Q}{2}]$区间服从线性分布：

$$e(t)=Q\times(\frac{t}{T}-\frac{1}{2}) \quad (1)$$

其中，T 为采样间隔，Q 为量化步长。

在一个采样间隔的时间中，量化噪声功耗的均方根值可以表示为：

$$NP(rms)=\sqrt{\frac{1}{T}\times\int_0^T e(t)^2\times dt}=\frac{Q}{\sqrt{12}} \quad (2)$$

因此，理想 ADC 的信噪比可以表示为：

$$SNR(dB)=20\times\log_{10}\left[\frac{Fs(rms)}{NP(rms)}\right]=6.02\times N+1.76 \quad (3)$$

其中，Fs 为理想 ADC 的输入信号满量程。

实际 ADC 中，噪声有多种来源，为了直观地表示噪声源对 ADC 动态特性的影响，引入了 SNR 位数的概念，表达式同式(3)类似。

$$SNR(dB)=6.02N_{eff}+1.76 \quad (4)$$

其中，SNR 为实际 ADC 的信噪比，N_{eff}表示有效位数。

比较完整的 ADC 的性能参数包括 SNR、SFDR 和采样率、功耗等。SNR 和 SFDR 作为输入信号频率 f_{sig} 的函数，随着输入信号频率的增加呈下降趋势。低频时 ADC 的 SNR 为常数，当输入频率升高使得 SNR 相比低频值下降 3dB 时，此时的输入信号频率称为有效分辨率带宽 ERBW（Effective Resolution Bandwidth）。

为了衡量不同结构 ADC 的性能，一般采用统一的品质因数 FoM（Figure of Merit）对 ADC 的性能进行比较，根据评价的侧重点不同，通常采用 P 参数和 F 参数这两种品质因数对 ADC 的性能进行量化比较。

P 参数，定义为实际的量化间隔总数与采样频率的乘积，对于一个 N 位的 ADC，其量化间隔总数为 $2^{SNRbits}$。

$$P=2^{SNRbits}\times f_{samp} \quad (5)$$

同 P 参数相比，F 参数包括了 ADC 的功耗参数：

$$F=\frac{2^{SNRbits}\times f_{samp}}{P_{diss}} \quad (6)$$

电流模 ADC 和电压模 ADC 的 P 参数和 F 参数统计结果见图3、图4。

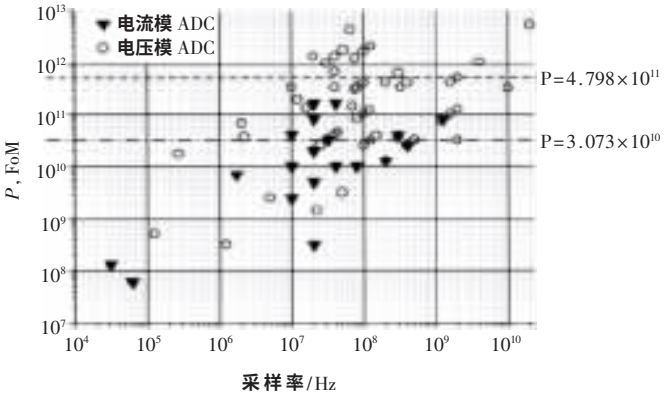

图 3 采样率与 P, FOM 的关系

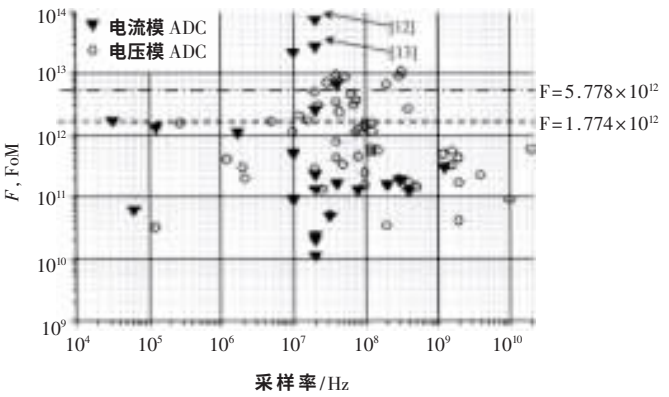

图 4 采样率与 F, FOM 的关系

图 3 所示为 ADC 的 P 参数统计分布图，电流模 ADC 的 P 参数平均值为 3.073×10^{10}，比电压模 ADC 平均值 4.798×10^{11} 要小很多，这说明在采样率和分辨率的综合性能上，电流模 ADC 同电压模 ADC 相比，性能相差较多。在图 4 中的 F 参数统计图中，可以看到，电流模 ADC 的 F 参数平均值为 5.778×10^{12}，而电压模 ADC 的 F 参数平均值为 1.773×10^{12}。这说明，在综合考虑分辨率、采样率和功耗效率时，电流模 ADC 要超过电压模 ADC 的性能，利用电流模技术实现的 ADC 在高速、低功耗方面具有一定的优势。

性能分析

实际的 ADC 由于电路中各种噪声源的存在，有效位数（N_{eff}）会低于设计精度。在电路中存在的各种噪声机制中，等效输入噪声、时钟抖动以及比较器不确定性对 ADC 的 SNR 性能影响较大。下面对由上述噪声源决定的 SNR 位数进行分析。

等效输入热噪声对 SNR 的影响：在 ADC 输入端观察到的等效噪声包括热噪声、散粒噪声、$1/f$ 噪声和输入相关噪声。其中，热噪声和散粒噪声是白噪声，而 $1/f$ 噪声和输入相关噪声是与输入信号频率有关的。在奈奎斯特频率范围（$f_{in}\leqslant f_{sample}/2$）内对上述噪声源进行积分，可以得到等效热噪声电流的均方根值：

$$\langle i_n^2\rangle=\frac{4kT}{R_{eff}}\times\frac{f_{sample}}{2} \tag{7}$$

其中，k 为玻尔兹曼常数，T 为绝对温度，R_{eff} 为等效热阻（考虑所有噪声效应）。对于电流模式 ADC，将满量程电流计为 I_{fs}，则量化噪声的均方根值为：

$$NP_I(rms)=\frac{Q}{\sqrt{12}}=\frac{I_{fs}}{2^{Bthermal}\times\sqrt{12}} \tag{8}$$

其中，Q 为最小量化步长，$Bthermal$ 为由热噪声决定的 ADC 的有效位数，根据分辨率的定义，可知 $\langle i_n^2\rangle=NP_I^2(\mathrm{rms})$，则：

$$B_{thermal}=\log_2\left(\frac{I_{fs}^2R_{eff}}{6kTf_{sample}}\right)^{1/2}-1 \tag{9}$$

时钟抖动对 SNR 的影响：理想的采样过程是在固定时间间隔的时钟信号的控制下完成的，实际上时钟信号的间隔不可能完全一致，这种不一致最终会影响到 ADC 的分辨率。假设时钟信号的间隔平均值为 T_0，方差为 τ，输入信号为 $i(t)=I_{fs}\times\sin(2\pi f_{in}\times t)$，对输入信号取微分，得：

$$d(i(t))=2\pi f_{in}\times I_{fs}\times\overbrace{\cos(2\pi fin\times t)}^{-1\leqslant\ \leqslant 1}\mathrm{d}t \tag{10}$$

由上式得到 $\Delta i\leqslant 2\pi f_{in}\times I_{fs}\times\Delta t$，当输入信号频率为 $f_{sample}/2$ 时，Δi 的上限达到最大为 $\pi f_{sample}I_{fs}\times\Delta t$。

由时钟抖动决定的 ADC 的分辨率（$B_{aperture}$）可以通过将 Δi 的上限同分辨率决定的量化噪声均方根值之间建立等式得到：

$$B_{aperture}=\log_2\left(\frac{1}{\sqrt{3}\times f_{sample}\times\tau}\right)-1 \tag{11}$$

比较器不确定性对 SNR 的影响：晶体管的速度受工艺参数限制，对于输入的微弱信号而言，比较器输出部分达到指定输出信号强度的时间较长，在时钟频率较高的情况下，比较器的输出不再准确，比较器输出信号不准确的概率为：

$$P_i=\frac{I_{FS}e^{-t/\tau_{reg}}}{A_0Q} \tag{12}$$

其中，$t=(2f_{sample})^{-1}$，$\tau_{reg}=2.5\pi f_T$，为比较器再生时间常数，A_0 为比较器增益，Q 为由比较器不确定性决定的最小量化步长。

由式（8）、（12），量化噪声及比较器不确定性引起的量化误差均方值为：

$$\langle v_{Q1}^2\rangle=\frac{Q^2}{12}(1+P_i\times N_{com}) \tag{13}$$

其中，N_{com} 为比较器个数，根据 ADC 的结构不同而有所变化：

根据方程（2）、（13），可得：

$$B_{ambiguity}=\log_2\frac{A_0(12\times2^{2\Delta N}-1)}{N_{com}}+\frac{\pi f_T}{10\ln2f_{sample}} \tag{14}$$

其中，N_{com} 为比较器数目，$\Delta N=(N-B_{ambiguity})$。

对于 N 位流水线结构而言，N_{com} 为 N，则式（14）可简化为下式：

$$B_{ambiguity}=\log_2(A_0(12\times2^{2\Delta N}-1))-1+\frac{\pi f_T}{6.93f_{sample}} \tag{15}$$

电流模 ADC 结构

电流模 ADC 主要采用闪烁式（flash）、流水线式（pipeline）和折叠插值式(folding and interpolation)结构。目前为止报道的电流模 ADC 基本是利用 CMOS 工艺实现的，有少数是利用 BiCMOS 工艺实现的，而在

高速电压模 ADC 设计中应用的 GaAs、InP 等高速 Bipolar 工艺，在电流模 ADC 的设计中未见应用。

一个 N 位的闪烁式 ADC 使用 2^N-1 个比较器，通常还需要一个额外的比较器对输入信号溢出进行检测。所有比较器的工作都是同步进行的，在指定的时钟内对输入信号进行采样，输出比较结果。闪烁式 ADC 是目前速度最快的结构，采用闪烁式结构的电流模 ADC 最高速度可以达到 1.25GS/s。

闪烁式 ADC 结构上的缺陷也比较明显，很难实现较高的分辨率，随着分辨率的上升，结构中用到的比较器的数目呈指数性增长，功耗和芯片面积也随之增长。闪烁式 ADC 结构使用数目庞大的比较器，比较器之间由于工艺漂移造成的偏差很难进行匹配和校正，因此，一般闪烁式 ADC 的分辨率为 8 位以下。为了在实现较高分辨率的同时，保证系统的功耗不过分增长，出现了许多其他的高速 ADC 结构，如流水线结构、分级流水和折叠插值结构。

实现高速 ADC 结构的另一个办法是采用所谓的交叉分时扫描结构（time interleaved），通过强有力的时钟管理，将多个模数转换器交叉使用。应用这种结构实现的最高速度的 ADC 是 Agilent 的工程师于 2003 年报道的分辨率为 8 位、采样率高达 20GS/s 的 ADC，核心电路功耗为 9W，共使用 80 个采样率为 250MS/s 的 ADC，时钟抖动小于 0.7ps，采用 0.18μm 标准 CMOS 工艺制造。

随着集成电路供电电压的进一步降低和器件特征尺寸的减小，传统的电压模电路的设计越来越难于实现，而电流模技术所具有的低压、高速等特点，使得电流模电路成为低压下实现电路功能的一个较好的选择。

参考文献

[1] ROBERT H.W.Analog-to-Digital converter survey and analysis.IEEE journal on selected areas in communications，1999，17(4)：539-550.

[2] NARIN D G，SALAMA C A T. High-resolution，current-mode A/D convertors using active current mirrors.Electronics.Letters，1988，24(21)：1331-1332.

[3] BHAT M S，REKHA S，JAMADAGNI H.S.Design of Low Power Current Mode Flash ADC.TENCON'04，2004，(D)：241-244.

[4] WU Chung-Yu，LIOW Yu-Yee.New current mode wave pipelined architectures for high-speed analog to digital converters.IEEE Trans. 2004，51(1)：25-37.

[5] MOHAJERIN M，CHEN C H，Esam A R.A New 12-b 40MS/s，Low-power，Low-area Pipeline ADC for video analog front ends.PACRIM'05，2005：597-600.

[6] WILLAMOWSKI B M，SINANGIL M E，DUNDAR G.A Gray-Code current mode ADC Structure.MELECON'06，2006：35-38.

[7] DANG H，SAWAN M，SAVARIA Y. A Novel Approach for Implementing Ultra-High Speed Flash ADC Using MCML Circuits.ISCAS2005，2005：6158-6161.

[8] LI Y C，EDGAR S S.A wide input bandwidth 7-bit 300MSamples/s folding and currentmode interpolating ADC.IEEE Journal of Solid-State circuits，2003，38(8)：1405-1410.

[9] RENATO T S，JORGE R F.A Low-Power CMOS Folding and Interpolation A/D converter with error correction. ISCAS'03，2003，(I)：949-952.

[10] MICHAEL P F，BEN S A 400-Msample/s，6-b CMOS Folding and interpolating ADC.IEEE journal of Solid-State circuits，1998，33(12)：1932-1938.

[11] POULTON K.A 20GS/s 8bit ADC with a 1MB memory in 0.18μm CMOS.ISSCC'03，2003：318-319.

[12] HEDAYATI H.A Low-Power low-voltage fully digital compatible Analog-to-Digital converter.ICM'04，2004：227-230.

[13] RAVEZZI L，STOPPA D.Current-mode A/D converters.electronics letters，1998，34(7)：615-616.

APPLICATION OF ELECTRONIC TECHNIQUE www.chinaaet.com