

使用 ISE 设计工具 优化 FPGA 的功耗

通过功耗驱动的新型后端流程可降低 Virtex-4、Virtex-5 和 Spartan-3 设计中的功耗

作者：Subodh Gupta 博士
Xilinx 公司
设计软件部资深软件工程师
subodhg@xilinx.com

Jason Anderson 博士
Xilinx 公司
设计软件部主任工程师
janders@xilinx.com

自从 Xilinx 推出 FPGA 二十多年来，研发工作大大提高了 FPGA 的速度和面积效率，缩小了 FPGA 与 ASIC 之间的差距，使 FPGA 成为实现数字电路的优选平台。今天，功耗日益成为 FPGA 供应商及其客户关注的问题。降低 FPGA 功耗是缩减封装和散热成本、提高器件可靠性以及打开移动电子设备等新兴市场之门的钥匙。

Xilinx 在提供低功耗 FPGA 解决方案方面一马当先。本文说明如何应用计算机辅助设计 (CAD) 技术，如 Xilinx® ISE™ 9.2i 软件中采用的技术，来有效降低功耗。CMOS 电路中的功耗由静态（漏电）功耗和动态功耗两部分组成。动态功耗是由电路信号上的跃迁所致，符合以下公式：

$$P_{dynamic} = \frac{1}{2} \sum_{i \text{ signals}} C_i \times f_i \times V^2$$

其中， C_i 表示信号 i 的电容； f_i 称为“开关活动率”，表示信号 i 上的跃迁速率； V 是电源电压。

静态功耗是电路在静止、空闲状态下的功耗。静态功耗是由截止晶体管中的漏电流引起，主要是亚阈值漏电流和栅极氧化层漏电流。截止 MOS 晶体管属不完全绝缘体，允许其漏极与源极之间有亚阈值漏电流。栅极氧化层漏电流是由通过晶体管栅极流向其管体、漏极和源极的隧道电流所致。

工艺尺寸缩小（如近期采纳 65 纳米工艺的趋势）意味着更低的电源电压和更小的晶体管尺寸，致使导线长度缩短、电容量减小以及总体动态功耗降低。较小的工艺几何尺寸还意味着较短的晶体管沟道和较薄的栅极氧化层，致使静态功耗随着工艺尺寸缩小而增加。

FPGA 中的功耗

对于实现给定的逻辑电路而言，FPGA 的可编程性和灵活性使其功耗效率比定制 ASIC 要低。FPGA 的配置电路和配置存储器占用硅片面积，致使导线延长和互连电容增加。在 FPGA 中，预制金属导线段上附加的可编程布线开关产生互连，从而加重了信号产生的电容性负载。

FPGA 中的动态功耗大部分消耗在可编程布线架构中。同理，静态功耗与晶体管总宽度成正比。FPGA 的晶体管有相当一部分是互连架构，这是造成漏电流的主要因素。因此，互连架构应该是 FPGA 功耗优化的主要攻关目标。

当然，可以通过工艺技术、硬件架构或电路级修改来解决功耗问题。例如，Virtex™-5 FPGA 含有“对角线”互

连资源，允许用较少的布线导体构成连接，从而减少互连电容。在晶体管级，Virtex-4 和 Virtex-5 两种 FPGA 都是采用三栅极氧化层工艺技术来抑制漏电流。根据其速度、功耗和可靠性要求，可以为每个晶体管使用三倍氧化层厚度。与在标准 FPGA 架构中实现同样功能相比，DSP 和处理器等硬 IP 模块的数量激增和推广使用也可以降低功耗。

也有可能，不必耗费巨资更改硬件，就可以降低功耗。您可以通过功耗驱动的新型 CAD 算法和设计流程（如 ISE 9.2i 软件中采纳的算法和设计流程）来解决功耗问题。

ISE 9.2i 设计工具中的功耗优化

ISE 9.2i 软件在布局布线中体现了功耗优化，并且通过一种后期布线技术来降低逻辑块的内部功耗。

布局

Xilinx 布局器中的核心算法采用了解析（数学）技术。这种算法以有重叠的初始设计布局开始，然后使用强行抽象法从高度拥挤区去除逻辑块，最终形成可行的无重叠布局。一旦完成解析布局，便在已布局的设计上运行交换式局部优化，以进一步细化布局。本布局器中使用的传统成本函数按以下公式考虑导线长度和时间：

$$Cost = a \times W + b \times T$$

其中，W 和 T 分别是导线长度成本和时间成本，a 和 b 是标量加权系数。a 和 b 的值可以根据时间对导线长度的相对优先级设定。布局器的成本核算方案如图 1 所示。

因为进行布局时还没有实际线路，所以导线长度成本是依据导线长度估算。同理，时间成本是依据用户提供的限制条件和连接延迟的估算值。为了优化功耗，我们用为成本函数增加功耗成分的方法扩展了解析布局和局部优化，如图 1 右侧所示。修改后的成本函数如下：

$$Cost = a \times W + b \times T + c \times P_{dynamic}$$

其中， $P_{dynamic}$ 是估算的动态功耗（如前述定义），c 是标量加权系数。可以从仿真中提取信号开关活动率数据，然后将其提供给工具。反之，如果不提供任何开

关活动率数据，则工具根据逻辑功能为初始输入和后续输出假定一个默认的开关活动率，并且将活动率推广到其余信号。要获得最佳结果，需要有用户提供的开关活动率数据。

在布局过程中，信号的电容是未知的，因此必须估算。根据布局过程中已有的信号参数，我们建立了一个电容估算经验模型：

$$C_i = f(FO_i, XS_i, YS_i)$$

其中，f 表示普通数学函数； C_i 是信号 i 的电容； FO_i 是信号 i 的扇出数； XS_i 和 YS_i 分别是布局中信号 i 的 X 跨度和 Y 跨度。这些参数独立于架构，并且在布局过程中已经具备。

为建立此模型，我们提取了从 Xilinx 的客户那里收集的一组设计中每个信号的电容、扇出数、X 跨度和 Y 跨度。

然后，我们用最小平方回归分析法将电容整理成模型参数的一个二次函数。就各种设计平均而言，该解析公式的误差为 30%。

布线

一旦将逻辑块分配到 FPGA 上的物理位置，我们就必须为各块之间的连接进行布线。布线器采用一种协商拥塞布线算法，该算法在初始迭代中允许信号间短路。在后续迭代中，对短路的产生逐渐加大处罚，直到仅剩一个信号使用布线导体。对时间关键型连接布线的方式，应尽量缩短其延迟，这涉及到计算密集型 RC 延时计算。不过，大多数连接并非时间关键型。

在功耗监控型布线器中，我们选择优化这类非关键型连接的电容。为达到这一目的，我们针对非时间关键型连接修改了布线器的成本函数，以便考虑电容，这与上述根据其他因素（如估算的延迟或不足）的方法截然相反。为了解这种算法，请看图 2 中的布线图。

该布线图中的每个节点表示一个布线导体或逻辑块引脚，每条边线表示一个可编程布线开关。布线器必须在源引脚和目标引脚之间选择一条路径。图中各节点内部所示为该节点的原始成本和电容成本。若要尽量降低原始成本，源引脚和目标引脚之间的布线就应采纳蓝色路径。然而，在功耗监控型流程中，布线器会使用绿色路径，因为这条路径的总体电容较低。

功耗监控型布局与布线的结果

我们使用传统布局布线流程和上述功耗型流程两种方法对一组工业设计进行了布局布线。这些设计的初始输入附加一个基于线性反馈移位寄存器 (LFSR-based) 的伪随机矢量生成器，从而增加了内置的自动输入矢量生成功能。这样，我们无需大量使用外部波形就能完成动态功耗的板级测量。

我们把这些工业设计映射到了 Spartan-3、Virtex-4 和 Virtex-5 器件中。结果显示，动态功耗降低率对于 Spartan-3 FPGA 达 14%，对于 Virtex-4 FPGA 达 11%，对于 Virtex-5 FPGA 达 12%。就所有设计平均而言，动态功耗降低率对于 Spartan-3 FPGA 为 12%，对

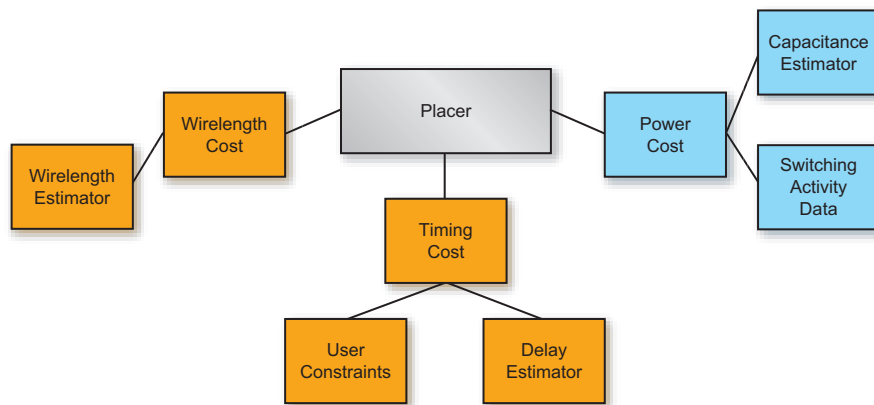


图 1 - 体现功耗因素的布局器成本核算方案

本文讨论的布局和布线优化旨在降低互连架构中的功耗

于 Virtex-4 FPGA 为 5%，对于 Virtex-5 FPGA 为 7%。就所有系列平均而言，速度性能下降在 3% 和 4% 之间，我们认为这样小的性能损失在注重功耗的设计中是可以接受的。考虑到这些仅仅是软件修改的初始结果，我们认为所取得的功耗效益是令人振奋的。

部输入就永远不会被选中。不过，因为逻辑功能在 LUT 存储器内容的上下两半部分重复，所以内部多路复用器节点 n1 和 n2 会根据信号输入 A1 和 A2 的变化发生翻转。这种翻转白白浪费动态功率，因为 n1 和 n2 上的跃迁永远不会传输到 LUT 的输出端。

结论

在用设计工具进一步降低功耗方面，存在著多种发展趋势。在前端 HDL 综合中，FPGA 可以借鉴 ASIC 领域中成熟的优化方法，如时钟门控法和运算元隔离法。也可以使用针对 FPGA 的功耗优化方法，例如，将逻辑映射到可用的 Block RAM（可以用作大型 ROM）中，以此取代使用 LUT 和普通架构的方法。

将功耗监控型逻辑综合和活动率驱动的工艺映射到 LUT 的方法在文献中已有充分报道，这些方法将使 Xilinx FPGA 大大降低功耗。在布局方面，电容估算精度的提高会更大程度地降低功耗。

我们感觉特别有潜力的两个方面是伪信号优化和漏电流优化。伪信号是由电路中路径延迟不平衡所致在信号上发生的伪跃迁。这种跃迁是不必要的，但在动态功耗中却占据着重要位置。抑制伪信号的 CAD 技术包括均衡路径延迟或者沿伪信号最多的路径插入寄存器。数字 CMOS 电路中的漏电路在很大程度上取决于电路使用的输入状态。因此，在 CAD 中减少漏电流的一种方法是自动修改电路，使其信号值在漏电流状态下保持较长时间。

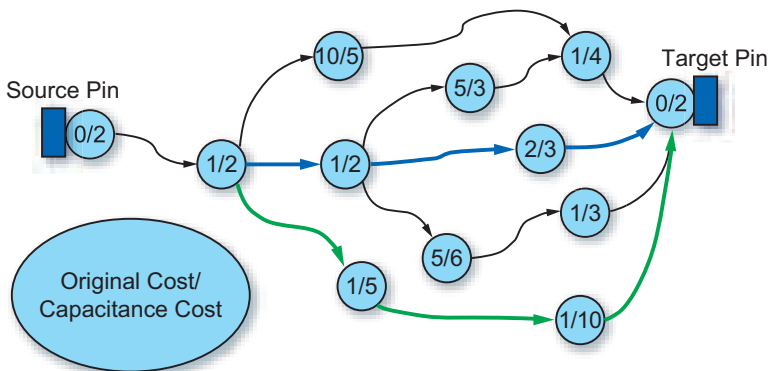


图 2 - 带节点电容成本的布线图

降低逻辑块内部功耗

本文讨论的布局和布线优化旨在降低互连架构中的功耗。我们还设计了一种降低逻辑块内部功耗的方法，尤其是在未使用全部查找表 (LUT) 时，降低 LUT 中的功耗（图 3）。K 输入 LUT 是一种小存储器，用区区几 K 输入即可实现任意逻辑功能。图 3 所示为用一个假设的三输入 LUT（具有输入 A1、A2 和 A3）实现二输入逻辑“与”功能的过程。多路复用器树左侧的 LUT SRAM 所示内容为逻辑“与”的真值表。

请注意，图 3 中的输入 A3 未使用。通常，未使用的输入作为“无关项”处理，假设为 0 或 1。所以，为了在图 3 所示的情况下说明这一点，Xilinx 软件在 LUT SRAM 存储器内容的上下两半部分中“重复”了该逻辑功能。客户设计中经常出现未使用的 LUT 输入，特别是 Virtex-5 设计，其中的 LUT 有六个输入。

在 Virtex-5 硬件中，把未使用的 LUT 提升为逻辑 1；这一特性是我们优化的根本。如果把 A3 提升为逻辑 1，那么对树中最深层二输入多路复用器的下半

部翻转。回到图 3 的例子，LUT 存储器内容的下半部分将设置为逻辑 0。内部节点 n1 和 n2 上不会发生翻转，因此不会由于对 n1 和 n2 充放电而消耗动态功耗。

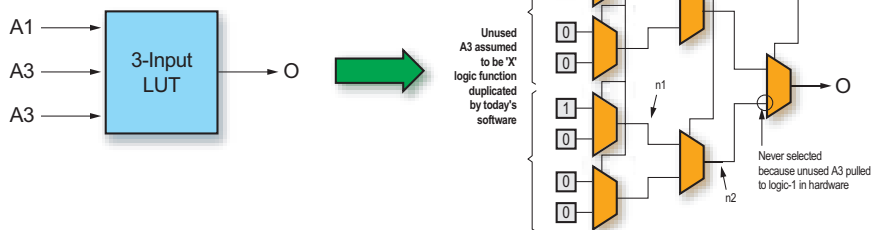


图 3 - 优化 LUT 内部功耗

为了评价在工业设计上进行的这一优化，我们进行了板级功耗测量，发现动态功耗节省了若干个百分点。这些结果说明大有前途，因为可以在布线后进行优化，不会造成面积或性能损失，从这种意义上讲，这种优化是“免费”的。

结果显示，在通过 ISE 设计工具降低功耗方面已经取得长足的进步。在用软件进一步降低功耗方面，我们认为前景一片光明。注重功耗的解决方案由功耗监控型 CAD 算法和功耗优化器件（如 Virtex-5 FPGA）组成，这一成功故事本身就颇为耐人寻味。低功耗硬件的不断进步将为 Xilinx FPGA 打开进入新兴功耗敏感型市场的大门。