

# 基于 CPLD 控制的直流固态功率控制器的设计

陈再春, 谢控勤

(西北工业大学 自动化学院, 陕西 西安 710072)

**摘要:** 一种利用 CPLD 设计 28V 直流固态功率控制器的方法。在固态配电的飞机中, 该控制器主要用来控制负载和向上位机报告状态信息, 运用现场可编程门阵列和硬件描述语言实现 SSPC 的基本功能。

**关键词:** SSPC CPLD 反时限保护

SSPC(固态功率控制器)是由半导体器件构成的智能开关装置, 用于接通/断开电路, 实现电路保护和接收上级计算机的控制信号并向上位机实时反馈其状态信息。由于控制逻辑完全由 CPLD 内部的硬件电路完成, 因此与功率器件一起工作时, 具有很好的电磁兼容性和抗干扰能力。研制多开关的 SSPC 组共享大规模控制芯片, 具有相当大的工程实用价值, 尤其适用于空间有限的场合, 如飞机上。

本文充分利用 CPLD 的特点, 设计了具有集成度高、速度快、抗干扰能力强和可靠性高等优点的 28V 直流 SSPC。在一块电路板上集成多个 SSPC, 各个功率开关间相互独立工作, 进一步提高了功率密度。

## 1 功能定义

28V 直流 SSPC 应该具有以下功能:

- (1)接收上位机的控制信号。该控制信号能够兼容 TTL/CMOS 电平, 且高电平表示导通, 低电平表示关断;
- (2)根据流过的 SSPC 的电流逻辑分析出自身的状态, 并根据表 1 中的代码表示上传给上位机;
- (3)SSPC 能够实时诊断自身故障, 并根据故障的严重程度不同, 采取不同的保护措施。

表 1 SSPC 状态代码表

状态	CON	STA1	STA2	状态描述
1	0	0	0	SSPC 故障
2	0	0	1	SSPC 故障
3	0	1	0	正常关断
4	0	1	1	SSPC 故障
5	1	0	0	SSPC 故障
6	1	0	1	正常导通
7	1	1	0	SSPC 跳闸
8	1	1	1	欠流

CON 表示上位机的控制命令, “1”表示导通, “0”表示关断。  
STA1 表示负载的状态, “0”表示负载电流大于额定电流的 15%。  
STA2 表示 SSPC 的状态, “1”表示 SSPC 处于导通状态。

## 2 总体方案设计

28V 直流 SSPC 组的结构如图 1 所示。

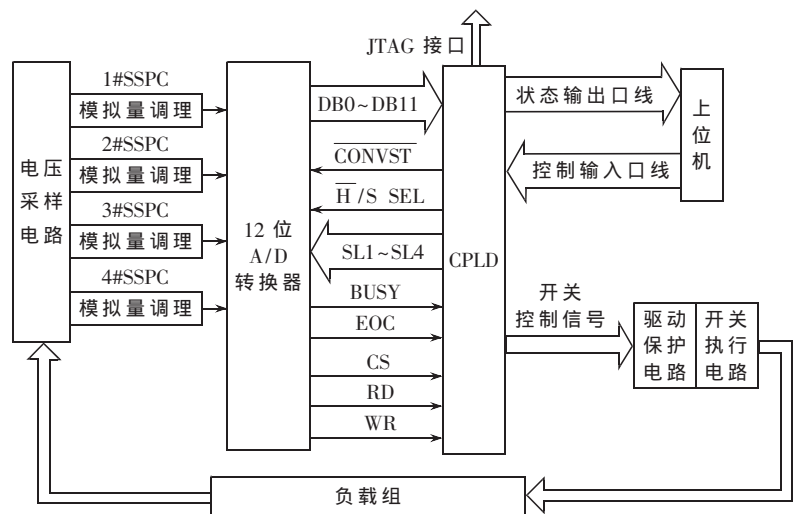


图 1 SSPC 组的结构图

每路 SSPC 的取样电阻上的电压经过调理电路和低通滤波以后, 送到 4 通道的 A/D 转换器的模拟输入端, A/D 转换器的数据输出端、状态信号和控制信号分别接到 CPLD 的 I/O 引脚, 便于程序控制 A/D 转换器的动作。CPLD 另外的 I/O 口可以配置为 MOSFET 的动作命令输出口线、SSPC 的状态输出口线和与上位机相连的控制命令输入口线; CPLD 自身提供的 JTAG BST 电路, 可以方便地测试系统内部测试器件之间的连接和检验器件的操作。

由 CPLD 组成的逻辑判断电路的主要功能有:

- (1)将 A/D 转换得到的数据通过逻辑判断, 综合出 SSPC 的工作状态并向上位机输出;
- (2)接收上位机的控制命令, 结合自身的工作状态, 综合得出 SSPC 的通断信号, 控制 MOSFET 的开通和关断。

## 3 硬件设计

### (1) 关键器件选型

电力 MOSFET 选用 IR 公司的 IRF540N，它的漏-源最大耐压为 100V，导通阻抗 44mΩ，允许通过的最大电流 33A。其最大优点为纳秒级的开通和关断时间，能够完全满足设计需要。

逻辑控制芯片采用 ALTERA 公司的 flex6000 系列。该系列采用的 OptiFLEX 结构增加了器件的有效面积，可用门的数目达 8 000~24 000 门，触发器丰富且基于 LUT(查找表)结构，能够满足系统处理数据的需要。其待机状态的电流小于 1mA 的低功耗模式，具有强功能的 I/O 引脚和灵活的内部连接等优点，从而使其成为设计首选。

### (2) 硬件电路的组成

① 电力 MOSFET 驱动和保护电路<sup>[3]</sup>：采用专门的驱动芯片 TC4427，12V 供电，如图 2 所示。为了抑制电压和电流的瞬变，MOSFET 保护电路采用 RCD 吸收电路，用以减小器件的开关损耗。

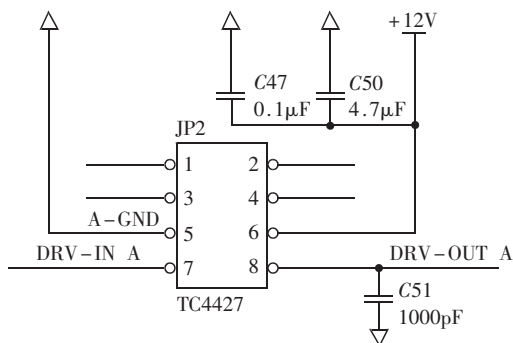


图 2 MOSFET 驱动芯片 TC4427 电路图

② 取样电路：利用取样电阻(一般选用康铜丝)，将流过负载的电流信号转化成可测的电压信号，经过隔离放大器、整流电路、滤波电路、采样保持器和 A/D 转换电路，将数字信号传送到 CPLD 进行逻辑分析。

③ 信号采集和调理电路：通过隔离放大器，将取样电阻的电压调节到 A/D 转换器的允许范围内，经过 R-C 低通滤波器滤除噪声信号后，送到 A/D 转换器的输入端。

④ A/D 转换电路：采用 12 位的四通道 A/D 转换器 AD7864，与 CPLD 的接口主要有：a. 数据输出线：与 CPLD 的 I/O 口相连；b. 控制线：转换启动信号(CONVST)、片选信号(CS)、通道选择信号(H/S SEL 和 SL1~SL4)以及读写控制信号(RD/WR)等；c. 状态线：BUSY 信号和转换结束标志(EOC)等。

⑤ 隔离电路：CPLD 为 3V I/O 供电和 2.5V 内核供电，因此采集的 SSPC 状态信号和接收的电力 MOSFET 控制信号都需要经过电平转换及电气隔离，但实际上要采用光耦隔离的方式进行。因为 MOSFET 的控制信号需要较大的驱动电流，如果直接从 CPLD 输出出来驱动，会因 CPLD 电流太小而无法驱动，所以实际中采用六通道反

相器 74LF04 来做光耦前一级的驱动；接收上位机输出的控制信号是从光耦输出出来的，其电流一般不大( $I_c < 5mA$ )，所以可以直接接在 CPLD 的 I/O 口上。

## 4 软件功能设计

(1) 控制 AD7864 的动作，从数据口读出转换的结果。

运用状态机的设计方法，AD7864 的动作可大致分为 3 个步骤区间，每个步骤对应一个状态，每个状态赋予 CPLD 特定的功能。

① 在步骤 S0(CS=1, WR=1, RD=1)时，A/D 转换之中；

② 在步骤 S1(CS=0, WR=1, RD=1)时，监控 EOC 信号是否由高电平变为低电平，即 A/D 转换是否结束；

③ 在步骤 S2(CS=0, WR=1, RD=0)时，从 DB0~DB11 读取转换的结果。

软件流程如图 3 所示。

(2) 对采集的数据进行分析。数据分析流程如图 4 所示。

① 当电流在额定范围内时，SSPC 正常工作；

② 当电流大于额定电流，而小于额定电流的 800% 时，SSPC 进入反时限保护；

③ 当电流大于额定电流的 800% 时，SSPC 立刻跳闸。

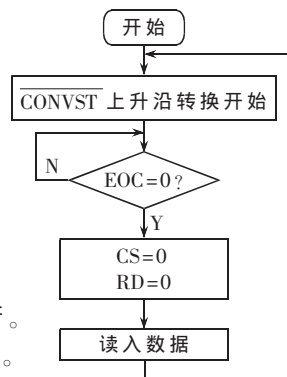


图 3 A/D 控制流程图

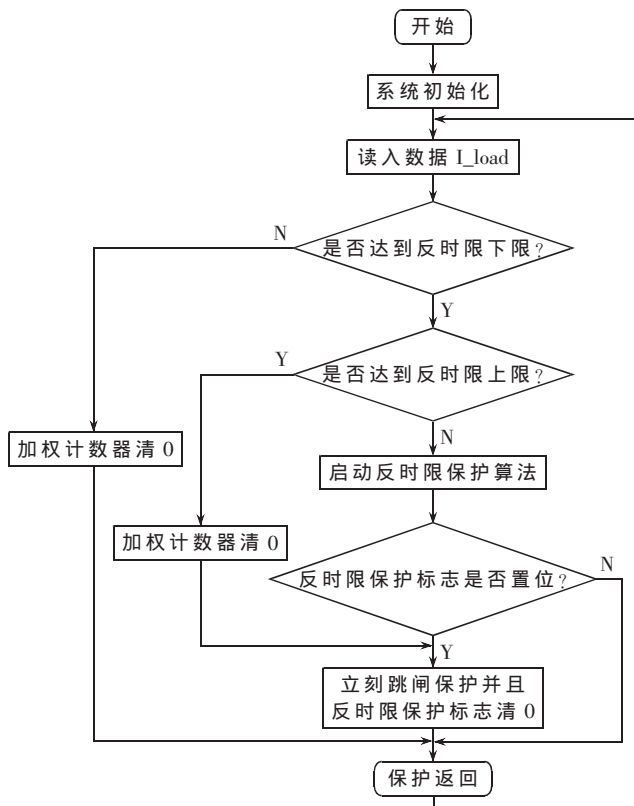


图 4 数据分析流程图

下面介绍 SSPC 的反时限保护阶段的算法推导。

反时限保护曲线的通用表达式为：

$$t = \frac{k\beta}{(I/I_{opr})^\alpha - 1}$$

式中： $t$  为以秒为单位的动作时间； $k$  为时间系数（整定值）； $I$  为测量的电流； $I_{opr}$  为电流动作定值。反时限保护曲线的陡度，由  $\alpha$ 、 $\beta$  共同决定。

将上式化为  $k\beta = [(I/I_{opr})^\alpha - 1]t$ ，

离散模型为：

$$k\beta = \Delta t \sum_{k=0}^{M-1} [(i_{(k)}/I_{opr})^\alpha - 1], \text{ 即 } \sum_{k=0}^{M-1} [(i_{(k)}/I_{opr})^\alpha - 1] = \frac{k\beta}{\Delta t} = \text{常数}$$

采样周期  $\Delta t = \frac{20}{N}$  (ms) 为常数 ( $N$  为每周期内采样点数)， $M$  为使等式成立时累加的采样周期数；当电流  $I$  大于反时限启动电流  $I_{opr}$  时，即  $I/I_{opr}$  大于 1 时，在每个采样周期中断中将此周期的  $[(I/I_{opr})^\alpha - 1]$  累加，当累加值大于  $\frac{k\beta}{\Delta t}$  时，反时限累计延时到，保护跳闸。

用 VHDL 语言实现的反时限保护算法流程图如图 5 所示。

(3)SSPC 将内部采集到的电流信号、接收到的控制命令和内部状态（包括系统启动的状态、电流在不同的范围内变化、跳闸的条件和从跳闸恢复到正常的条件以及故障切除和未切除时的系统启动等）经过逻辑判断后，综合出 MOSFET 的导通/关断指令，作为驱动电路的输入信号。

软件流程如图 6 所示。

## 5 试验结果

该仿真是在 ALTERA 系列 CPLD 的开发环境 MAX+PLUS II 上进行的。当在不同的电流值下采集到的四路 SSPC 负载电流为不同值时，SSPC 的工作情况也不一样。

(1)当  $I/I_{opr} < 1$  时，SSPC 正常导通；当  $I/I_{opr} > 8$  时，SSPC 立即跳闸。

(2)当  $I/I_{opr}$  为 1.2(SSPC\_1)、2(SSPC\_2)、由 1.2 增加到 2(SSPC\_3)和 5(SSPC\_4)时，SSPC 的跳闸时间分别为 402ms、161ms、223ms 和 26ms。

各个临界点的实验所得数据经过曲线拟和，得到如图 7 所示结果。

试验结果表明，利用 CPLD 进行 SSPC 的开发设计，其延迟时间完全可以通过编程控制，且各路 SSPC 之间

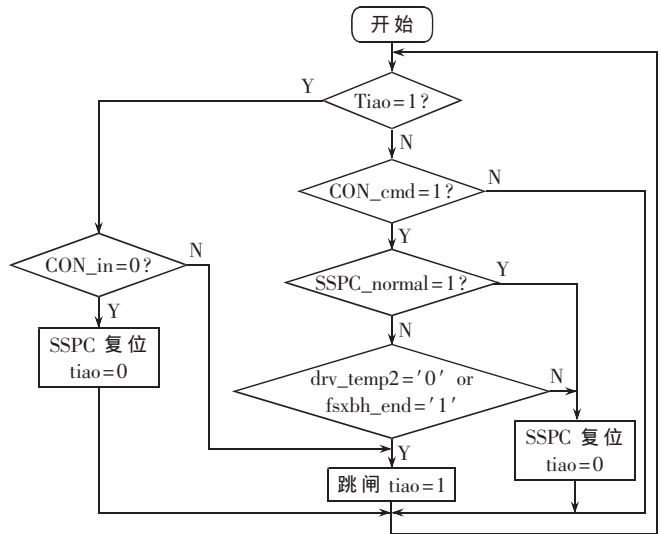


图 6 MOSFET 的驱动信号产生流程图

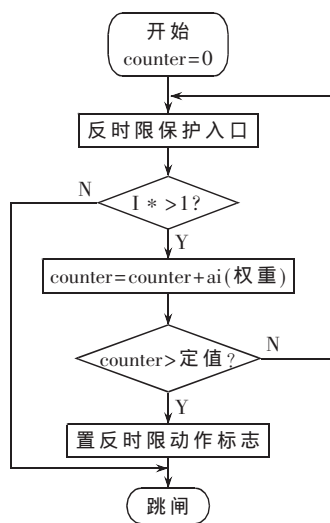


图 5 反时限保护算法实现流程图

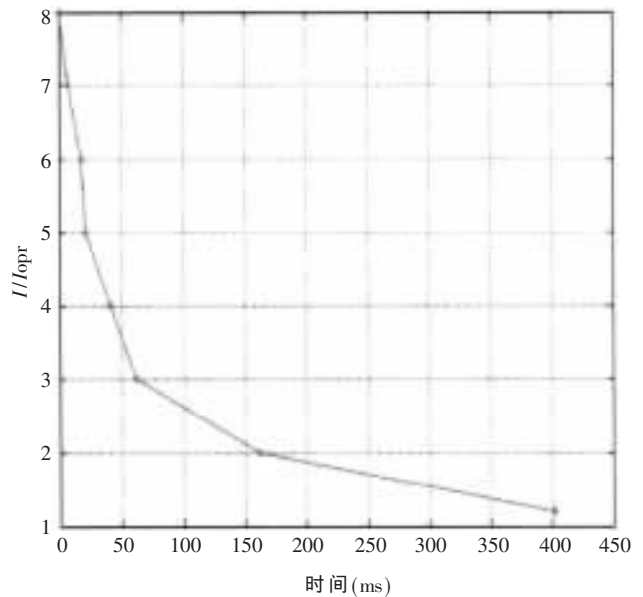


图 7 实验结果拟和

干扰较少。

CPLD 内部的硬件结构决定了系统良好的抗干扰性和高可靠性，非常适合于电力系统方面的控制。因此，采用 CPLD 应是一个研究方向。

## 参考文献

- [1] DDC.28V DC Solid-State Power Controllers.1999
- [2] 沈颂华.航空航天器供电系统.北京:北京航空航天大学出版社,2005.
- [3] 王兆安,黄俊.电力电子技术.北京:机械工业出版社,2003.
- [4] 严支斌,尹项根.新型微机反时限过流保护曲线特性及算法研究.继电器,2005,33(8).
- [5] 侯伯亨,顾新.VHDL 硬件描述语言与数字逻辑电路设计(修订版).西安:西安电子科技大学出版社,2000.

(收稿日期:2006-09-25)