

自适应阶梯模糊控制器的 FPGA 实现*

万希耀, 朱伟兴

(江苏大学 电气信息工程学院, 江苏 镇江 212013)

摘要: 采用自适应阶梯模糊控制方法对汽车制动装置中的电涡流缓速器进行控制, 在 FPGA 芯片上实现自适应阶梯模糊控制器的第一级与第二级。详细介绍模糊控制器内部结构及各模块的实现方法, 并对模糊推理算法进行优化。最后在 FPGA 开发板上进行了仿真测试。

关键词: 模糊控制 自适应控制 FPGA 电涡流缓速器

近年来, 用 FPGA 实现模糊控制器已有广泛的研究。由于早期 FPGA 芯片逻辑单元和存储器容量的限制, 致使模糊逻辑推理只能通过查表实现^[1-2], 模糊控制器的实时性较差。采用优先 2 型模糊推理算法优化逻辑推理的硬件结构能节省大量的硬件资源^[3]; 参考文献[4]提出了一种并行硬件结构实现模糊逻辑推理的方法, 所达到的推理速度较其他硬件结构快得多, 但所耗用的硬件资源仍然较多; 同时, 参考文献[3]、[4]也缺乏在线更新模糊控制器的隶属度值和调整模糊逻辑推理的控制规则的功能, 以致控制对象的特性参数发生变化时系统的控制精度无法满足要求。

为了满足汽车制动装置中电涡流缓速器的控制精度和实时性的要求, 本文采用自适应阶梯模糊控制算法^[5], 模糊逻辑推理根据参考文献[1]中每个输入变量最多能激活四条推理规则的原理, 并结合参考文献[2]中规则简化推理算法。本文采用参考文献[3]的优先 2 型模糊推理算法并结合参考文献[4]的并行硬件逻辑来优化用 FPGA 实现的硬件推理结构, 模糊控制器采用并行流水线方式实现。通过 RS-232 接口实现在线更新模糊控制器的隶属度值和调整模糊推理的控制规则。

1 模糊控制器的 FPGA 设计

本文设计的电涡流缓速器的模糊控制器由两级构成, 如图 1 所示。第一级两个模糊控制器分别控制转子转速 U_ω 与转子温度 U_T , 第二级模糊控制器根据第一级

两个模糊控制器输出的转子转速 U_ω 与转子温度 U_T 并结合第二级调整参数 α 进行设计, 最终输出 U^* 。电涡流缓速器的控制器输入部分包括转子转速 ω 和转子盘温度 T , E_ω 与 dE_ω 分别为实际转子转速与理想转子转速的误差量及误差变化量, E_T 与 dE_T 分别为理想转子盘温度与实际温度的误差量和误差变化量, 而控制量的模糊语言变量分别定义为 U_ω 和 U_T 。对 E 、 dE 、 U 三个模糊语言变量采用相同的七个模糊化档次, 表示为 {NB: -6~-4、NM: -6~-2、NS: -4~0、ZE: -2~2、PS: 0~4、PM: 2~6、PB: 4~6}, 并量化为 {-6、-5、-4、-3、-2、-1、0、1、2、3、4、5、6} 共 13 个等级, 所有隶属度函数均选择均匀分布三角形函数, 形状简单, 计算量少, 同时当输入值变化时, 三角形函数较正态形状的隶属度函数具有更高的灵敏度。

1.1 第一级模糊控制器的设计

在电涡流缓速器的控制器中, 第一级转子速度 U_ω 与转子温度 U_T 模糊控制规则集实际上是两个独立的二维 E 、 dE 模糊控制器, 模糊控制规则可用(1)式表示^[5]:

$$U = [\alpha E + (1 - \alpha) dE] \quad (1)$$

其中, 规则调整因子 $\alpha \in [0, 1]$ 的大小反映了系统误差 E 和误差变化量 dE 对控制量输出 U 的加权程度, 调整 α 值相当于调整模糊控制规则。根据(2)式调整参数 α 的修正曲线斜率, 使 α 同时根据误差 E 和 dE 的大小关系进行调整^[5]。

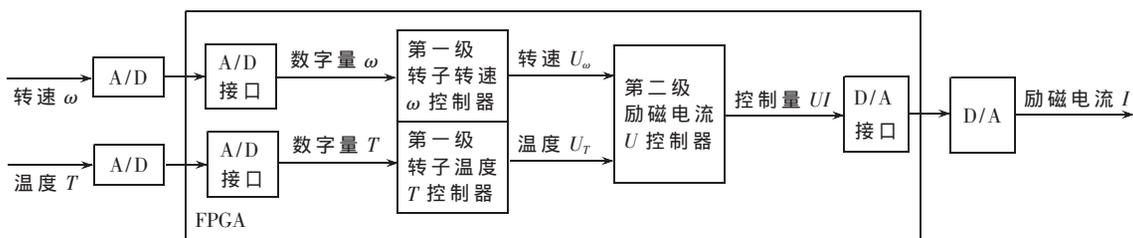


图 1 自适应阶梯模糊控制器的总体结构

* 基金项目: 江苏省国际合作项目 (BZ2005035); 江苏省高级技术人才科研基金 (JDC2003004)

$$\alpha = \frac{|E| dE_{\max_pre} - k_0 + \alpha_{nx} + \frac{E_{rot} E_{\max_pre}}{N} - k_0}{N} \quad (2)$$

其中, k_0 为修正曲线的初始斜率, N 为误差量的量化等级, α_{nx} 、 E_{nx} 分别为变斜率修正曲线的旋转基点横、纵坐标值, 一般取 $(N/2, 0.5)$, dE_{\max_pre} 为上一响应区域的最大误差变化率。本文对参数 α 的调整是通过 RS-232 接口实现的。

第一级转子盘温度模糊控制器总体结构如图 2 所示(转子转速模糊控制器结构与其类似, 本文不作介绍)。控制器由以下模块组成: 输入锁存模块(InputR 模块)、主控制单元模块(Master 模块)、两个等级判定模块(误差量判定模块 Ecmp、误差变化量判定模块 DEcmp)、三个存储单元(误差量 ERAM、误差变化量 DERAM、控制规则 ctr-rulesRAM)、RS-232 接口模块(本文对其不做介绍)、四个 Min 逻辑推理模块、三个 Max 模块、清晰化模块(由两个累加器、一个乘法器、一个除法器构成, 本文不作介绍)、输出锁存模块(OutR 模块)。

1.1.1 输入/输出 InputR/OutR 模块

输入量锁存于输入锁存模块 InputR 中, 清晰化的输出锁存于输出锁存模块 OutR 模块中。在输入锁存模块 InputR 中, 将输入量通过量化因子转化为等级范围内的误差量与误差变化量, 并且分别对其进行锁存; 在输出锁存模块 OutR 中, 清晰化的输出量通过比例因子转化为可进行实际控制的数字量, 并进行输出锁存。

1.1.2 等级判定模块

误差量与误差变化量采用 5bit 编码, 最高位为符号位(0 为正值, 1 为负值), 量值范围为 $-15 \sim +15$, 隶属度值采用 4bit 编码, 隶属度值放大十倍后采用二进制编码。误差量等级判定模块 Ecmp 与误差变化量等级判定模块 DEcmp 各自分为 13 个等级范围, 输入误差量与误差变化量经各自的等级判定模块判断等级范围后, 根据判定等级触发 ERAM、DERAM 中相应档次的隶属度值。

1.1.3 存储器模块

存储器 ERAM、DERAM 与 ctr-rulesRAM 各自分为七

个档次, 每个档次的隶属度值以一维 13×4 数组存储(即 13 个等级的隶属度值为 4bit)。由于第一级自适应模糊控制器需要在线修正参数 α (根据(2)式), 同时为了修正 ERAM、DERAM 与 ctr-rulesRAM 中每个档次的隶属度值, 采用 RS-232 接口实现这三个存储模块与监控处理器的通信。由于监控处理器还需了解当前模糊控制器的运行状态, 因此接口具有发送与接收功能。

为了在线调整参数时不影响模糊控制器的正常运行, 在 ERAM、DERAM 与 ctr-rulesRAM 存储器的内部各设置两块存储区(采用 Alera 公司 EP1C6Q240C8 内专用 M4K 存储单元), 其中一块存储区正常运算, 另外一块存储区(即备用存储区)用于 RS-232 接口的实时通信。当需要调整参数和隶属度值时, 备用存储区接收新数据并存储, 接收完毕后, 在系统允许切换时, 备用存储区与正常运行的一块存储区进行切换, 切换操作由模糊控制器的主控单元实现。

1.1.4 模糊推理

模糊推理并行结构如图 2 所示。本控制系统有 7×7 条规则。实践中, 每个输入的隶属函数的重叠度通常限制为 2, 也就是说对于每个输入变量, 每次进行模糊推理时只有四条推理规则被同时激活, 利用这一特点可以节省大量的硬件资源^[2]。模糊逻辑推理的硬件结构就是根据此方法实现的。

误差量及误差变化量经等级判定后各自触发两个档次, 即上限档与下限档, 分别表示为 E_{\max} 、 E_{\min} 、 dE_{\max} 、 dE_{\min} , 同时分别触发 ERAM、DERAM 存储器中的四组隶属度值 EV_{\max} 、 EV_{\min} 、 dEV_{\max} 、 dEV_{\min} , 将四组隶属度值分别输出到四个 Min 模块中。将 E_{\max} 与 dE_{\max} 、 E_{\min} 与 dE_{\min} 两两组合触发四条控制规则, 输出四组控制规则隶属度值 EUV_{\max} 、 EUV_{\min} 、 $dEUV_{\max}$ 、 $dEUV_{\min}$ 分别送入四个 Min 模块中, 结合 EV_{\max} 、 EV_{\min} 、 dEV_{\max} 、 dEV_{\min} 的隶属度值根据模糊运算(采用 Mamdani 的最小运算规则)进行逻辑推理。根据误差量及误差变化量判定的等级触发的

每个档次中, 只有一个隶属度值与其相对应, 在取小运算时, 只要将此隶属度值与激活控制规则的隶属度值的数组进行取小运算即可, 而不必将触发档次中的每个隶属值与相应的控制规则的隶属度值的数组进行取小运算。每个 Min 模块在未经优化时, 涉及三个矩阵的并运算, 其中, 前两个矩阵分别为 EV_{\max} 与 EUV_{\max} , dEV_{\max}

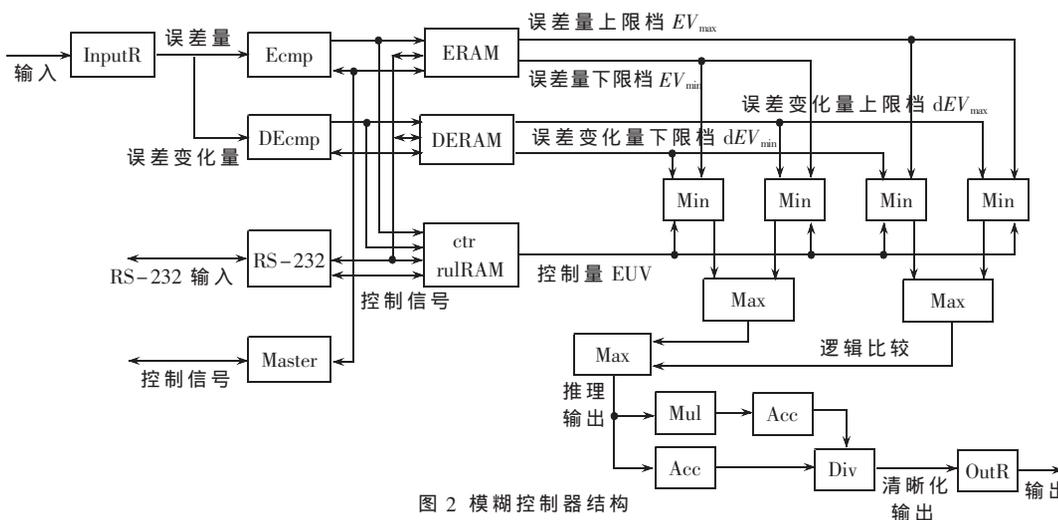


图 2 模糊控制器结构

与 EUV_{Max} 进行取并运算,运算次数分别为 $13 \times 13 \times 4$ 、 $13 \times 13 \times 4$,第三个矩阵运算将前两个矩阵的运算结果进行取小,需进行 $13 \times 13 \times 13 + 13 \times 13 \times 13 + 13$ 次运算。采用本文的优化模糊推理算法后,前两矩阵各自只需 13 次取小运算,并且此两矩阵可同时并行运算,再根据前两矩阵的取小结果进行第三个矩阵的取小运算,因此整个 Min 模块只需 $13 + 13 + 13$ 次取小运算,节省了大量推理时间和存储单元。由于 Min 模块中需要存储 $(2 \times 13 \times 4 + 13 \times 4)$ bit 的数据,当直接用逻辑单元存储时,耗用的逻辑单元较多,为了节省逻辑单元,可以为每个 Min 模块配备一个 FIFO 模块。Max 模块逻辑推理比较简单,前两个 Max 模块只需将每两个 Min 模块的输出进行取大运算即可,后一个 Max 模块则将前两个 Max 模块的输出结果进行取大运算后直接输出,经清晰化模块处理后输出最终结果。模糊逻辑推理由三级构成(四个 Min 模块为第一级,二个 Max 模块为第二级,最后一个 Max 模块为第三级),便于流水线设计。

1.2 第二级模糊控制器的设计

第二级模糊控制器最终输出 U^* 是根据第一级模糊控制器输出的转子转速 U_ω 与转子温度 U_T 进行加权而得到,可用(3)式表示^[5]:

$$U = [\alpha U_\omega + (1 - \alpha) U_T] \quad (3)$$

根据对实时工况下缓速器转子转速和转子盘温度的分析,得出实时 $\alpha \in [0, 1]$ 权值。其控制规则如表 1 所示^[5]。

表 1 第二级 $\alpha - U_T - U_\omega$ 模糊控制规则表

α		U_T						
		NB	NM	NS	ZE	PS	PM	PB
U_ω	NB	PB	PB	PB	PB	PM	ZE	ZE
	NM	PB	PB	PB	PB	PM	ZE	ZE
	NS	PM	PM	PM	PM	ZE	NS	NS
	ZE	PM	PM	PS	ZE	NS	NM	NM
	PS	PS	PS	ZE	NM	NM	NM	NM
	PM	ZE	ZE	NM	NB	NB	NB	NB
	PB	ZE	ZE	NM	NB	NB	NB	NB

第二级模糊逻辑推理算法采用与第一级相同的推理算法,硬件结构与其相似。由于第二级模糊控制器不需在线调整 α 参数值,因此不用设计 RS-232 接口,相应地减少一组存储器单元。注意,第二级控制器误差量与偏差变化量存储器用于存储转子温度与转子转速隶属度值,其控制规则存储器用来存储表 1 所示的控制规则表。

2 模糊推理耗用资源及时序分析

本文设计的模糊控制器在 FPGA 开发板上(主芯片采用 Altera 公司 EP1C6Q240C8 芯片)进行仿真测试,并进行时序与硬件资源分析。自适应模糊控制器的逻辑推理是整个控制系统设计的关键,对逻辑推理的时序分析显得尤为重要。图 3 为采用本文的

新方法时 Min 模块逻辑推理时序波形。Min 模块输入时钟(min_clk)能达到 182.9MHz,整个模糊推理过程需要 6 个时钟周期才能稳定输出(最少 30ns),即推理模块的最大推理速度能达到 30MHz。图 4 为参考文献[4]采用旧方法时的 Min 模块逻辑推理时序波形,其输入时钟(min_clk)只能达到 93.9MHz,整个模糊推理过程也需要 6 个时钟周期才能稳定输出(最少 55ns),即推理模块的最大推理速度只能达到 18MHz。本文采用优化的推理算法,在逻辑推理时节省了大量的 Min-Max 运算,硬件实现时采用并行流水线方式,可见新方法所达到的推理速度有非常明显的优势。



图 3 新方法逻辑推理时序

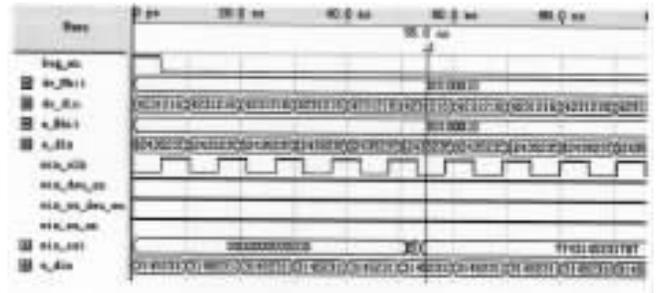


图 4 旧方法逻辑推理时序

对比新旧两种推理方法,每个 Min 模块所耗用的硬件资源、功耗对比如表 2 所示。采用旧方法所耗用的逻辑单元、组合功能模块、寄存器、最大扇出、总扇出与新方法相比不在一个数量级上。由于优化的推理算法精简了硬件推理结构(只用四个 Min 模块、三个 Max 模块),在逻辑推理时减少了大量的 Min-Max 运算,因此与旧方法相比,新方法节省了大量的硬件资源,并且功耗也小得多,所能达到的主频接近采用旧方法时的两倍。

本文利用 FPGA 实现电涡流缓速器在实时工况下的自适应阶梯模糊控制器,FPGA 实现的模糊控制器在输入时钟为 182.9MHz 时,推理速度能达到 30MHz。通过在开发板上的仿真测试,由于本开发板的输入时钟最高只能提供 40MHz,因此需利用 EP1C6Q240C8 芯片中提供的

表 2 新旧两种方法的性能参数对比

推理方法	总逻辑单元(个)	总组合单元(个)	总寄存器(个)	最大扇出(个)	总扇出(个)	总功耗(mW)	最大时钟(MHz)
新方法	491	271	384	604	2174	89.76	182.92
旧方法	3661	3441	1780	2000	15947	132.34	93.90

(接上页)

PLL 锁相环进行倍频作为模糊控制器逻辑推理的输入时钟,控制系统的 Min 模块需要 6 个时钟周期才能完成逻辑推理,即推理速度能达到 30MHz,同时各项控制性能指标也能达到设计要求。由于本文设计的模糊控制器芯片离实际应用还有一定的距离,在实时工况下的各项控制性能指标也有待测试验证,本文作者还将做进一步的研究。

参考文献

- [1] PARRIS C P, HAGGARD R L. An architecture for a high speed fuzzy logic inference engine in FPGAs [J]. System Theory, 1997. Proceedings of the Twenty-Ninth Southeastern Symposium, on 9-11 March 1997: 179-182.
- [2] HUNG D L. Design and rapid prototyping a high per-

formance hardware fuzzy controller with adaptability [J]. Industrial Technology, 1994. Proceedings of the IEEE International Conference on 5-9 Dec. 1994: 263-267.

- [3] MELGAREJO M A, ANTONIO G R, CARLOS A. Pefia-Reyes. Pro-Two: a hardware based platform for real time type-2 fuzzy inference [J]. FUZZ-IEEE 2004: 977-982.
- [4] GAONA A, OLEA D, MELGAREJO M. Distributed arithmetic in the design of high speed hardware fuzzy inference systems [J]. Fuzzy Information Processing Society, 22nd International Conference of the North American 24-26 July 2003: 116-120.
- [5] 朱伟兴, 唐骏, 何仁. 自适应阶梯模糊控制在电涡流缓速器中的应用 [J]. 江苏大学学报 (自然科学版), 2006, 27(2): 126-129. (收稿日期: 2006-08-24)