

高速网路接口的高速缓存技术及其实现

张兴明, 沈军

(国家数字交换系统工程技术研究中心, 河南 郑州 450002)

摘要: 简要介绍了先入先出(FIFO)存储器的工作原理,详细剖析了在实际大型路由器研发中使用的高速大容量缓存机制及其设计方法,并给出了关键部分的时序仿真结果。

关键词: 先入先出存储器 缓存 队列 现场可编程门阵列 网络服务质量

随着各种应用需求的增长,网络流量呈现不断扩大的趋势,各种应用于高速网络的专用集成电路层出不穷,网络数据处理速率已经上升到 Gbps 量级。本文介绍的大容量缓存及其实现技术应用于国家 863 重大课题“可扩展到 T 比特的高性能 IPv4/v6 路由器基础平台及实验系统”的 2.5Gbps 接口子项,该接口工作于开放系统互连体系(OSI)七层参考模型的物理层和数据链路层,接口在路由转发系统中的位置如图 1。

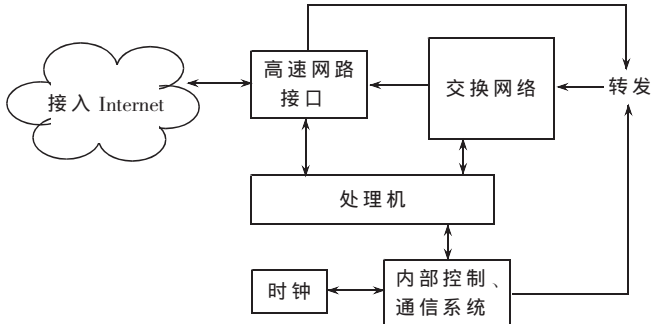


图 1 高速网路接口在路由转发系统中的位置

从总体目标上看,该接口需实现高达 2.5Gbps 的转发线速率,并提供服务优先级区分功能,以提供较好的网络服务质量 QoS(Quality of Service)。图 1 中,高速网路接口要将已经过内部封装的分组包发往处理机或提交转发,都需要使用缓存技术,以同步模块间、模块内部的数据收发速率,实现低丢包率。

通常实现缓存的方法是使用 FIFO 存储器。在高速电路设计中,FIFO 有以下几种用途^[1]:数据缓存和端口速率匹配、相位补偿、数据序列保序和优先级调度等。

1 FIFO 原理介绍

FIFO 是实现数据先进先出的存储器件,普遍用作数据缓存,可以用于顺序数据的缓存,也可用于处理器之间的通信同步。在本文涉及的高速设计中用来同步不同端口之间的数据传输、处理。

FIFO 的基本单元是寄存器,其存储能力由其内部定义的存储寄存器的数量决定,并以‘深度 x 宽度’的形式来说明所采用的基本结构,如图 2 所示。

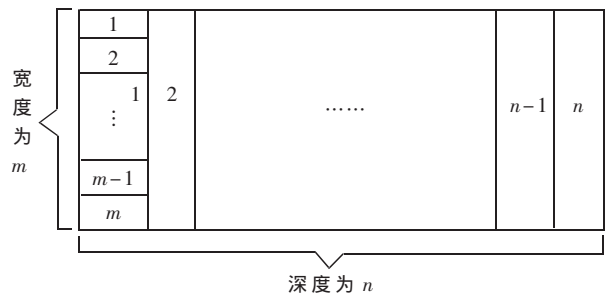


图 2 FIFO 队列模型

FIFO 通常是双端口存储器:一个端口用于写入数据,另一个端口用于读出数据且可以同时存储单元进行写入和读出操作。值得注意的是 FIFO 不需要根据地址来存取数据,但需要由另外的信号线(或标志位)来指明 FIFO 的状态,例如满、几乎满、半满、接近空、空等。它们主要通过对存储器阵列中字的数量进行比较来生成。一个简单的异步并行输入/输出 FIFO 框图如图 3。

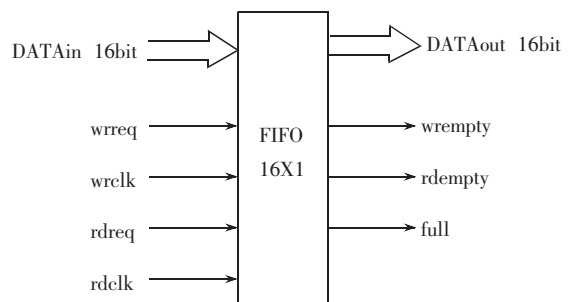


图 3 异步并行输入/输出 FIFO 框图

其中,wrreq、rdreq 分别为写、读数据请求;wrclk、rdclk 分别为写、读数据时钟;wrempty、rdempty、full 是状态标志信号,分别为写 FIFO 空、读 FIFO 空、FIFO 满。

扩展逻辑通过对多个模块按容量、深度、扩展结构

2.3 端口速率匹配与不同时钟域间接口

无论是对分组进行合路还是拆分,通过使用不同宽度的 FIFO 可以改变 I/O 速率。通过设置相应的 FIFO 状态标志信号,可以灵活掌控数据的收发。2.5Gbps 接口在图 4 中 B 处时钟频率为 200MHz, 而 FPGA 输出频率降为 125MHz。SDH 处理模块送入输入处理模块的数据宽度为 64bits, 利用 FPGA 片内 FIFO 实现 64/128 位宽转换,同时实现上述速率变换。

现代集成电路系统往往含有多个时钟。使用异步 FIFO 可以在两个不同时钟域间快速而方便地传输实时数据^[6]。设计异步 FIFO 的关键技术是合理确定 FIFO 空、满以及几乎满等信号的产生逻辑。2.5Gbps 接口电路通过图 4 中的‘SDH 处理’模块的片内 FIFO 实现将‘光/电转换’模块送来的 622.08MHz、16bit 并行电信号转换为 200MHz、64bit 并行电信号输出至 I/O 模块。SDH 处理的实现采用 SONET/SDH 载荷处理芯片^[7],利用片内 FIFO 实现上述速率匹配。

如前所述,协议报文缓存 FIFO 采用 IDT72V3690。2.5Gbps 接口的 FPGA 工作时钟为 125MHz, 协议报文缓存 FIFO 使用由 FPGA 提供的 50MHz 时钟工作(需要注意的是:上述两个时钟从设计之初就应尽量考虑使用同源时钟,以降低不同时钟域间通过使用异步 FIFO 实现同步的出错率)。协议报文缓存 FIFO 是一个同步 FIFO,读写时钟频率为 50MHz。由协议报文缓存 FIFO 实现 FPGA 与处理机之间的同步。

表 1 是协议报文缓存 FIFO 的 I/O 信号说明。

图 7 描述了协议报文缓存 FIFO 与 FPGA 之间的接口时序。

2.4 优先级调度

(1)FPGA 片内 FIFO 实现优先级调度

2.5Gbps 接口用 FPGA 片内 FIFO 实现轮询调度,调度按整包操作。多路数据包输入数据 FIFO, 如果其整包

表 1 协议报文缓存 FIFO 的输入/输出信号说明

信号名	I/O 类型	信号说明
D[0, 31]	I	FIFO 的输入数据总线
WCLK	I	写时钟
RCLK	I	读时钟
WEN	I	写使能,低有效
REN	I	读使能,低有效
FF	O	FIFO 满,低有效
Q[0, 31]	O	FIFO 的输出数据总线

标记 FIFO 非空,则按顺序轮流从非空整包标记 FIFO 对应的数据 FIFO 中读取一个完整包,并从整包标记 FIFO 中读出一个整包标记。图 8 为 FPGA 片内调度模块的参考设计框图。

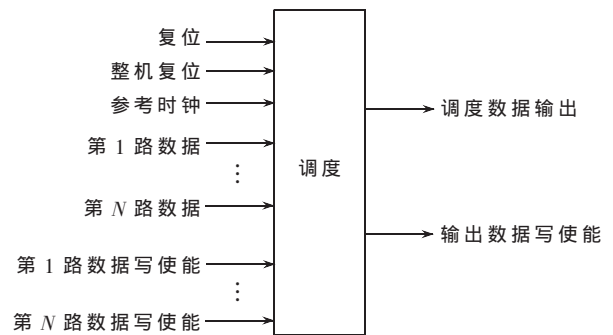
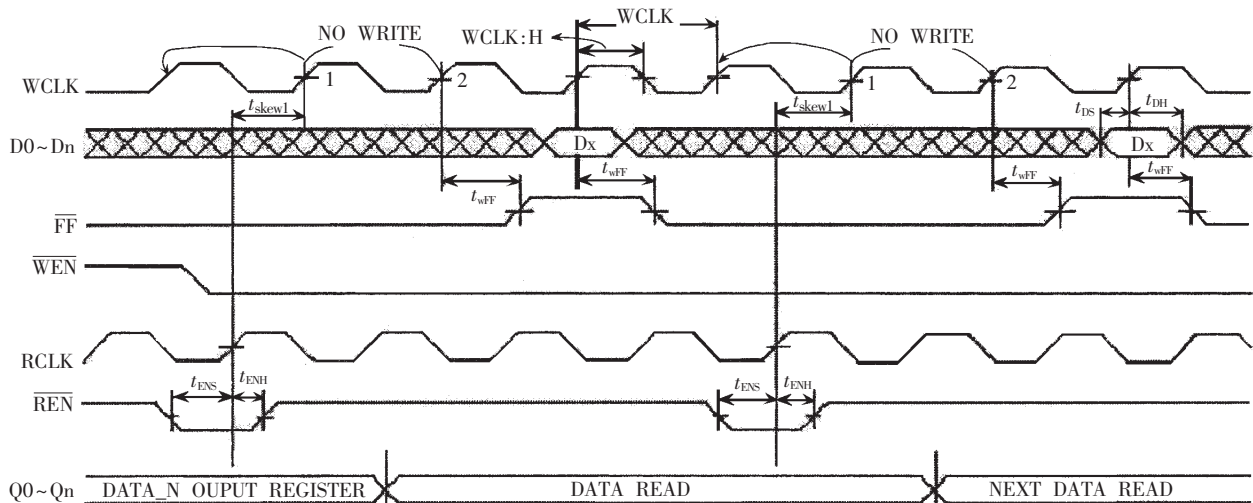


图 8 FPGA 片内调度模块的参考设计框图

该调度模块使用异步 FIFO 来实现,异步 FIFO 传递二进制码/格雷码^[6]转换的结果。读 FIFO 时钟为 125MHz,写 FIFO 时钟为 15MHz,从而容易实现 6 路输入/1 路调度输出的功能。

(2)专用 FIFO 实现优先级调度

FIFO 生产厂商已制成了支持 QoS 优先级调度策略的多队列 FIFO^[8],可对 FIFO 的器件内逻辑子队列的数量、存储深度及标志信号偏移量等进行配置。结合 FPGA



注:上标‘—’表示信号当电平为低时有效

图 7 协议报文缓存 FIFO 与 FPGA 之间的接口时序

的可编程能力, 可将输入的分组按优先级分为不同的队列, 从而满足当前和下一代网络 NGN (Next Generation Network) 对 QoS 的要求。

3 高速缓存机制的系统级考虑

T 比特路由器大容量高速缓存机制功能设计框图如图 9。

由于当前 T 比特路由器必须支持的链路端口速度从 OC-48 (2.5Gbps) 上升到了 OC-192 (10Gbps), 所需的报文缓冲存储器的速度也迅速提高, 为此根据 T 比特路由器功能框图分析线路容量、带宽需求如下: 经研究, 当 IP 分组长 40 字节时 10G 线路传输容量最大, 为 12.57Gbps (即输出线路接口总传输容量最大为 12.57Gbps), 配合调度算法‘线路输入速率 ≥ 2 倍输出速率’的要求, B 缓冲的总存储带宽应不小于 25.14Gbps; 参考 TCP 连接的环回时间 RTT(Round-Trip Time) 分析,

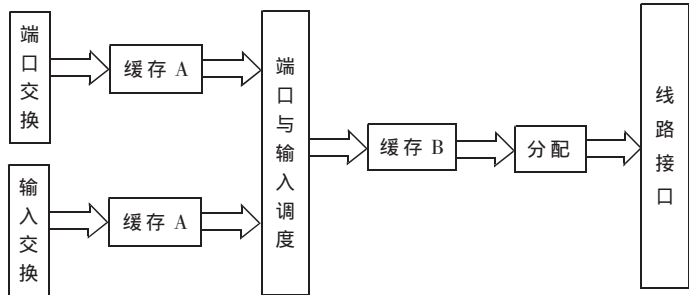


图 9 T 比特路由器高速缓存机制功能框图

高速路由器缓冲时间选为 250ms, 故缓冲 B 的容量应不小于 $10\text{Gbps} \times 0.25\text{s} = 2.5\text{Gbit}$ 。

为此, 考虑到 PCB 工艺、硬件成本, 细化 T 比特路由器并行大容量缓存原理如图 10 所示。

端口交换和输入交换各采用 6 路光纤 (6 路带状光纤实际总载荷为 10Gbps, 最大传输容量 12.78Gbps), 输入 12 路光纤等分为 4 组, 每组 3 路光纤, 最大传输容量 6.39Gbps, 每组配置一个大容量高速缓存 (时钟频率 100MHz, 总线宽 64bit, 即带宽为 6.4Gbps; 容量不小于 $6.4\text{Gbps} \times 0.25\text{s} = 1.6\text{Gbit} = 200\text{MB}$); 分组数据经调度、大容量缓存、分配后从 8 根同轴电缆输出, 每 2 根同轴支持 $12.57 \div 4 = 3.1425\text{Gbps}$ 的传输容量。图中, 为匹配端口速率, 在分组数据到达、离开的部位都设置了 FIFO。

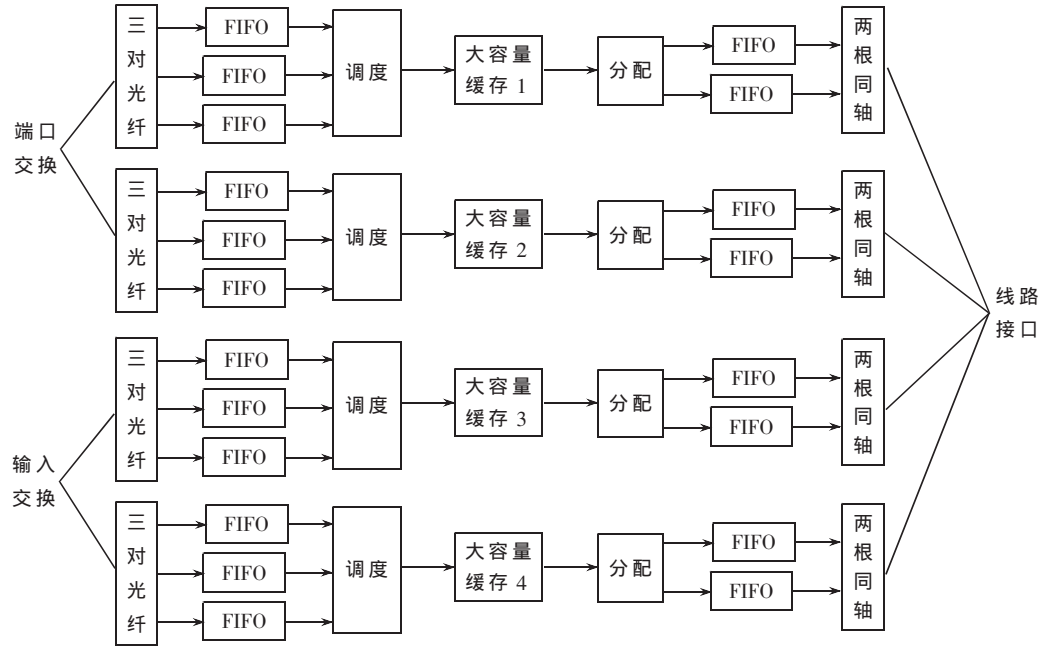


图 10 T 比特路由器并行大容量缓存原理图

采用 4 路并行大容量高速缓存机制后, 不仅降低了系统对存储器工作速率的要求, 而且降低了对单个缓冲区容量的要求; 支持对突发热点业务进行平滑, 即业务成型; 模块化的设计使得系统具有良好的可扩展性。

高速 FIFO 存储技术的灵活使用能够保证处理高速网络分组的速度与质量。目前, FIFO 芯片已在众多的数据传输、处理领域得到广泛的应用。未来, 更大容量、更低功耗、支持更高处理速率、支持复杂队列调度算法的 FIFO 将为硬件设计工程师在电路研发中提供更多更灵活、性能更可靠的选择。

参考文献

- 1 Altera.Corp. Stratix GX FPGA Family DataSheet(V2.0). 2003-12
- 2 IDT.Inc. IDT72V3630-72V36110 DataSheet(V1.0).1999-10
- 3 IETF. RFC3255: 'Extending Point-to-Point Protocol (PPP) over Synchronous Optical NETwork/Synchronous Digital Hierarchy (SONET/SDH) with virtual concatenation, high order and low order payloads', 2002-04
- 4 ITU. G.707. Digital transmission systems-Terminal equipment-General. 1996-03
- 5 Altera.Corp. Stratix GX userguide. 2003-08
- 6 吴自信, 张嗣忠. 异步 FIFO 结构及 FPGA 设计. 单片机及嵌入式系统应用, 2003; (8)
- 7 AMCC.Inc.S19202CBI30:GANGES DataSheet(V3.1).2002-01
- 8 IDT.Inc. IDT72V51336-72V51356 DataSheet.2003-06

(收稿日期: 2006-07-07)