

# 基于 DSP 和 DSP/BIOS 的实时雷达信号采集与处理系统

孟凡志, 索继东, 于川, 许小可  
(大连海事大学 信息工程学院, 辽宁 大连 116026)

**摘要:** 介绍了一种在实时操作系统 DSP/BIOS 平台下的雷达信号实时采集、处理与传输系统的设计和实现, 利用 TMS320C6416DSP 强大的数据处理能力和其片内集成的 PCI 总线接口, 满足了雷达信号处理中高数据传输率和高速处理能力的需要。

**关键词:** DSP/BIOS 操作系统 数字信号处理器 雷达 PCI 总线 信号采集与处理

雷达信号的实时采集、处理与传输, 除需要由高速 A/D 设备、高性能的 DSP 和 PCI 总线构成的高速硬件平台外, 还需要有高效的实时操作系统。DSP/BIOS 是 TI 公司推出的一个功能丰富、可裁减的高性能实时多任务操作系统内核, 具有良好的可靠性和卓越的实时性。它与 TI 的 CCS(Code Composer Studio)集成, 本身仅占用极少的 CPU 资源, 并提供底层的应用程序接口, 支持系统实时分析、线程管理、调度软件中断、周期函数和 idle 函数(后台运行函数)以及外部硬件中断和各种外设的管理。应用 DSP/BIOS 可以方便编写多任务 DSP 应用程序, 同时还能增强对代码执行效率的监控。

高性能数字信号处理器以其特有的硬件结构、强大的数据处理能力及可扩展存储空间, 在雷达信号处理领域得到广泛应用。PCI 总线是一种先进的高性能 32 位/64 位地址数据复用局部总线, 当总线时钟频率为 33MHz, 总线宽度为 32 位时, 其峰值传输速率高达 132MBps, 可以有效解决数据的实时传输和存储, 方便数据的实时处理。本文基于高速 A/D 设备、高性能 TM320C6416DSP 和 PCI 总线构成的硬件平台, 在实时操作系统 DSP/BIOS 平台下开发了高速雷达信号的数字化采集、处理与传输系统。

## 1 雷达信号采集与处理系统的硬件平台构成

该系统是船载导航雷达信号处理和视频显示系统的核心组成部分, 在主控计算机的控制下完成雷达原始视频信号的采集, 通过恒虚警(CFAR)、目标检测等处理后, 经 PCI 总线将处理后的数据传输到 PC 机。

考虑到雷达信号数据量大、处理算法复杂、实时性要求强等特点, 本系统采用高速双通道采集处理板 SD7541A, 主要由高速 A/D 转换器 AD9432、现场可编程门阵列(FPGA)XC2V2000-4、高性能数字信号处理器 TMS320C6416(600MHz)、PCI 总线等器件构成。系统硬件总体框图如图 1。

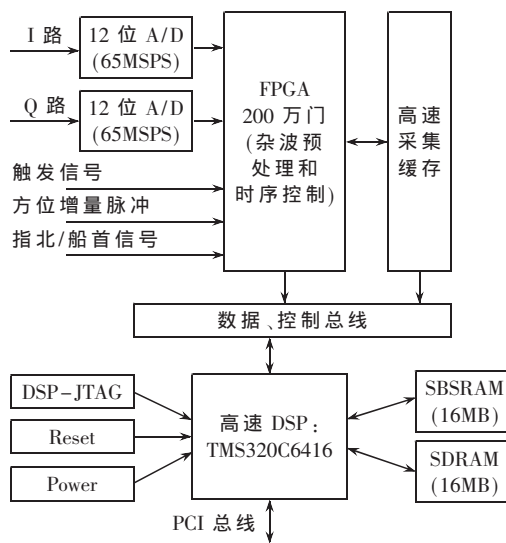


图 1 系统硬件总体框图

系统进行双路数据采集, A/D 转换芯片采用 Analog Devices 公司的 AD9432 芯片, 最高采样率为 65MSPS, 分辨率为 12 位, 采集缓存 1Mpts/CH。FPGA 采用 Xilinx 公司的 XC2V2000-4 芯片, 主要用于对数字化的雷达视频信号的预处理以滤除噪声, 以及控制电路时序状态。美国 TI 公司的 TMS320C6416DSP 既有高速的运算能力, 又有良好的外设接口, 有利于雷达信号处理的高速运算、强实时通信和大容量的数据存储。TMS320C6416DSP 的外部存储器接口(EMIF)实现了与各种高速、大容量外部存储器件的连接。

由于 TMS320C6416DSP 集成了符合 PCI2.2 标准的总线接口, 所以无需额外的 PCI 接口芯片, 在该系统中直接将该硬件板卡插入 Pentium 4 CPU 2.4GHz 计算机的 PCI 插槽中。FPGA 触发 DSP 的外部硬件中断, 为系统各部分的实时通信提供了保证。使用 EDMA 方式传输数据

可以实现快速的数据传输及存储操作,有效地解决了雷达信号处理中需要高数据传输率的问题。由于处理算法的判决准则多、运算量大,通过 DSP 大大提高了运算速度,再加上 PCI 接口高达 132MBps (32bit/33MHz 时)的数据传输率,使得整个系统结构得到简化,成本降低,同时还具有调试方便灵活、通用性强等特点。

## 2 基于 DSP/BIOS 的软件程序设计与实现

DSP/BIOS 是 TI 公司为其 TMS320C5000 和 TMS320C6000 系列 DSP 开发的一个功能丰富、用户可剪裁的实时操作系统,集成在 TI 的 CCS 集成开发环境中。其主要由三部分组成:多线程实时内核、实时分析工具 RTA 和芯片支持库 CSL。DSP/BIOS 以模块化方式提供给用户,对线程、中断、定时器、内存资源、所有外设资源的管理能力都可以根据需要剪裁。多线程程序的运行、维护和调度完全由 DSP/BIOS 管理,数字信号算法作为一个线程嵌入到系统即可;芯片支持库提供大量的 API 函数接口,帮助管理外设资源;复杂的外设寄存器初始化可以直接利用图形化 DSP/BIOS 配置工具;实时分析工具提供算法运行的实时分析与优化,这样不仅充分发挥了 DSP 的性能,又大大降低了系统设计的难度。

所有的软件程序设计都在 TI 公司的集成开发环境 CCS3.1 中完成,利用 DSP/BIOS 实时操作系统对系统资源进行初始化和控制,确定系统工作方式,完成任务的调度管理、中断服务管理和外设驱动程序的管理等操作,结合雷达信号处理算法,快速构筑一个高效率的软件系统。软件程序设计包括 DSP/BIOS 实时内核对系统的调度管理、DSP 数据流处理程序、PC 主机与 DSP 通信设计。

### 2.1 DSP/BIOS 实时内核对系统的调度管理

DSP/BIOS 内核用于生成系统中的线程对象,按照优先级从低到高依次为后台线程(IDL)、任务线程(TSK)、软件中断(SWI)和硬件中断(HWI)。在该系统中,需要在 2.5 秒内采集 4096 个雷达方位上的数据,FPGA 在每个方位信号到来时触发 DSP 外部中断 7,每个方位采集 1024 点(8 位量化)雷达回波数据。这样一个方位上的数据传输时间为  $2.5s/4096=0.61ms$ ,数据传输率为  $(1024 \times 4096/2.5)B/s=1.7MBps$ 。为此利用 HWI 中断处理负责 DSP 与外设的数据传输以保证高度的实时性,在 HWI 中调用 EDMA 读取高速缓存程序完成数据传输。后续的处理任务通过 HWI 触发 SWI 完成。使用两个 SWI 线程完成整个的雷达数据处理工作。通过 MBX 邮箱管理模块进行两个 SWI 线程的同步通信,由低优先级的 SWI0 触发高优先级的 SWI1。这样如果在某次异常情况下 SWI1 处理被 HWI 打断,则 HWI 完毕后,系统会根据优先级判断执行高优先级的 SWI1,SWI1 执行完毕后再执行 SWI0,提高了整个系统的稳定性<sup>[7-8]</sup>。

### 2.2 DSP 数据流处理程序实现

DSP 数据流处理程序采用 C 语言编写,实现船载导航雷达的信号处理。首先 I、Q 两路信号经过数字化后,

送往高速采集缓存中,每存满 1K(即 1024 点数据)后,FPGA 触发 DSP 外部中断 7,通过 EDMA 方式传输数据并高速送入 SDRAM 中暂存,同时启动软件中断 SWI0,调用回波数据格式化处理子程序对雷达数据格式化,接着启动高优先级软件中断 1(SWI1)调用恒虚警(CFAR)处理子程序和非相参积累处理程序完成雷达的目标检测,最后通过 PCI 总线将处理结果送往 PC 机显示。DSP 数据流处理软件流程如图 2 所示。

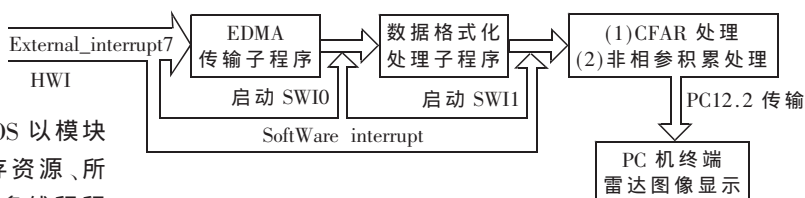


图 2 DSP 数据流处理软件流程

### 2.3 PC 主机与 DSP 通信设计

DSP 软件设计时必须考虑与主机的交互和协调,主机应用程序通过 PCI 总线控制和操作 DSP 系统。在 DSP 中单独开辟一个线程负责处理主机的各种命令,同时最关键的信号处理算法也作为一个线程,还有一个线程负责将处理后的数据上传到主机。线程之间采用信号量进行同步。

主机部分利用 Jundo 公司的设备驱动程序开发工具 Windriver 编写 PCI 插卡的驱动,PC 机通过 PCI 总线与 DSP 构成主从工作方式,在 PC 主机端即可完成 DSP 所执行的应用程序的修改、编译和加载。

#### 2.3.1 PC 主机向 DSP 发中断

PC 主机通过向 PCI I/O 的 host-to-DSP 控制寄存器的 DSP INT 位写 1,向 DSP 发出中断。当 PCIEN 中对应位使能时,向 DSPINT 位的写 1 操作将触发 HOSTSW 中断。

#### 2.3.2 DSP 向主机发出中断

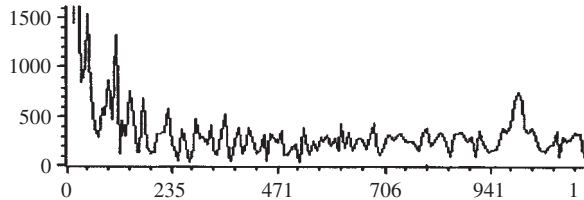
DSP 通过/INTA 管脚向 PCI 主机发送中断信号,对主机的中断请求由 DSP 的软件控制产生。当向 RSTSRC 寄存器中的 INTREQ 位写 1 时,会产生中断请求。若 HSR 寄存器中 INTAM 位使能,则中断请求会通过/INTA 管脚送入 PCI 总线。向 RSTSRC 寄存器中的 INTRST 位写 1 可以清除/INTA 上的信号。

## 3 实验结果分析

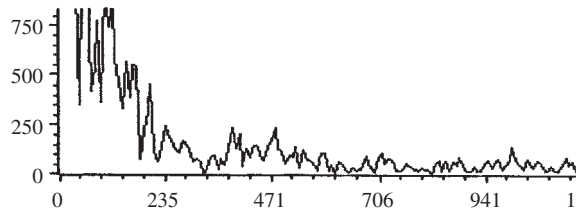
图 3 为在 TMS320C6416DSP 中对船舶导航雷达原始视频信号进行恒虚警处理,并利用 TI 公司的 CCS2.2 软件测试后得到的实际测试结果。每个方位视频信号采样点数为 1024 点。图 3 中横坐标为采样单元序号,纵坐标为信号强度。其中,图 3(a)为 CFAR 处理前采集的原始雷达视频回波,图 3(b)为 CFAR 处理后得到的视频信号。可见,经过 CFAR 处理后,大大降低了虚警概率。

图 4 为经 DSP 处理前后送往 PC 机显示的雷达图像。从显示效果可以看出,经 DSP 处理后有效地抑制了

(下转第 21 页)

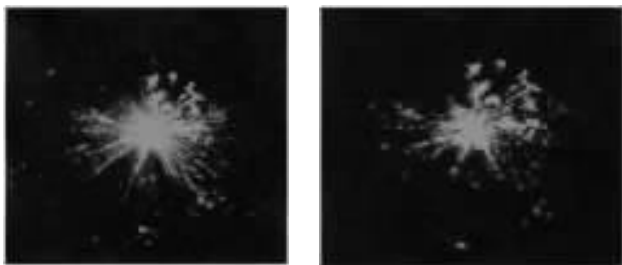


(a)原始雷达视频信号



(b)CFAR 处理后信号

图 3 经 DSP 采集与处理的雷达信号波形



(a)采集的雷达图像

(b)经 DSP 处理后的雷达图像

图 4 DSP 处理前后送往 PC 机显示的雷达图像

雷达信号中的杂波,提高了目标检测能力。

本文介绍了基于 TMS320C6416DSP 和 DSP/BIOS 的雷达信号实时采集与处理系统的设计和实现。利用高性能 TMS320C6416DSP 强大的数据处理能力和其片内集成的 PCI 总线接口,在 DSP/BIOS 实时操作系统强大的线程调度机制和实时分析工具下,解决了雷达信号处理中面临的高数据传输率和高速处理能力的问题,保障了船载导航雷达信号处理和视频显示系统工程的顺利进展。

### 参考文献

- 1 李芳慧,王飞,何佩琨.TMS320C6000 系列 DSPs 原理与应用(第 2 版).北京:电子工业出版社,2003
- 2 李贵山,戚德虎.PCI 局部总线开发者指南.西安:西安电子科技大学出版社,1997
- 3 潘亚涛,冯建雄.基于 TMS320C6205 的实时数据采集与处理系统.数据采集与处理,2002;17(1):73~76
- 4 陈金涛,许录平,余柏生.基于 VxWorks 的雷达数据采集系统的设计与开发.现代雷达,2005;27(9):44~47
- 5 余永维,蒙建波,杜柳青.基于 PCI 总线和 DSP 的实时图像采集与处理系统.自动化与仪器仪表,2005;(2):11~13
- 6 彭启端,管庆.DSP 集成开发环境.北京:电子工业出版社,2004
- 7 许小可.DSP/BIOS 在雷达目标自动检测系统上的应用.微计算机应用,2006
- 8 TMS320C6000 DSP/BIOS Application Programming Interface. Literature Number; SPRU403. TexasInstrument Incorporated, 2002;10
- 9 TMS320C6000 Chip Support Library API Reference Guide

(收稿日期:2006-06-21)