

同步整流升压电路中整流管的衬底电位控制

曾子玉, 邹雪城, 孔令荣

(华中科技大学 电子科学与技术系, 湖北 武汉 430074)

摘要: 在同步整流 DC-DC 升压电路中, 电路从启动到稳定的过程中, 功率整流 PMOS 管的源端电位有时大于漏端电位, 有时小于漏端电位, 而 PMOS 管的衬底电位一般应接在源/漏电位中较大者一端。针对这个问题提出了两种解决方法, 通过比较分析, 采用相对简单的电路很好地解决了以上问题。

关键词: 同步整流 升压电路 衬底电位控制

当今的电源管理芯片正朝着高集成度、低功耗、抗干扰的方向发展。而能源短缺问题的日益加剧使节能和提高效率成为电源管理领域永恒的话题。同步整流技术的出现极大地满足了高集成度、低功耗和高效率的设计要求。所谓同步整流, 是指用通态电阻极低的功率 MOSFET 取代肖特基整流二极管。这不仅提高了集成度, 还大大提高了 DC-DC 变换器的效率。因此同步整流技术已经成为设计 DC-DC 变换器的一个趋势。

1 问题的提出

众所周知, 在正常工作条件下, MOS 管的源漏电压应使源-衬和漏-衬两个 PN 结始终处于反偏状态。对于 PMOS 管而言, 则要满足

$$V_S - V_{PB} < V_T \text{ 且 } V_D - V_{PB} < V_T \quad (1)$$

式中, V_{PB} 、 V_D 、 V_S 分别为整流 PMOS 管衬底电位、漏极电位和源极电位, V_T 为源漏结二极管的正向导通阈值。而衬底电位一般接源漏电位的较大者, 即

$$V_{PB} = \max\{V_D, V_S\} \quad (2)$$

同步整流升压式 DC-DC 变换器是 DC-DC 变换器中的一种, 如图 1 所示。下面对同步整流 DC-DC 升压电路的原理做具体分析。

(1) 预充电阶段 (启动阶段)

在这个阶段, M1 截止、M2 导通, 电源对电容 C_{OUT} 进行

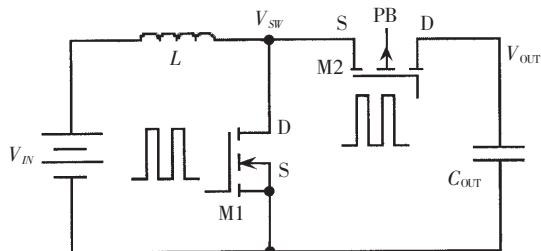


图 1 同步整流 DC-DC 升压电路原理图

充电。电流的方向为 $V_{IN} \rightarrow V_{SW} \rightarrow V_{OUT}$, 显然有 $V_{IN} > V_{SW} > V_{OUT}$ 。

(2) 正常开关工作阶段

在这个阶段, 电路有两种工作状态:

① 充电阶段: 即 M1 导通、M2 截止, V_{IN} 通过 M1 对电感 L 充电。电流的方向为 $V_{IN} \rightarrow V_{SW} \rightarrow GND$, 有 $V_{SW} = 0 < V_{OUT}$ 。

② 放电阶段: 即 M1 截止、M2 导通, 电感 L 放电。电流的方向为 $V_{IN} \rightarrow V_{SW} \rightarrow V_{OUT}$, 有 $V_{SW} > V_{OUT}$ 。

从上面的分析可以看出在同步整流升压电路中, 对于整流 PMOS 管来说, 在启动阶段, 它的 $V_S > V_D$; 而在正常工作状态下既有 $V_S > V_D$ 的时候, 也有 $V_S < V_D$ 的时候。可见, 需要引入专门的电路对整流 PMOS 管的衬底电位进行控制。

2 解决方法

(1) 在预充电阶段, 有 $V_{IN} > V_{SW} > V_{OUT}$, 衬底 PB 接在 V_{IN} 或 V_{SW} 端上都可以。

(2) 在正常开关工作阶段, 如果是在充电阶段, 则 $V_{SW} = 0 < V_{OUT}$, 所以把衬底接在整流管的 V_{OUT} 一端, 即 $V_{PB} = \max\{V_D, V_S\} = V_{OUT}$; 在放电时, 则有 $V_{SW} > V_{OUT}$, 这时是否可以把衬底接在整流管的 V_{SW} 一端呢, 还需进行如下讨论。

① 如果把衬底接在整流管的 V_{SW} 一端上, 则整体电路原理框图如图 2 所示。

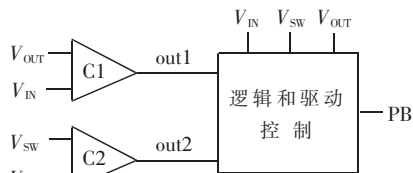


图 2 衬底电位控制的实现方法一

从图 2 中可以看到需要两个迟滞比较器 C1 和 C2, C1 用来判断电路是处于预充电阶段还是处于正常开关

工作阶段, C2 用来判断整流管的源漏端电位的高低。逻辑和驱动控制模块的作用是预充电时输出 V_{IN} , 进入正常开关状态后充电时输出 V_{OUT} , 而放电时输出 V_{SW} 。但是这里有一个问题: 当电路由放电向充电状态转换时, 即在开关管 M1 导通瞬间, 衬底电位仍接在 SW 一端, 有 $V_{PB}=V_{SW}=0$, 而 V_{OUT} 的值很大, 所以这个时候整流管 M2 的漏-衬 PN 结正向导通, 这是不允许的。这个过程持续的时间设为 t , 比较器 C2 的输入端 V_{SW} 为 0 到逻辑和驱动控制的输出端输出 V_{OUT} 的这段时间就为 t 。同时由于 M2 的宽长比很大所以 M2 的漏衬电流很大, 导致很大的功率消耗, 效率必然不高。

②如果这个时候把衬底接在整流管的 V_{OUT} 一端, 为了使整流管的源-衬和漏-衬两个 PN 结都是处于反向偏置, 必须满足下面的关系:

$$V_S - V_D < V_T \quad (3)$$

只有满足不等式 (3) 亦即满足 $I_{D_{MAX}} \cdot R_{DS(ON)} < V_T$ 时, PMOS 管才能正常工作。其中 $I_{D_{MAX}}$ 是流过整流管的最大电流, $R_{DS(ON)}$ 是整流管工作在开关状态下源漏之间的通态电阻, V_T 为源漏结二极管的正向导通阈值。整体电路原理框图如图 3 所示。

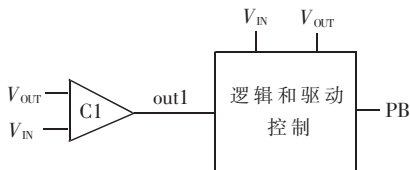


图 3 衬底电位控制的实现方法二

从图 3 中可以看出, 只需一个迟滞比较器 C1, 比较 V_{IN} 和 V_{OUT} 的大小。而逻辑和驱动控制把 V_{IN} 和 V_{OUT} 的较大者输出到 PB 端, 仅仅需要几个反相器。与第一种方法相比, 第二种方法降低了电路的复杂程度, 简化了电路, 从而节约了芯片的版图面积; 由于在正常工作期间衬底始终接在 V_{OUT} 一端, 所以 M2 不存在漏-衬 PN 结正向导通的问题, 降低了功耗, 效率得以提高。可见第二种实现方法优于第一种实现方法。

综上所述, 最佳的解决方案如下: 在电路的预充电阶段将整流管衬底接在输入电源 V_{IN} 一端; 而在电路进入正常开关工作阶段后, 整流管衬底接在输出 V_{OUT} 一端。

3 衬底电位控制电路

采用最佳解决方案的实现电路如图 4 所示, 设计基于 $0.6\mu\text{m}$ 30V BCD process。 V_P 点的电位始终为 $V_{IN} - V_D$ 和 $V_{OUT} - V_D$ 中的较大者, 它的主要作用是控制管 M3 和 M4 提供衬底电位以使它们的源漏结总处于反向偏置。 V_D 为二极管 D1、D2 的正向导通压降, 有 $V_D < V_T$ 。当 $V_{OUT}=1$ 时, $V_{CN1}=0, V_{CN2}=1$, M2 和 M4 都导通, M1 和 M3 都截止, $V_{PB}=V_{IN} - V_D$ 。当 $V_{OUT}=0$ 时, $V_{CN1}=1, V_{CN2}=0$, M2 和 M4 都截止, M1 和 M3 都导通, $V_{PB}=V_{OUT}$ 。

(1) 整流 PMOS 管的选择, 设阈值电压 $V_T=0.7V$, $\mu_r C_{OX} =$

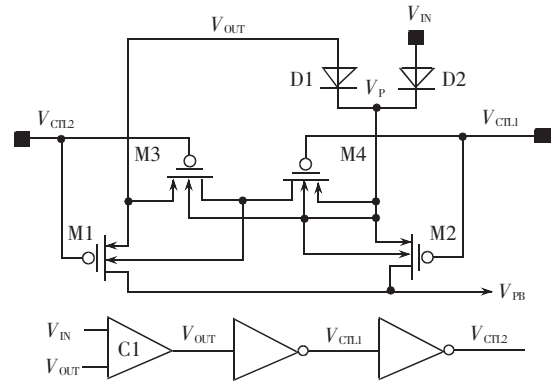


图 4 衬底电位控制电路

$$50\mu\text{A}/V^2, \text{ 由 } R_{DS(ON)} = \frac{1}{\mu_r C_{OX} \frac{W}{L} (V_{GS} - V_T)} \text{ 和 } I_{D_{MAX}} \cdot R_{DS(ON)} < V_T,$$

可推出下列不等式 $\frac{W}{L} \geq \frac{2 \cdot 10^5 \cdot I_{D_{MAX}}}{7 \cdot (V_{GS} - 0.7)}$ 。如果设 $I_{D_{MAX}} = 300\text{mA}$, $V_{GS} = 3V$, 则可推出 $\frac{W}{L} \geq 3727$ 。所以只要选择整流管 M2 的宽长比大于 3727 即可满足要求。

(2) 比较器 C1 的功能示意图如图 5 所示, 迟滞量设计为 0.4V。

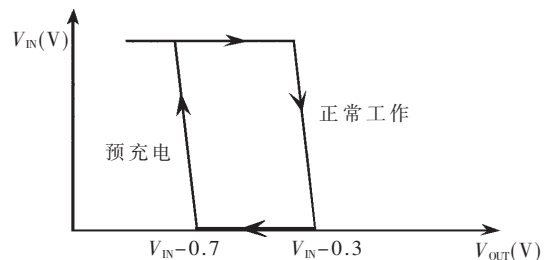
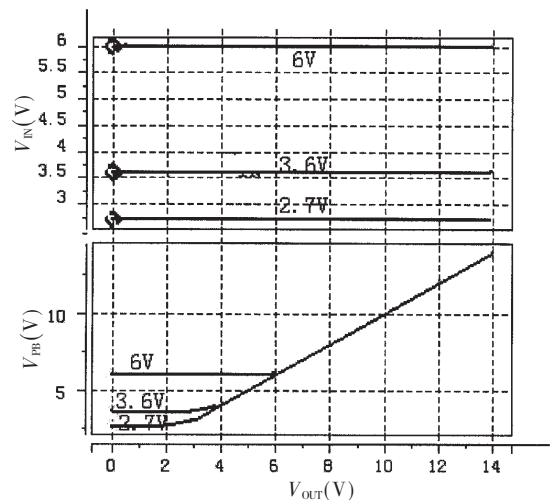


图 5 比较器 C1 功能示意图

4 HSPICE 仿真结果与分析

采用 Hspice 仿真, 二极管 D1、D2 的正向导通压降 $V_D=0.5V$ 。当 V_{OUT} 上升时波形如图 6 所示; 当 V_{OUT} 下降



$V_{IN}=2.7V、3.6V、6V, V_{OUT}=0\sim 14V, \text{ 温度}=25^\circ\text{C}$

图 6 V_{OUT} 上升时波形图

时,波形如图 7 所示。

根据比较器 C1 设计的功能(见图 5),结合图 6 和图 7 的仿真波形可以看出:当 V_{OUT} 的值是由大到小变化,且满足 $V_{IN}-0.7 < V_{OUT}$ 时,输出 $V_{PB}=V_{OUT}$,否则输出 $V_{PB}=V_{IN}-V_D$;同理,当 V_{OUT} 的值由小到大变化,且满足

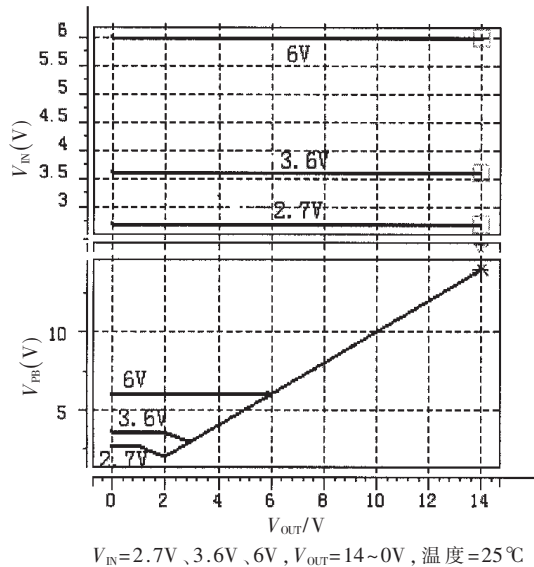


图 7 V_{OUT} 下降时波形图

$V_{IN}-0.3 < V_{OUT}$ 时,输出 $V_{PB}=V_{OUT}$,否则输出 $V_{PB}=V_{IN}-V_D$ 。很好地实现了衬底电位的控制。

在采用最佳的方法后,以简单的电路就实现了复杂的同步整流 PMOS 衬底电位的控制,大大节约了版图面积,降低了功耗,提高了效率。事实上,功率管的通态电阻是极低的,如新型 MOSFET 的 $R_{DS(ON)}$ 在 $V_{GS}=10V$ 时约 $10m\Omega$ 左右。还有一些新产品,在 $V_{GS}=10V$ 时可做到 $R_{DS(ON)}$ 约 $2\sim 3m\Omega$ 。完全能够满足 $I_{D(MAX)} \cdot R_{DS(ON)} < V_T$ 的要求,因而该设计方法具有很大的工程实际应用价值。

参考文献

- [1] Understanding boost power stages in switchmode power supplies. Application Report. Texas Instruments, March 1999.
- [2] Design and application guide for high speed MOSFET gate drive circuits. Laszlo Balogh. Texas Instruments, 2002.
- [3] 毕查德·拉扎维.模拟 CMOS 集成电路设计.西安:西安交通大学出版社,2004
- [4] 张占松,蔡宣三.开关电源的原理与设计.修订版.北京:电子工业出版社,2004

(收稿日期:2006-10-24)