

论文题目 高速 SERDES 接口芯片设计关键技术研究

学科专业 微电子学与固体电子学

指导教师 李 平 教 授

作者姓名 韦雪明

学 号 200810301013

分类号 _____ 密级 _____

UDC^{注1} _____

学 位 论 文

高速 SERDES 接口芯片设计关键技术研究

(题名和副题名)

韦雪明

(作者姓名)

指导教师姓名 _____ 李 平 _____ 教 授 _____

电子科技大学 _____ 成 都 _____

(职务、职称、学位、单位名称及地址)

申请专业学位级别 博士 专业名称 微电子学与固体电子学

论文提交日期 2012.03 论文答辩日期 2012.06

学位授予单位和日期 电子科技大学

答辩委员会主席 _____

评阅人 _____

年 月 日

注 1: 注明《国际十进分类法 UDC》的类号。

Researches on the Key Technologies of the High-speed SERDES Interface Chip Design

Major: Microelectronics and Solid-State Electronics

Advisor: Prof. Ping Li

Author: Xueming Wei

独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

签名：_____ 日期：_____年____月____日

关于论文使用授权的说明

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后应遵守此规定）

签名：_____ 导师签名：_____

日期：_____年____月____日

摘 要

随着通信技术的飞速发展，高速数据传输系统成为了当前研究的热点，而高速 SERDES 接口芯片的研究则是其中一个重要的组成部分。SERDES 接口芯片的主要功能是将低速的并行信号转换为高速低压差分信号 (LVDS) 并通过串行链路发送，同时能够接收串行输入 LVDS 数据并正确的转换为低速并行信号。

当高速信号在印制电路板上传输时，任何微小的抖动噪声源都可能会影响信号传输的质量，增加信号在时域中的抖动，从而导致信号的眼图闭合，接收器不能正确的识别信号电平。因此，对于高速信号传输，信号的抖动是各种研究中最需要关注的领域，包括抖动产生的机理以及相应的减少抖动的措施。在高速 SERDES 芯片抖动相关的研究中，一方面，SERDES 验证方法学是需要认真考虑的一个问题。近年来，对 SERDES 系统的验证仿真方法研究是设计者都普遍关注的领域，但几乎都是利用高级建模语言 Verilog-A 来进行功能建模，然后再设计电路。另一方面，SERDES 系统的抖动容限是需要关注的问题，为了实现一个具有较高抖动容限的差分信号接收器，需要设计低抖动的锁相环、高增益的均衡器和具有较小延迟的时钟和数据恢复电路(CDR)环路。

本文以高速信号传输应用为背景，在基于 SERDES 接口芯片的研究基础上，针对具体的工艺，以降低系统信号抖动为目标，做了多项创新性的工作。

1、传统的 VCO 结构在低供电电压环境下工作时，频率-电压调谐范围窄，使得相位噪声性能差，不适合应用在调频范围宽的场所。本文提出将一种改进型的有源电感负载作为全摆幅交叉耦合 VCO 的负载，不仅能够在低供电电压环境下工作，还保证了频率-电压调谐范围广，相应的可以改善相位噪声性能，适合应用在调频范围宽的场所。芯片测试结果表明，该电路结构能够很好的工作在低供电电压条件下，采用该 VCO 结构的锁相环输出时钟相位噪声特性较好。

2、传统的多数表决电路采用与非门结构实现，导通电阻大，一旦表决信号较多，要求级联 MOS 管较多，则不适合在低电压供电条件下工作。本论文提出一种新的表决器电路结构，对输入数据和采样时钟的相位检测结果进行多数表决，表决电路结构简单，导通电阻小，环路延时小，特别适合于低压条件下的多电平表决。测试结果表明基于该表决器的时钟和数据恢复电路所恢复的输出时钟抖动小，满足设计需求。

3、在传统的均衡放大器设计中，由于负载电容的影响，为了保证放大器的带

宽特性，负载电阻不能取得很大，导致高频增益有限。本论文探索性的设计了一种新的 LVDS 信号均衡放大器结构，采用双电压偏置方式以及有源电感的负载结构，有效提高放大器的高频增益和低频增益的比率。电路仿真显示，相比较于传统的电路结构，在同样的负载电容条件下，可以获得更大的放大器高频增益。

最后，以所设计的电路为基础，采用 $0.13\mu\text{m}$ CMOS 工艺实现了一款工作在 1.5Gb/s 速率，包括信号强度检测电路的单片单通道 SERDES 接口芯片的接收器。实际测试表明，单片电路在 0.5-1.5Gb/s 的速率内稳定工作，在输入数据速率为 1.5Gb/s 的情况下，恢复出的时钟工作频率为 750MHz，恢复的时钟能够正确的在数据中心点进行采样，且具有良好的抖动特性。

关键词：时钟数据恢复电路，锁相环，低压差分信号，抖动，均衡器

ABSTRACT

High speed communications data systems are hot researches with the communication technology progress nowadays, furthermore, the research about the high speed SERIAL and DESserial (SERDES) interface chip is a important part. SERDES chip mainly converts low speed parallel signal to the high speed serial low voltage differential signal (LVDS), meanwhile, it can receive the LVDS and convert that to the TTL signal correctly.

While the high speed signal is transferred in Printed Circuit Board (PCB), any tiny noise will deteriorate the signal and increase the jitter of the signal, which make the eye diagram of the signal deteriorated and the receiver cannot receive the data correctly. Therefore, the jitter of the high speed system is one of the most pivotal fields; it includes the jitter generation and the jitter restriction. There are two subjects about the jitter of the SERDES chip; one is the simulation methodology of the SERDES system, which is being focused recently. Although many researches are being reported, almost all the works are done by modeling the function of the SERDES system with the Verilog-A. The other is design of the receiver with high jitter tolerance, which includes a low jitter PLL, the high gain equalizer, and the low delay clock and data recovery circuit (CDR).

Based on the background of the researches of the SERDES chip, the work focuses on the design of the circuits to decrease the jitter of chip.

1. While power supply is low enough, the frequency-voltage tuning range of the conventional VCO is too narrow to be applied in the applications that need broad voltage tuning. An improved fully-swing cross coupling VCO that adapts active inductance load is designed in the work. Its voltage tuning range is large enough even with low power supply, which provides a good phase-noise performance. The test results of the chip show that the VCO can be work well in low power supply applications.

2. The conventional voted circuit is designed by NAND logic. Once the voted

signals are too much, the voted circuit needs many serial-MOS, which leads to the large transmission-resistance and large transmission-delay, especially it is used in the low power supply application. A novel voted circuit is designed to get low transmission-resistance and small transmission-delay while it is used in low power supply application. The test results show that the jitter of the recovery clock that based on the voted circuit is good enough for the applications.

3. Because the load of the conventional equalizer is inactive resistance, the value of the resistance must keep small to get broad band, which decreases the high-frequency gain of the equalizer. A novel equalizer of the LVDS with active inductance and two bias-voltage control method, which improves the gain ratio between high frequency and low frequency of the equalizer. Simulation results show that the high frequency gain of the improved equalizer is larger than that of the conventional equalizer while the circuit has equal capacitance load.

Finally, a receiver of the SERDES interface chip is fulfilled based on the circuits mentioned above. It is designed with 0.13 μ m CMOS process and can transfer the data ratio from 0.5Gb/s to 1.5Gb/s. While received the data ratio is 1.5Gb/s, the recovery clock is 750MHz and has good jitter performance.

Keywords: clock and data recovery, PLL, LVDS, jitter, equalizer

目 录

第一章 绪论	1
1.1 概述	1
1.2 国内外研究进展	2
1.3 论文的主要工作	5
1.4 论文安排	6
第二章 SERDES 系统和抖动建模	7
2.1 SERDES 系统概述	7
2.1.1 锁相环	8
2.1.2 差分信号输出驱动器和接收器	9
2.1.3 时钟恢复电路	10
2.1.4 8B/10B 编解码	10
2.2 信号带宽和传输链路中的信号完整性	11
2.2.1 信号带宽	11
2.2.2 传输链路中的信号完整性问题	12
2.3 SERDES 系统抖动分析和建模	13
2.3.1 抖动和眼图	13
2.3.2 抖动的分类	14
2.4 SERDES 接口芯片抖动仿真	20
2.4.1 输入参考时钟抖动	22
2.4.2 并行输入数据抖动	23
2.4.3 串行链路中的抖动	25
2.5 本章小结	29
第三章 低抖动自偏置锁相环设计	30
3.1 概述	30
3.2 锁相环基本原理	30
3.2.1 锁相环环路传输函数	30
3.2.2 锁相环的噪声和抖动传输特性	32

3.2.3 锁相环的稳定性分析	35
3.3 压控振荡器	36
3.3.1 压控振荡器原理	36
3.3.2 压控振荡器类型	37
3.3.3 环形振荡器的相位噪声和抖动	39
3.4 自偏置锁相环设计	43
3.4.1 自偏置锁相环原理	44
3.4.2 自偏置锁相环模块设计	47
3.4.3 锁相环仿真	53
3.5 本章小结	55
第四章 差分信号接收器设计	56
4.1 概述	56
4.2 差分信号接收器	57
4.2.1 差分信号的均衡	57
4.2.2 均衡器常用结构	58
4.2.3 源极负反馈跨导滤波均衡器设计	61
4.2.4 均衡器仿真	63
4.3 差分信号比较器分析和设计	67
4.3.1 差分信号比较器分析	67
4.3.2 差分信号比较器电路设计	71
4.3.3 差分信号比较器仿真与讨论	74
4.4 均衡器和比较器版图设计	80
4.5 本章小结	81
第五章 时钟与数据恢复电路设计	82
5.1 概述	82
5.2 时钟与数据恢复电路结构	83
5.2.1 基于锁相环结构的 CDR	83
5.2.2 基于相位插值结构的 CDR	85
5.2.3 脉冲注入锁定式 CDR	85
5.2.4 过采样 CDR	86
5.2.5 基于门电路环振的 CDR	87
5.2.6 基于高 Q 带通滤波器的 CDR	88

5.2.7 基于模数转换结构的 feed-forward CDR	88
5.3 基于相位插值器结构的 CDR 设计	89
5.3.1 CDR 电路原理	89
5.3.2 CDR 电路分析	90
5.4 CDR 环路相位传递函数和抖动容限	94
5.5 CDR 系统设计	95
5.5.1 相位检测算法和电路设计	96
5.5.2 环路参数设计	98
5.5.3 信号采样器设计	99
5.5.4 时钟选择和插值器设计	100
5.6 抖动容限仿真	103
5.7 本章小结	106
第六章 低压差分信号强度有效检测电路设计	107
6.1 概述	107
6.2 低压差分信号强度有效性检测电路	107
6.3 电路仿真	109
6.4 本章小结	110
第七章 SERDES 接口芯片接收器实现与测试	111
7.1 芯片结构	111
7.2 芯片图概貌	111
7.3 芯片测试方案	112
7.4 测试结果	113
7.5 本章小结	117
第八章 结论与展望	118
8.1 工作总结	118
8.2 工作展望	119
致谢	120
参考文献	121
博士在学期间的研究成果	129

第一章 绪论

1.1 概述

自古以来，通信就是人类社会传递信息、交流思想、传播文化知识不可缺少的一种手段。如今，随着网络技术的日益发展，高速通信能够实现的数据传输带宽已经成为限制系统整体性能的一个关键的瓶颈。一般来说，在数据的传输方式中，串行传输和并行传输是两种基本的方式；虽然并行传输可以同时传递多路数据，但是也必须同时传送同步时钟信号或者握手信号，使得这种方式需要更多的传输媒介和复杂的板级布线。另外，并行信号间的耦合和干扰以及时钟偏斜也制约了它的传输速度和距离。相反，串行互连最低只需要一对传输线，在节约传输媒介的同时，也减小了板级系统互连的复杂性和经济成本。高速串行互连最主要的优点是其不需要传输同步时钟，从而能够得到更高的数据传输速率。因此，高速串行数据通信已成为现代数据通信传输的重要组成部分，在网络传输、背板连接、FO 接口等领域应用非常广泛，传输连接标准也涵盖了输入/输出接口、背板连接，以及局域网和广域网等各种应用范围，一些常用的串行传输协议标准如表 1-1 所示。

表 1-1 高速串行通信应用

协议	网络应用	速率(Gb/s)
XFI(10Gb/s ethemet)	Ethernet,storage	10.5188, 10.3125
10Gb/s BASE-KR	Ethernet	10.3125
CEI-6GLR	Ethernet-backplane	6.25
XAUI(10Gb/s ethemet)	Ethernet-backplane	3.125×4
1000BASE-CX4	Ethernet	1.25
FIBRE CHANNEL	Storage	8.4,4.25,2.125, 1.0625
SATA	Storage	6.0,3.0,1.5
PCI-E	Computer I/O	5.0,2.5
IFINIBAND	Computer I/O	2.5
SONET	Telecommunication	9.95328,2.48832

系统中数据的传输可分为芯片间数据传输或者设备间的数据传输以及外围设备的连接。高速串行 I/O 技术一般采用点对点连接、嵌入式时钟、低压差分信号传输和数据编码等技术来实现数据传输，从而能够传输更远的距离和更高的带宽，正逐渐成为最普遍应用的 I/O 接口技术。高速串行 I/O 技术只利用一条信号线同时发送时钟和数据，嵌入式时钟技术避免了板级高速时钟畸变的问题，能够满足到 Multi-Gb/s 的带宽，而且最少只需要用 4 个端口就可实现^[1]。减少了传输端口，极大地简化了接口芯片的设计，也将大大减小芯片的面积。此外，一些高速串行接口标准，如 USB 接口标准通过热插拔机制，也提高了设备的易用性。

可以预测，到 2019 年，非归零码(NRZ)的数据传输的数据率将达到 100Gb/s^[2]。那么，传输速率的持续提高对物理层收发芯片的设计提出了苛刻的要求，只有不断的从设计方法学，工艺和电路设计方面进行创新改进，才可能满足如此苛刻的设计要求。因此，研究和实现单片集成的高速串行信号收发电路（SERDES: SERial and DE-Serial）既是通信系统传输速率和带宽不断增加的需要，同时，它也将推动数据传输技术不断的向更高层次发展。

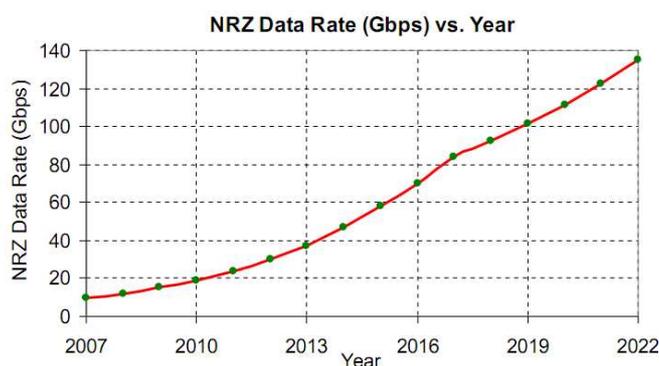


图 1-1 非归零码传输速率预测^[2]

1.2 国内外研究进展

SERDES 接口芯片在数据传输中体现出来的一系列优点，已经引起了国内外研究机构和产业界的重视。目前国内以复旦大学、东南大学、国防科技大学为代表的研究机构已经对 SERDES 技术进行了一系列研究，也取得了丰硕的研究成果。

在产业界，国外的 Lattice 公司于 2009 年推出内嵌 SERDES 的 FPGA 产品。Maxim 公司于 2008 年推出输入字宽可编程配置，具有 UART/I²C 控制通道的可编程 SerDes 芯片组，最高工作频率 840Mbps。德州仪器公司也开发出了系列 SERDES 接口芯片，

如 TLK2711A、TLK3101、TLK4120 等等。虽然目前串行通信主流的应用是传输速率在 1Gb/s 到 10Gb/s 之间的应用,但是业界一直朝着不断提高传输速率的方向努力,安华高科技(Avago Technologies)于 2008 年首次在 40nm CMOS 工艺上实现 20Gbps 的 SERDES。而半导体生产商 Vitesse 于 2010 年 8 月推出两款最新的 10G 以太网物理层 SERDES 芯片,分别支持网络速率升级至 40Gb/s(100Gb/s)。

高速串行信号传输的研究是国内外研究的一个热点。SERDES 研究的目标有两个:一个是高速度,即通过采用特殊的工艺或者电路结构实现高传输速率,满足高速网络传输的需求;另外一个低功耗,即在一定的传输速率条件下,尽可能的降低功耗。目前,高速信号传输领域的研究趋势是努力设计一个能够传输高速信号的低功耗 SERDES 芯片,通过采用不同的电路结构降低“功耗/传输速率”值,也取得了 4.5mW/Gbps 研究成果^[3]。在国内,更多的工作侧重于提高芯片的速率,使其能够满足一些标准协议的指标要求。例如,复旦大学微电子所基于 0.18 微米工艺设计了单片 CMOS 千兆以太网收发芯片 SERDES,数据传输率分别达到了 1.25Gbps 和 3.125Gbps,能够满足 PCI-E 等协议的应用。另外国内的和芯微公司在 65nm CMOS 工艺条件下实现了 6.25Gb/s 的 SERDES 收发器,能够满足 SATA3.0 协议的应用。

为了提高工作速率,一些超高速 SERDES 芯片设计是基于 GaAs 工艺设计^[4],但是,为了降低生产成本,大部分高速 SERDES 芯片还都是基于标准 CMOS 硅工艺实现的。CMOS 硅工艺是当前集成电路的主流工艺,成本低而且其截止频率也随着工艺的不断改进而提高,比如,在 0.18 μm CMOS 硅工艺的截止频率已经可以达到近 50GHz^[5]。因此,CMOS 硅工艺也越来越多地应用于高速集成电路中,但是,硅工艺制作的 CMOS 器件电流驱动能力较差,作为高速驱动应用时需要仔细的设计以保证电路驱动能力足够。

但无论如何,高速信号的抖动问题都是其中研究的一个重要组成部分。

在此背景下,一方面,高速 SERDES 接口芯片的研究都主要利用标准 CMOS 工艺条件实现,不断降低设计和生产成本;另一方面,却需要研究不同的电路结构以克服工艺上的不足等不利因素,满足应用需要。

在高速 SERDES 接口芯片的设计中,信号抖动是我们最需要优先注意的问题。信号的抖动指的是信号跳变沿偏离理想位置的状态。抖动越大,则表明信号跳变沿偏离越远,使得接收器难以跟踪信号的最佳采样点,造成传输误码。在研究信号的抖动中,不仅需要对信号抖动进行有效的建模仿真,也需要采用特定的技术减少抖动以及提高接收器的抖动容限。

对 SERDES 芯片的仿真过程中, 如何正确模拟传输链路的噪声源是值得研究的课题。正确的模拟传输链路的噪声, 有助于更加准确的了解高速信号的抖动状态和芯片的性能。对传输链路中的噪声进行仿真模拟的方法有很多种, 一些工作利用 Verilog-A 语言进行模拟是一种有效的方法, 这其中包括模拟噪声信号以仿真 SERDES 系统某项指标, 如抖动容限、误码率等^[2, 43], 或者对接口电路进行模型描述^[44, 45]。目前, 基本的仿真方法都是利用 Verilog-A 语言模拟噪声并叠加到 SERDES 传输的信号上, 以验证芯片或者传输链路的性能。但是, 这些工作在模拟噪声信号的时候, 都是把引起信号抖动的噪声统一认为是随机高斯分布的噪声, 它们并没有考虑一个实际的 SERDES 应用系统中其余一些常见的噪声源^[2, 43], 如 SERDES 芯片本身输出的信号的抖动, 电源电压的波动, 传输线的寄生电容, 以及传输延迟等因素。仅仅考虑高速随机噪声是不够严谨的, 也无法完整的验证芯片的性能, 因此, 有必要将以上因素全部考虑进去, 结合 Verilog-A 语言和实际的 SERDES 电路网表对 SERDES 芯片性能进行有效的仿真评估。

在电路设计领域, 有两个关键的技术会直接影响到数据传输性能的质量, 一是对高速数据进行信号均衡, 以补偿高速信号的高频损耗, 改善输入信号的质量。其次就是时钟和数据恢复 (CDR), 从抖动的高速信号中恢复出时钟并判断采样位置一个非常困难的任務。CDR 研究的目的是提高系统的抖动容限, 热点主要集中在两个方面: 时钟恢复的电路架构和时钟抖动性能优化。

高速的数字信号在系统间传输时, 由于传输线路存在各种干扰、滤波和耦合作用, 数字信号所包含的高频成分会大部分衰减^[6]。当信号频率达到 5GHz 时, 其高频成分甚至会衰减达到 25dB。因为数字信号的高频成分主要集中在数字信号的跳变沿位置, 一旦高频信号被衰减, 从时域上来看信号的上升下降沿就会变缓, 相邻比特数据间就会存在着相互干扰, 这就是产生码间干扰 (Inter-Symbol Interference: ISI) 主要的原因。同时, 目前高速串行通信都是采用传输速率很高的 LVDS、CML 传输方式进行传输, 这些串行传输方式的电压摆幅很小, 更容易被衰减, 因此, 在信号发送和接收端采用特别的高速信号均衡方案是非常有必要的。在信号均衡方面, 国内外的相关研究人员对此也进行了研究^[6-11], 研究焦点主要是集中在如何恢复信号的高频分量, 基本的原理或者是提高高频增益^[6]或者是将信号的高低频信号分离, 然后单独放大高频信号再进行信号叠加, 完成信号的均衡^[10]。根据均衡的方式, 主要有以下几种自适应均衡结构: 判决式反馈均衡、线性均衡方案, 混合式 (判决反馈+线性均衡) 方案。而其中判决式反馈方案又可以根据采用的是数字电路或者模拟电路分为数字式判决和模拟式判决两种^[6, 7, 12, 13]。

对于判决式，反馈结构，需要设计判决电路，该判决电路对信号的高频成分进行判断，采取相应的放大器对高频信号放大。如果是模拟判决电路，主要是利用延迟的方式判断均衡后的信号电平大小，利用某种控制机制对放大器的放大倍数进行调节。如果是数字判决，则需要高速的 ADC 将模拟数据采样变为数字信号，利用 FIR 滤波原理对高频信号进行均衡，由于数字判决方案必须有相应的高速 ADC 模块，成本较高，该结构主要是用在成本不敏感的系统。

在时钟恢复电路结构中，由于锁相环 PLL 能够对时钟进行锁定和跟踪，所以基本上所有的时钟恢复结构都是以锁相环为核心构建。一般来说，目前主要的时钟恢复方案可以根据环路的多少可以分为单环结构（又称为闭环型结构）和双环结构。单环结构通常是只利用锁相环路 PLL 提取输入数据中的时钟信号，并利用提取的时钟进行采样^[14]。双环结构包括独立的两个环路，一个环路利用 PLL 产生精确的时钟，另外一个环路根据输入数据的相位对 PLL 产生的时钟进行移相，判断准确的采样位置^[15,16]。两种方案都各有优缺点，单环结构的抖动性能较好，但锁定时间长；双环结构可以实现快速锁定且稳定性更好，但功耗和面积较大^[16]。在时钟数据恢复的设计中，如何降低恢复的时钟的抖动是值得注意的一个关键点，可以采用多种方案来优化时钟抖动，如低噪声的 PLL 环路的设计参数优化，电路架构设计等。很多研究人员对 PLL 的抖动性能也做了较多的工作，其中包括 PLL 抖动的原因，低抖动的 PLL 结构以及相应的解决方案^[4,14,17-21]。除了 PLL 的设计，另外一个研究热点就是数据信号的相位和时钟相位的调整方案，在这一方面，国内外做了一些工作，提出了一些经典的判决方案^[22]，如 Bang-Bang 结构就是其中比较经典的一种实现方式^[23,24]，也是广泛采用的一种相位检测电路。但是如果只利用单个 Bang-Bang 结构去判决相位的话，容易受到输入噪声的影响，使得判决结果不可靠，因此需要采取而外的措施来降低输入噪声对判决结果造成的影响。

1.3 论文的主要工作

本文以高速信号传输应用为背景，在基于 SERDES 接口 IP 的研究基础上，针对具体的工艺，以系统的信号抖动为研究目标，做了多项工作。

首先，本文从 SERDES 系统应用的角度出发，根据 SERDES 系统中抖动产生的原理，采用 Verilog-A 模拟应用系统中固有的各种噪声源，再结合底层电路 SPICE 网表一起联合仿真的方法，有效的模拟 SERDES 应用系统环境。

其次，设计了一些关键电路以减少信号的抖动，包括低电压供电条件下的压

控振荡器(VCO)延迟单元结构,一种多路表决器电路和一种均衡器电路。

最后,以所设计的电路为基础,采用 0.13 μm CMOS 工艺实现了一款包括信号强度检测电路的串行信号接收电路。实际测试表明,单片 SERDES 接收电路在 0.5-1.5Gb/s 的速率内稳定工作,在输入数据速率为 1.5Gb/s 的情况下,恢复出的时钟工作频率为 750MHz,恢复的时钟能够正确的在数据中心点进行采样,且具有较低的抖动。

1.4 论文安排

本文基于 SERDES 接口芯片设计为基础,研究了芯片设计中一些关键的技术。全文一共 8 个章节,内容分别如下:

第二章, SERDES 系统和抖动建模。分析了 SERDES 应用系统中固有的抖动现象,并基于 Verilog-A 行为描述语言模拟系统中的各种噪声,结合 SPICE 网表对电路进行仿真,详细介绍了系统仿真方法。

第三章,低抖动自偏置锁相环分析与设计。分析了自偏置锁相环电路结构的模型,提出一种低电压工作的压控振荡器延迟单元结构,给出相应的仿真结果。

第四章,差分信号接收器设计。探索性的研究了一种差分信号均衡器结构以获取高比率的高低频增益。首次介绍了差分信号比较器功耗、输入信号摆幅和共模电平等因素对输出抖动的影响。

第五章,时钟与数据恢复电路设计。介绍了基于插值器结构的 CDR 电路的模型,介绍了一种相位判决算法和一种新的表决器电路结构,有效降低导通电阻和环路延迟,最后进行电路设计。

第六章,低压差分信号强度有效检测电路设计。介绍了一种基于电平比较方式的差分信号强度检测电路。

第七章,基于所提出的电路结构,设计了一款传输速率为 1.5Gb/s 的 SERDES 接口芯片的接收,并介绍设计测试结果。

第八章 结论与展望。总结全文并对未来工作提出建议。

第二章 SERDES 系统和抖动建模

2.1 SERDES 系统概述

因为只有通过传输串行差分信号才有可能满足系统的高带宽要求，所以，通常 SERDES 系统包括串化和解串两个模块。串化模块将满摆幅的并行 TTL 信号转换为差分串行信号发送出去，解串模块接收串行差分信号并转换为并行 TTL 信号。在基本的 SERDES 模块中，SERDES 内部的时钟频率必须要大于输入并行 TTL 信号的频率。比如一个 10:1 的 SERDES，其内部时钟频率至少是外部信号时钟频率的 10 倍。

根据时钟信息传输方式的不同，SERDES 系统也可以分成不同的类型结构^[1]。如并行时钟 SERDES，其属于多通道发送接收系统，其内部高速时钟随信号一起发送，由于需要发送同步时钟，速度不能太高；另外一种带同步信号的嵌入式时钟 SERDES，属于单通道发送接收系统，其不需要传输高速时钟信号，但是在传输的数据中需要发送特定的同步信号以方便接收端同步时钟信号；第三种是 8B/10B SERDES，也属于单通道发送接收系统，其将并行数据首先经过 8B/10B 编码处理，时钟信息隐藏在用户数据中，不需要发送专门的时钟同步信号和高速时钟，只需要发送一些数据同步码。图 2-1 显示了一个 8B/10B SERDES 原理结构，8B/10B SERDES 适合应用在传送字节数据场合，例如以太网，光纤通道，InfiniBand 等，传输速率可以是 1.25Gb/s、2.5Gb/s 和 3.125Gb/s 等。由于包含了 8B/10B 编解码模块，该类 SERDES 系统相对而言比较复杂，需要检测额外的非数据的同步信息，但是经过编码发送的数据所包含的时钟信息丰富，易于恢复，而且差分信号的直流漂移小，所以应用比较广泛^[25-28]。

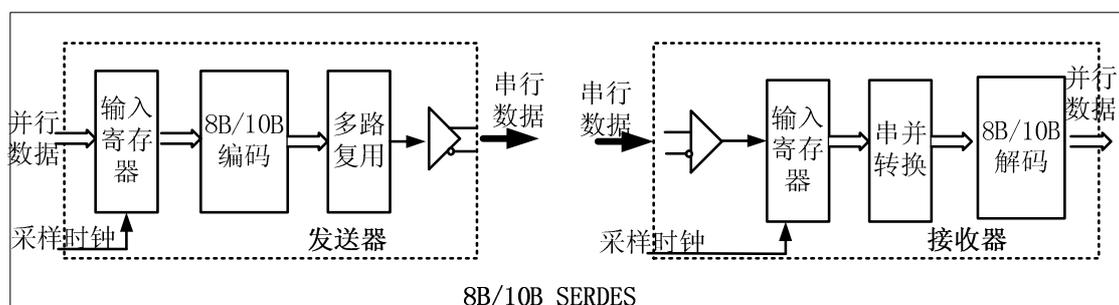


图 2-1 8B/10B 编码 SERDES

一个完整的 8B/10B SERDES 芯片的串化模块，由 8B/10B 编码器，伪随机码生成器(Pseudo-Random Binary Sequence:PRBS)，并串转换电路，差分信号发送器以及锁相环(PLL)等模块构成；而解串模块则包括差分信号接收器，时钟数据恢复电路(CDR)，串并转换电路以及 8B/10B 解码器，图 2-2 描述了一个完整的 8B/10B SERDES 接口芯片的电路框图，包括了串化模块和解串模块两部分。

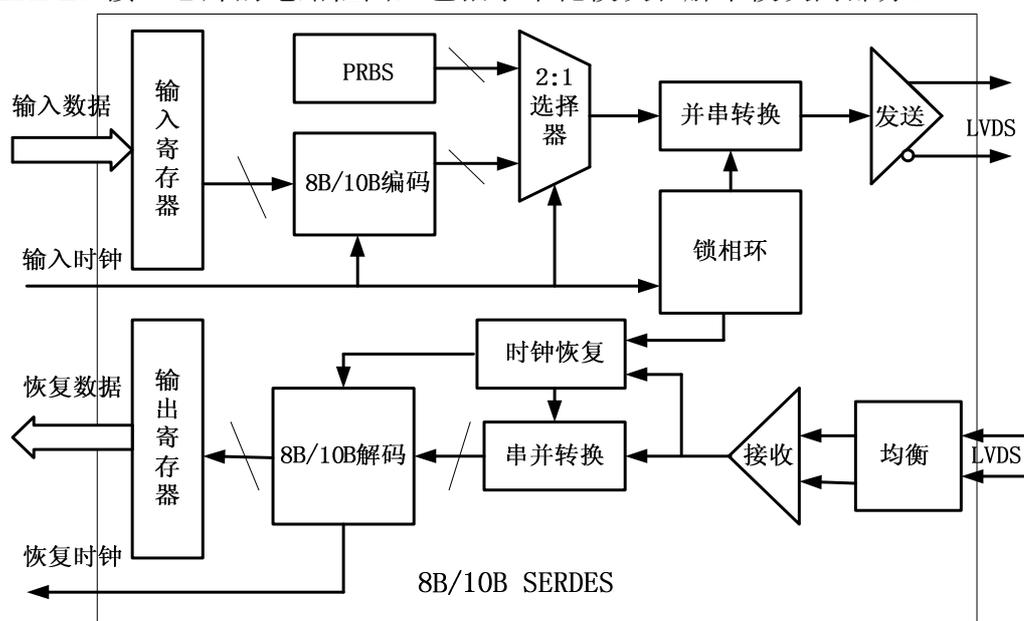


图 2-2 8B/10B SERDES 结构框图

2.1.1 锁相环

锁相环是一个负反馈跟踪控制系统，它主要功能是锁定外部参考时钟的相位^[29]。如果系统中的压控振荡器 VCO 先经过 N 倍分频再锁相，则 VCO 产生的时钟则可以 N 倍频于输入时钟并稳定的提供给其它模块钟使用。

SERDES 接口芯片内部的锁相环主要完成同步输入/输出差分信号的功能，正常工作时其必须保持跟外部参考时钟频率（或输入数据频率）锁定，而且发送端和接收端的频率偏差要保持在在一个可容忍的小范围之内。因为输出差分信号是利用锁相环输出的高速时钟进行采样并串化的，为了保证输出差分信号具有最小的输出抖动，必须要仔细的优化设计锁相环电路，保证锁相环的抖动尽可能的小。

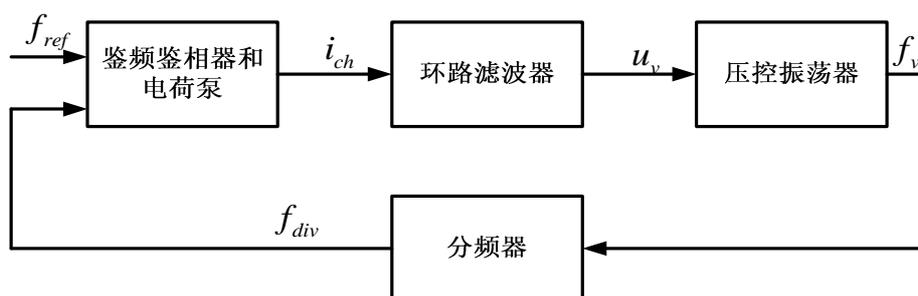
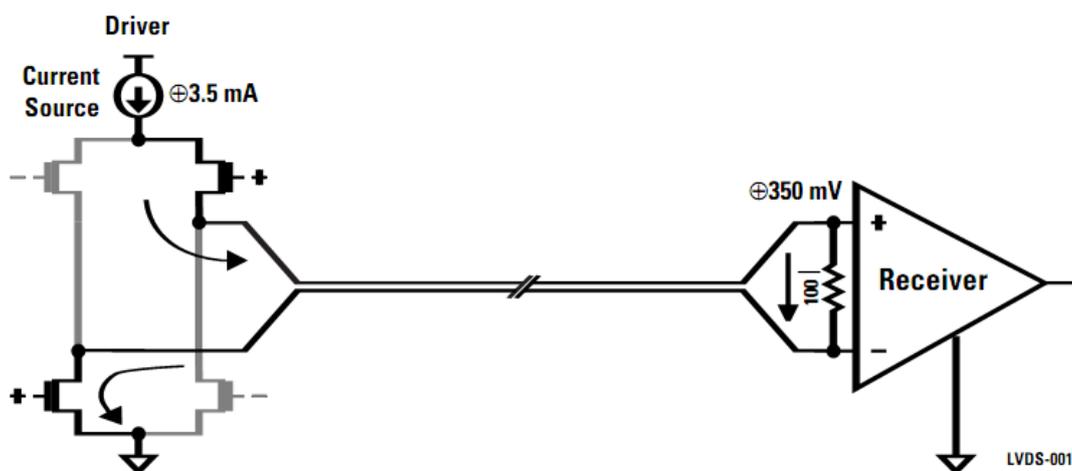


图 2-3 锁相环结构

2.1.2 差分信号输出驱动器和接收器

主流的 SERDES 接口芯片中通常运用了低电压差分信号 (LVDS) 传输技术^[30]，LVDS 接口标准是高速串行通信中常用的接口标准之一，是一种小振幅差分信号技术。LVDS 技术使用一对 100~450mV 左右的差分摆幅电压信号传输数据。在差分信号接收端，接收器只关心两路信号的电压差值，由于电流在线上传输的时候方向是相反的，于是可以抵消传输线上的共模噪声^[31]。

图 2-4 LVDS 驱动器工作原理^[30]

此外，除了 LVDS 接口标准，CML (Current Mode Logic) 接口标准也运用在 SERDES 接口芯片中^[32,33]。CML 技术依然是属于低压差分信号范畴，但是其没有严格的技术规范标准，根据实际的应用需求可以调整差模信号摆幅和共模电压等，其数据传输率同样能够超过 Gbps。

2.1.3 时钟恢复电路

在高速 SERDES 芯片的应用系统中，由于受到噪声的影响，数据在传输时会产生延迟或者幅度失真，因此，在接收端，需要重新对数据重新进行定位，即时钟数据恢复 (Clock and Data Recovery: CDR)。SERDES 的接收器接收衰减的输入串行信号并需要根据其跳变沿信息提取出时钟信息，从提取出的时钟信息可以估计数据相位的状态。由于时钟信息隐藏在所要传输的串行数据中，接收通道中的时钟和数据恢复电路(CDR)必须采用特定的算法，能够根据本地时钟和输入数据的相位差来正确的调整本地采样时钟的相位，以保证采样时钟的相位能够位于输入数据码元的中间位置。下图 2-5 描述了一个简化的时钟和数据恢复结构，时钟恢复电路检测所接收的数据的跳变沿并根据一定的算法调整本地采样时钟的相位。数据定位电路利用调相后的时钟对受到噪声污染的接收数据进行采样，输出正确的数据，并且保证恢复出的数据和恢复出的时钟在相位上保持特定的关系。

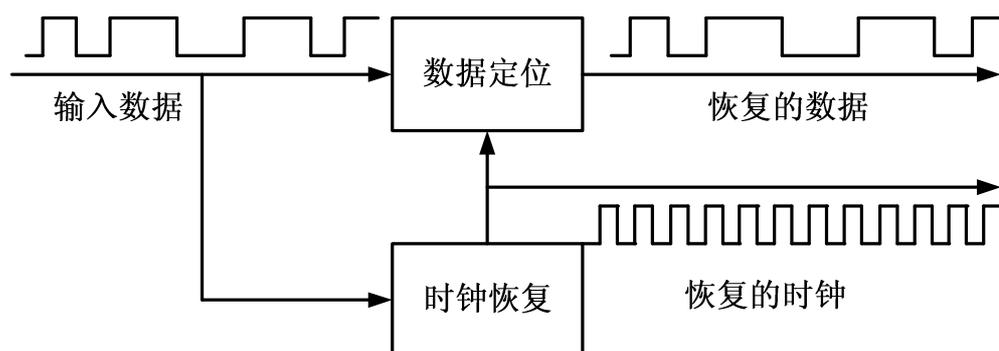


图 2-5 时钟与数据恢复结构

2.1.4 8B/10B 编解码

如果传输的串行数据连续“0”或者“1”过多，一方面会导致数据跳变沿的数目太少影响接收器的相位判断结果，另一方面也会导致数据的直流电平过低（连续 0 太多）或者过高（连续 1 太多），因此，需要设计 8B/10B 编码电路对输入并行 TTL 数据进行编码处理^[25,26]，输出的编码结果保证一组数据中 0 和 1 的个数大致相等以达到稳定信号直流电平和增加跳变沿密度的目的。8B/10B 编码首先是将一组 8 位数据分解成 3 位和 5 位两组，经过查找表编码后再组合为 4 位和 6 位两组数据，即 10 位的编码结果。反之，解码则是将一组 10 位的输入数据经过查找表变换得到 8 位解码结果输出。

编码原理如图 2-6 所示，需要编码的数据值分成 5 比特和 3 比特两组，可以

统一的表示为 $X.Y$ ，编码逻辑首先利用 5B/6B 编码器将 5 比特数据转换为 6 比特编码结果；利用 3B/4B 编码器将 3 比特数据转换为 4 比特编码结果，经过编排后组成 10 比特的编码结果^[34]。

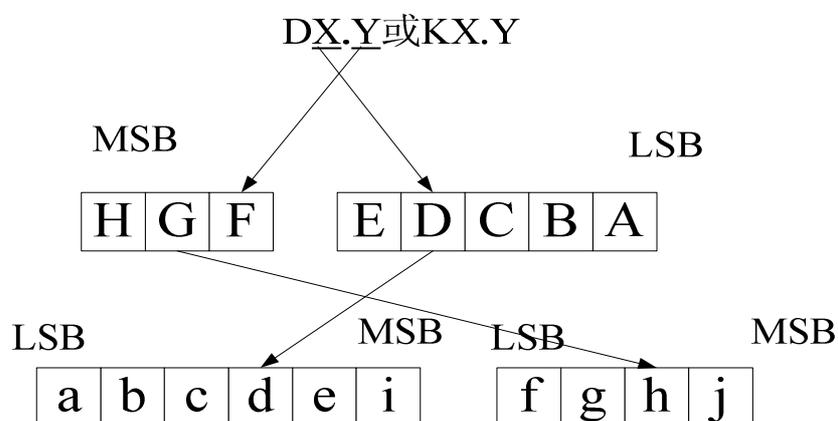


图 2-6 8b/10b 编码原理^[34]

在编码过程中，定义数据负极性表示字符中的“0”比“1”多；数据正极性表示“1”比“0”多；数据零极性则意味着“0”和“1”相等。由于输入数据的随机性，在 8B/10B 编码过程中，一组 10 比特字符会出现编码结果极性不同的现象。在 8B/10B 编码中，编码结果的极性必须依次变化，比如，6 比特数据正极性变化到 4 比特数据负极性，接着变化到 6 比特数据零极性，依次等等^[34]。

随机数据通过 8B/10B 编码后，10 比特数据串中的连续“0”或者连续“1”的个数将会被限制在 4 个比特以内，使得数据串的直流特性得到了很好的优化平衡，抑制了信号的基线漂移，能够减少各种依赖于数据的抖动。当然，用 10 比特编码数据来表达 8 比特用户数据，也会产生额外的开销，需要消耗一定的带宽资源。

总的来说，8B/10B SERDES 高速信号接口芯片既包含了功能复杂的数字电路，也包括一些设计要求非常苛刻的模拟信号处理模块。在数据发送和接收时，为了衡量系统的整体性能，通常都采用误码率来衡量系统是否满足设计要求。

2.2 信号带宽和传输链路中的信号完整性

2.2.1 信号带宽

时域中一个比较理想的方波应该是上升下降边沿时间很短的信号，它是由不同幅度，相位和频率的正弦波构成的。方波的信号边沿上升下降时间越短，构成

该方波的正弦波的频率越高。如果该正弦波信号的幅度高于方波信号的幅度的70%以上,则认为该正弦波信号是有效的谐波成分。信号的带宽是指有效的最高正弦波频率分量,方波的上升(或下降)时间 t_r 与带宽 BW 的关系可以用一个经验公式来表示^[35],即

$$t_r = \frac{0.35}{BW} \quad (2-1)$$

可以看到,带宽越宽,上升(或下降)时间越短,则方波的跳变沿持续时间越短,方波信号的质量越好。

2.2.2 传输链路中的信号完整性问题

SERDES 系统中接收端接收的串行信号在传输过程中面临着一些非理想的影响因素:如发送端固有的噪声,信道的外界干扰以及信号码元的基线漂移等。所有这些非理想的因素都会造成系统的信号完整性问题,从而对系统的性能造成严重的影响。

信号完整性,顾名思义就是要使信号具有完整的物理特性,如正常的高低电平值以及理想的跳变沿,防止信号发生衰减或者畸变。虽然信号完整性包括很多方面,如反射、振铃、开关噪声、地弹、衰减和串扰等现象,但是所有与信号完整性有关的问题都或多或少与以下噪声源中的一个或多个有关系^[35]:

(1)独立电路网络中的信号完整性问题,主要是指信号在传输路径上由于阻抗突变而引起的反射与失真。

任何一个传输线都可以看成一个阻抗网络,当构成信号的电流和电压在这个网络传播时,瞬态电压和电流的比值就是网络的瞬态阻抗,理想的瞬态阻抗应该是恒定的以保证瞬态电压和电流恒定,一旦网络的瞬态阻抗发生了变化,则电流和电压肯定也相应的发生了变化,并且在阻抗变化点发生反射,反射信号与传输信号叠加则造成失真,一旦失真过大,就会导致错误的信号。反射电压 v_{ref} 和入射电压 v_{inc} 与阻抗的关系可以表示为

$$\frac{v_{ref}}{v_{inc}} = \frac{Z_2 - Z_1}{Z_2 + Z_1} \quad (2-2)$$

其中 Z_2 , Z_1 分别表示连线中不同的阻抗。可以看到,如果希望信号传输过程中不发生失真现象,必须要保持阻抗不变化。

(2)两个或者多个电路网络之间的耦合串扰问题,主要是指理想回路和非理想回路

中耦合的电感和电容之间的影响。

当网络传播信号的时候，由于网络之间存在互感和互容，有些电压和电流的能量就会耦合到邻近的静态网络上。耦合串扰又可分为感性串扰和容性串扰两种方式。感性耦合就是由于网络间的互感引起的，虽然容性耦合和感性耦合都存在，但是串扰主要来自感性耦合。当感性耦合出于主导地位时，这种串扰就是常说的开关噪声、地弹等，通常发生在接插件或者封装处。

(3)电源或者地网络的轨道塌陷，即电源线或地线中的电压波动和阻抗变化。

因为电源网络和地线网络也会流过电压或者电流，那么，假若传输阻抗没有发生变化，当通过电源或者地路径的电流发生变化的时候，那将会在电源路径和地路径之间的阻抗上产生一个压降。这个压降的存在将会导致芯片的供电电压减少了，在低电压供电的网络中影响尤为严重。

(4)系统中其它电子元件的电磁干扰和辐射(EMI)。

系统中最常见的电磁干扰源有两种，一种是部分差分信号转换成共模信号，一种是轨道塌陷产生共模电流。当系统时钟频率超过 100MHz 时，就会产生比较明显的电磁干扰现象。值得注意的是，不同干扰的机理是不同的，比如当系统工作在较高的频率时，共模电流的辐射远场强度随着频率线性的增加，而差分电流的辐射远场强度与频率的平方成正比^[35]。那么，解决电磁干扰一个最有效的办法是采用各种屏蔽措施，但是无论如何，只要系统的工作频率过高，EMI 始终存在，所以，EMI 是高速系统设计中一个必须面对的课题。

2.3 SERDES 系统抖动分析和建模

2.3.1 抖动和眼图

如上所述，随着串行信号传输速率不断提高，由于各种非理想因素的原因，信号的质量将会不断恶化。另一方面，误码率是衡量数字系统可靠性一个重要的指标，其是指系统传输中发生的误码个数比上所有传输的数据，误码率的大小与系统的抖动性能有着重要的关系，一般来说，信号抖动大，则误码率大，信号抖动小则误码率小^[31]。当信号速率提高，则每比特码元的周期变小，因为当信号传输速率超过 1Gb/s 后，每比特码元的周期将会以 ns 为单位计算，任何微小的抖动和噪声都会导致严重的误码率。为了保证误码率在可接受的范围内，必须要减少噪声和抖动的幅度。

抖动是指信号的有效瞬时跳变沿在理想位置附近的时序偏移^[31]。系统中的信号抖动会导致接收器不能跟踪信号的最佳采样点。因此，无论是数据信号抖动或者采样时钟抖动都会导致数据采样点发生偏移，降低电路的传输性能。

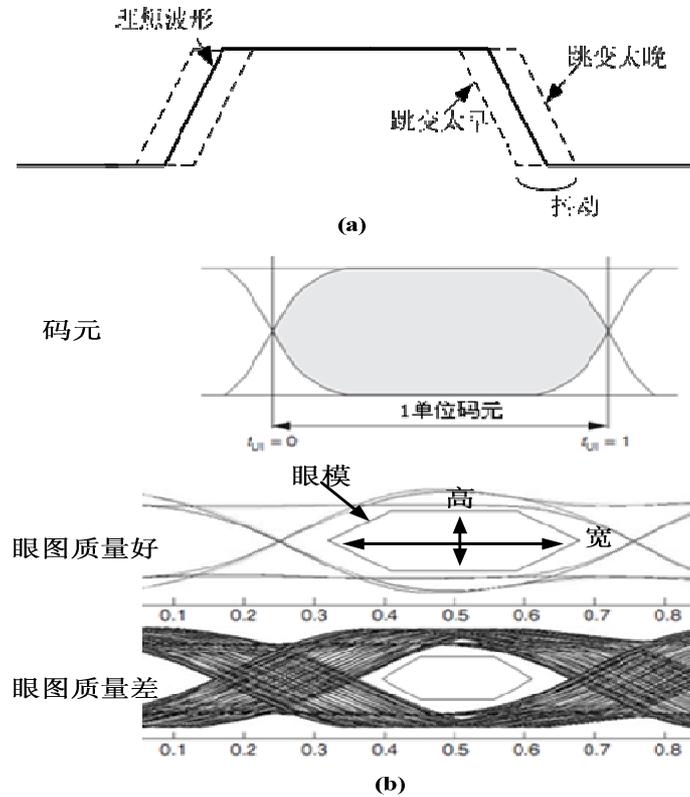
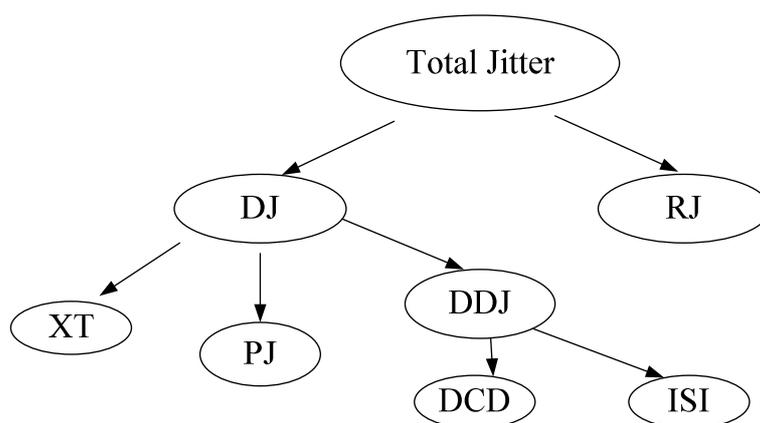


图 2-7 时钟抖动和眼图原理

一般情况下，利用眼图可以很好的描述信号的抖动情况。如果将所有传输的数据在同一个时间点进行重叠显示，就构成了数据眼图。眼图的张开幅度能够有效的表征信号的质量的好坏。眼图越宽，高度越高，则表明信号抖动小，反之则抖动大。为了满足系统的交直流指标要求，可以定义眼模(eye mask)来衡量系统要求的信号最小的持续时间和摆幅，如图 2-7 所示。如果传输信号眼图的张开幅度大于眼模，则表示传输系统性能满足指标要求。

2.3.2 抖动的分类

在实际电路系统中，抖动来源的总类很多，比如，有的抖动只跟器件本身内部的噪声有关，有的抖动却与数据传输的模式有关，不同的数据串会测试出不同的抖动。但总的来说，系统总抖动(TJ)可分为随机性抖动(RJ)和确定性抖动(DJ)两大类^[36]，如图 2-8 所示。

图 2-8 抖动的分类^[36]

(1) 随机性抖动(RJ): 随机抖动与信号传输模式无关, 而是与芯片内部电路设计有关, 其噪声源是来自于芯片内部的器件^[37], 主要呈高斯分布且无边界。由于随机抖动难以预测, 且会随着样本数的增加而增加, 通常其大小采用标准方差 σ 来衡量^[38], 概率密度函数可以表示为

$$P_{RJ}(t) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{t^2}{2\sigma^2}} \quad (2-3)$$

其中 $P_{RJ}(t)$ 表示随机抖动概率密度函数, σ 表示高斯分布的标准方差, t 表示相对于理想时间点的时间差。一些高斯分布的随机抖动, 可以用标准方差 σ 来衡量, σ 越大, 表征随机抖动幅度越大, 如图 2-9 所示。

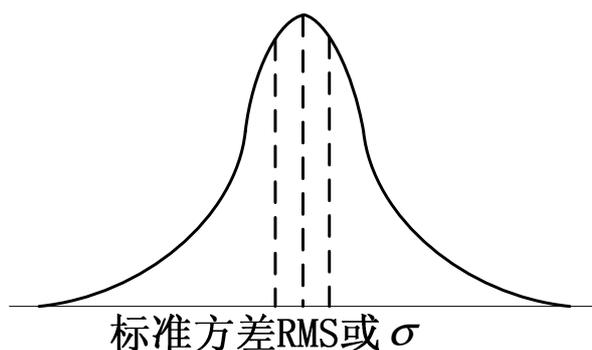


图 2-9 高斯随机抖动概率分布

(2) 确定性抖动(DJ): 确定性抖动是指确定的干扰照成的抖动, 其主要由系统中各模块之间的相互影响产生的, 是一种能够识别的抖动。引起确定性抖动的原因主要是系统的信号完整性问题造成的, 根据确定性抖动产生的原因, 其又可细分为多个不同的类型, 包括周期抖动(Periodic Jitter)、串扰(Cross Talk)、码间干扰(Inter

Symbol Interference)和占空比失真(Duty Cycle Distortion)^[36]。从抖动分布图来看,确定性抖动呈双峰形式,双峰之间的抖动就是确定性抖动,如图 2-10 所示。

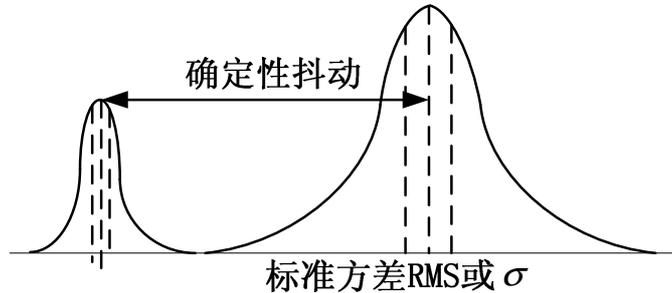


图 2-10 确定性抖动概率分布

如果抖动是周期往复的则称为周期性抖动(PJ),是由耦合到系统中的外部确定的具有周期振荡特性的噪声源引起的,如电源噪声,时钟噪声等。周期抖动 $J_{PJ}(t)$ 可以表示为^[38]

$$J_{PJ}(t) = \sum_{i=0}^N A_i \cos(\omega_i t + \theta_i) \quad (2-4)$$

其中 N 是正弦信号谐波个数, A_i , ω_i 和 θ_i 是相应的谐波幅度大小,频率和相位, t 表示时间。

如果是单次谐波,则周期抖动的概率密度函数

$$P_{PJ}(t) = \frac{1}{\pi\sqrt{A^2 - t^2}} \quad (2-5)$$

其中 t 表示相对于理想时间点的时间差分布。因为采样点越多,则抖动幅值将逼近于正弦抖动峰值,因此,周期抖动的概率密度函数是一个凹面形状,如图 2-11 所示。如果抖动信号中含有多个谐波且各个谐波的周期抖动都是不相关的,则总的周期抖动是各个谐波成分的卷积。

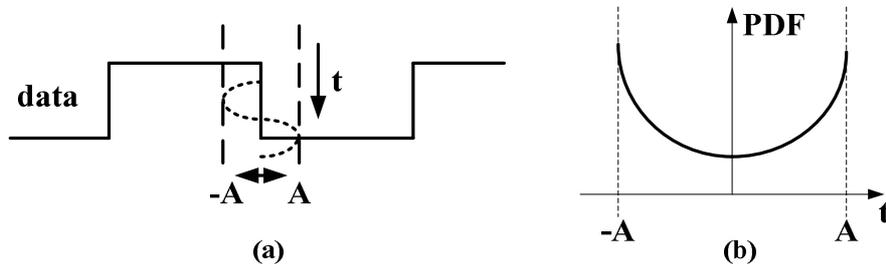


图 2-11 周期抖动原理和概率分布^[38]

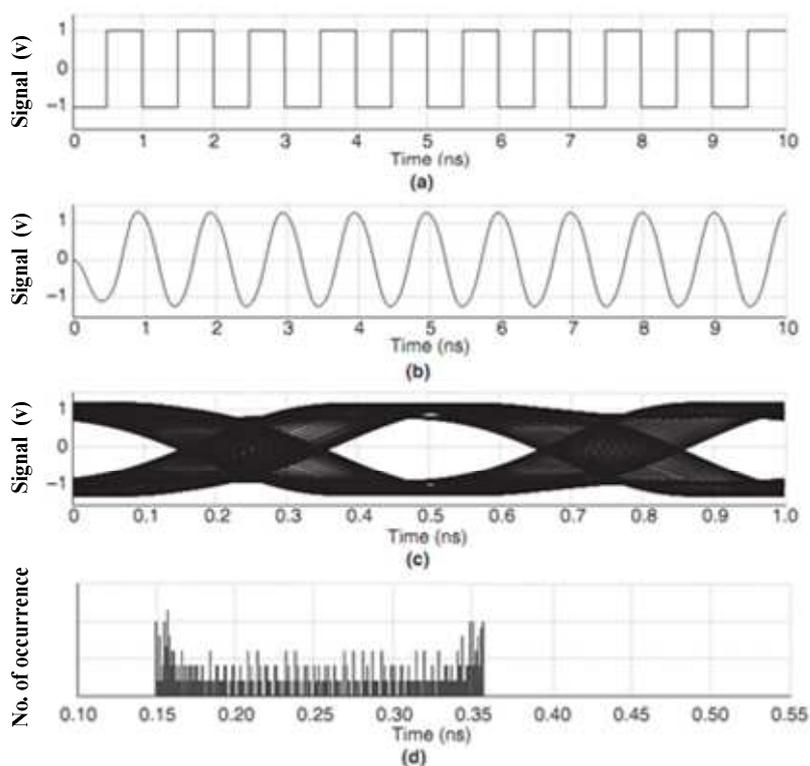
图 2-12 周期抖动眼图^[38]

图 2-12 描述了周期抖动对信号抖动的影响,其中(a)描述了传输的数据是 2Gb/s 的“010101”序列。(b)描述了经过有损传输路径传输后数据波形。(c)图描述了增加 100ps 的周期抖动后,数据信号的眼图,由于受到周期抖动的影响,眼图宽度明显变窄。(d)图描述了周期抖动概率密度函数的抖动直方图,呈现一个凹面形状。

如果是系统中信号之间的交叉耦合路径产生互相的影响而导致的信号抖动则称为串扰抖动(XT)。由于耦合电容和耦合电感的影响,如果信号是平行走线,则在传输过程中的任何一个节点都可能会发生串扰。

发生串扰时,由于攻击线的作用,在受害线上传输的信号会发生不同程度的延迟,延迟的大小与耦合电容或者耦合电感有关。一个近似的描述串扰导致的抖动的概率密度函数可以表示为^[38]

$$P_{XT}(t) = \frac{1}{4} \delta\left(t + \frac{Z_0 C_C}{2}\right) + \frac{1}{2} \delta(t) + \frac{1}{4} \delta\left(t + \frac{Z_0 C_C}{2}\right) \quad (2-6)$$

其中 t 表示相对于理想时间点的时间差,攻击线和受害线之间的寄生电容为 C_C , Z_0 为传输线特征阻抗。

当传输信道的带宽有限或者存在非线性相位特性时，数据的高频成分损耗或者信号延迟不同，导致相邻码元延续到当前码元，产生了干扰抖动，也就是码间干扰(ISI)^[39]。

码间干扰抖动大小对数据的传输模式依赖性很大^[38,40-42]。不同的信号传输模式拥有不同的频率成分。如果信号的跳变沿数目多且上升下降时间短，则表示信号的高频成分丰富，反之则是信号的低频成分丰富。由于信号传输过程中，传输路径等效为一个低通滤波器系统，其对信号的各种频率成分滤波效果不同，更容易导致相邻的数据互相影响。码间干扰抖动的大小与跳变沿传输模式的概率密度和抖动幅值有关，其概率密度函数可以表示为^[38]

$$P_{ISI}(t) = \sum_{i=1}^N P_i \times \delta(t - t_i) \quad (2-7)$$

其中 P_i 表示第 i 个比特跳变沿式发生的概率， t_i 表示第 i 个比特跳变沿抖动幅度， N 是跳变沿的数目， t 表示相对于理想时间点的时间差分布。图 2-13 描述了一个 ISI 抖动分布的概率密度函数。

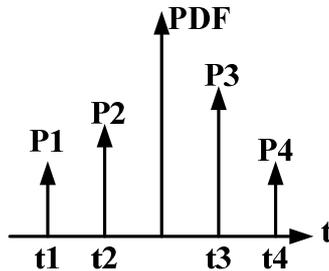


图 2-13 码间干扰抖动概率分布^[38]

数据信号在传输过程中，由于信号占空比的变化而导致的抖动则称为占空比失真(DCD)抖动。占空比失真抖动主要有以下几个原因造成，一是信号上升时间和下降时间不匹配造成占空比失调；其次，采样时钟占空比不同也会导致所采样的数据占空比发生变化而引起抖动；最后，信号的直流电平波动也会影响信号波形的判决门限，从而导致抖动。

DCD 抖动的概率密度函数可以利用两个冲击函数来进行描述^[38]。

$$P_{DCD}(t) = p\delta(t - W/2) + (1 - p)\delta(t + W/2) \quad (2-8)$$

其中 $P_{DCD}(t)$ 表示 DCD 抖动的概率密度函数， W 表示 DCD 峰峰值幅度， t 表示相对于理想时间点的时间分布。两个 δ 函数表示信号的上升和下降沿。 p 表示上升沿

和下降沿的概率密度，如果上升沿和下降沿的数目相等，则 $p = \frac{1}{2}$ 。

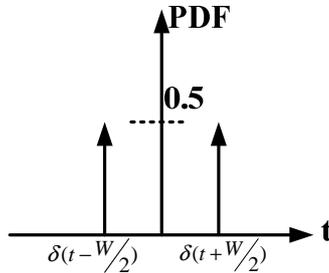


图 2-14 占空比失真抖动概率分布^[38]

如上所述，系统的抖动类型很多，但是系统的总抖动应该是各种抖动成分的组合，在时域中，总抖动 T_J 是确定性抖动 D_J 和随机抖动 R_J 的累加，即

$$T_J = R_J + D_J \quad (2-9)$$

但如果用概率密度函数来表示总抖动的概率密度的话，其应该是确定性抖动和随机抖动的概率密度函数的卷积，即

$$TJ_{PDF} = RJ_{PDF} * DJ_{PDF} \quad (2-10)$$

虽然抖动的大小会严重影响系统的误码率，但是，很难用数学解析的方式来精确的描述抖动和误码率之间的关系，一个解决方法是利用系统的一些指标参数来大概的表示误码率和抖动之间的关系模型。一个简化的模型如下^[36]

$$BER = (R_J / D_J) \times erf^{-1}\{(J_T - D_J) / R_J\} \quad (2-11)$$

其中 BER 为系统误码率， R_J 为输入端的随机抖动， D_J 为输入端的确定性抖动， J_T 是系统的输入抖动容限， $erf^{-1}(x)$ 是标准逆高斯误差函数。因为很难正确计算误差函数的值，所以公式(2-11)来计算误码率也很困难，但是在工程上，可以采用一些经验的方法，如根据高斯分布的标准方差大概估计相应的误码率，如下表 2-1 所示：

表 2-1 误码率和抖动方差经验估计表

误码率	码元周期
1.3E-3	6 σ
3.17E-5	8 σ
2.87E-7	10 σ
9.87E-9	12 σ
1.28E-12	14 σ
1E-12	14.1 σ
1E-14	15.3 σ
1E-16	16.4 σ
1E-18	17.5 σ
1E-20	18.5 σ

根据上表(2-1)所示，假设码元周期为 0.4ns(0.4E-9s)，如果要满足误码率为 1E-12 的指标，则需要满足 $0.4E-9 = 14.1\sigma$ ，即 $\sigma = 28ps$ ，也就是输入随机抖动的标准方差要小于 28ps。

2.4 SERDES 接口芯片抖动仿真

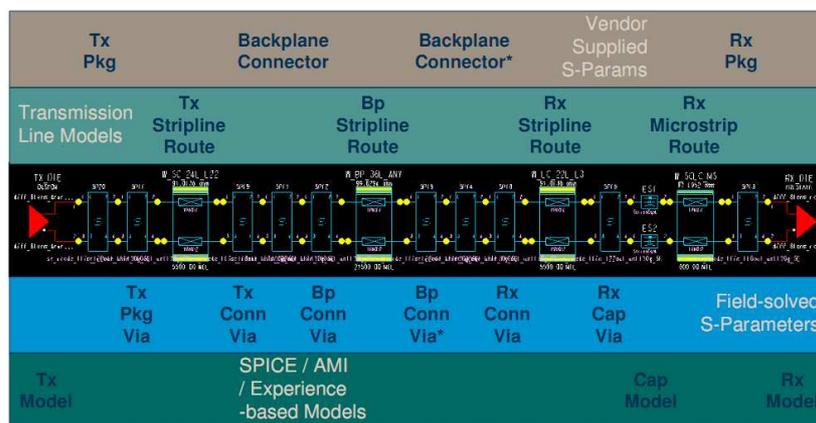


图 2-15 SERDES 系统仿真实例^[39]

SERDES 一般应用在背板、光网络传输等系统中，一个利用 SERDES 接口芯片在背板应用系统上的仿真实例如上图 2-15 所示^[39]，信号从 SERDES 发送器输出后，需要经过插排过孔，PCB 过孔和一定距离的传输线。文献[39]仿真分析显示，

信号传输的距离和其中的过孔都会对接收端信号的质量产生影响，包括信号的差分摆幅电压减少，延迟随机等现象。从实际考虑，系统中的输入时钟和数据，发送的串行信号都是带有噪声的，即存在不同程度的抖动。更重要的是，各种信号的噪声源机理是不同的，难以利用统一的 HSPICE 电路模型对噪声源进行描述。

芯片规模庞大，设计指标苛刻，那么在设计阶段我们如何去评估芯片的性能是否达到设计要求呢？混合信号电路设计中，利用模拟电路行为描述语言 Verilog-A 对电路进行自上而下的行为描述已经越来越普遍。对电路的行为描述一方面可以了解电路的功能是否正确，另一方面也可以了解电路是否满足一定的应用指标。SERDES 应用系统中的噪声来源除了不可估计的随机信号，还有一些确定的噪声源，如电源波动等。完全依靠晶体管级的电路进行 HSPICE 仿真将难以正确的估计噪声的实际情况，在一些情况下甚至是不可能完成的任务。但是，如果利用行为描述结合晶体管级电路设计对芯片进行全系统仿真，则能够更迅速的评估系统性能好坏，降低芯片设计的风险。

目前，大多数利用 Verilog-A 语言来对系统建模仿真的工作或者仿真 SERDES 系统某项指标，如抖动容限、误码率等^[2, 43]，或者对接口电路进行建模^[44, 45]。在利用 Verilog-A 语言描述抖动信号的时候，需要考虑一个实际的 SERDES 应用系统中常见的其它噪声源，如 SERDES 芯片本身输出的信号的抖动，电源电压的波动，传输线的寄生电容以及传输延迟等因素。因此，有必要利用混合仿真方法对整个 SERDES 链路进行详细的分析并验证芯片的性能。因此，在已有工作的基础上，本文利用 Verilog-A 语言对链路噪声进行建模，尽可能完整的考虑系统中各种噪声对高速信号施加的影响，包括电压波动，寄生参数和传输延迟等因素，结合 SERDES 芯片的晶体管级电路一起，完整有效的仿真评估 SERDES 芯片的性能。

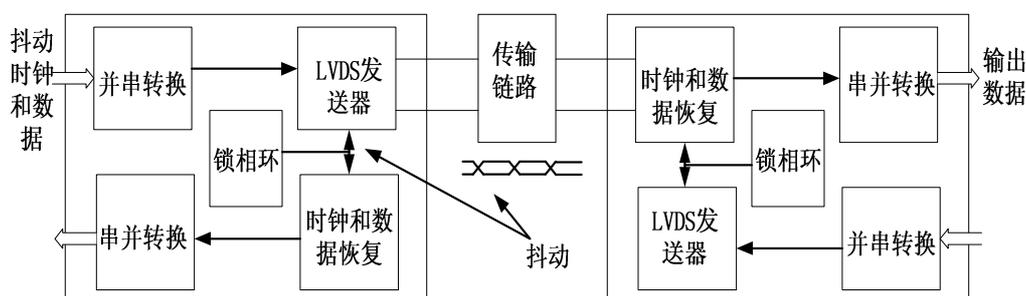


图 2-16 SERDES 系统中的抖动噪声

图 2-16 中，利用 Verilog-A 行为描述语言可以产生抖动的输入参考时钟、抖动的 PRBS 数据、并行输入数据和高速串行链路中引入的各种抖动噪声；另外，接

收端的噪声容限也可以通过结合芯片的 Hspice 网表和 Verilog-A 进行联合仿真来确定，最终可以评估整个应用系统相应的关键路径设计以及其是否满足特定的应用要求。

值得注意的是，抖动产生的本质是噪声对信号跳变沿位置产生了严重的影响，但是噪声的影响不仅仅影响信号的跳变沿位置，也可能使信号的电压摆幅发生了变化，只不过由于信号饱和幅度的变化对信号跳变沿抖动的影响较小，而且采取一些限幅措施可以约束信号的噪声摆幅波动，因此，我们对噪声的建模，主要集中在模拟噪声对信号跳变沿的影响。

2.4.1 输入参考时钟抖动

芯片内部的锁相环需要同步外部输入参考时钟的相位，因此，参考时钟的抖动在很大程度上决定着锁相环输出时钟的抖动。不同的应用都会对参考时钟的峰值抖动和占空比有具体的要求，在芯片的仿真阶段，为了正确的评估锁相环的性能，也需要模拟产生各种噪声叠加在参考时钟上。参考时钟的抖动属于高斯分布随机抖动^[43]。产生抖动的参考时钟的 Verilog-A 行为描述如下所示，基于该模型描述，图 2-17 也分别显示了仿真产生的理想时钟和带抖动的参考时钟的眼图：

```
module clockJitter(clk_jitter,clk_ideal);
output clk_ideal;
output clk_jitter;
electrical clk_ideal,clk_jitter;
parameter real tp;    //仿真步长
parameter real tj_sd; //抖动方差
parameter real tj_min; //抖动最小值
parameter real tj_max; //抖动最大值
parameter real period; //周期的一半
parameter real tr;    //上升沿
parameter real tf;    //下降沿
parameter real vh;    //阈值电压
real vout;
real randseed;
real tj;
real tx;
analog begin
    @(initial_step) begin
        vout=0;
        randseed=1.0;
```

```

end
$bound_step(tp);
tj=$dist_normal(randseed,0,tj_sd);
@(timer(0,period))begin
vout=!vout;
tx=tj*((abs(tj)>=tj_min)&&(abs(tj)<=tj_max))+tj_min*(abs(tj)<tj_min)+tj_max*(abs(tj)>tj_max);
end
V(clk_jitter) <+ transition(vh*vout,tx,tr,tf);
V(clk_ideal) <+ transition(vh*vout,0,tr,tf);
end
endmodule

```

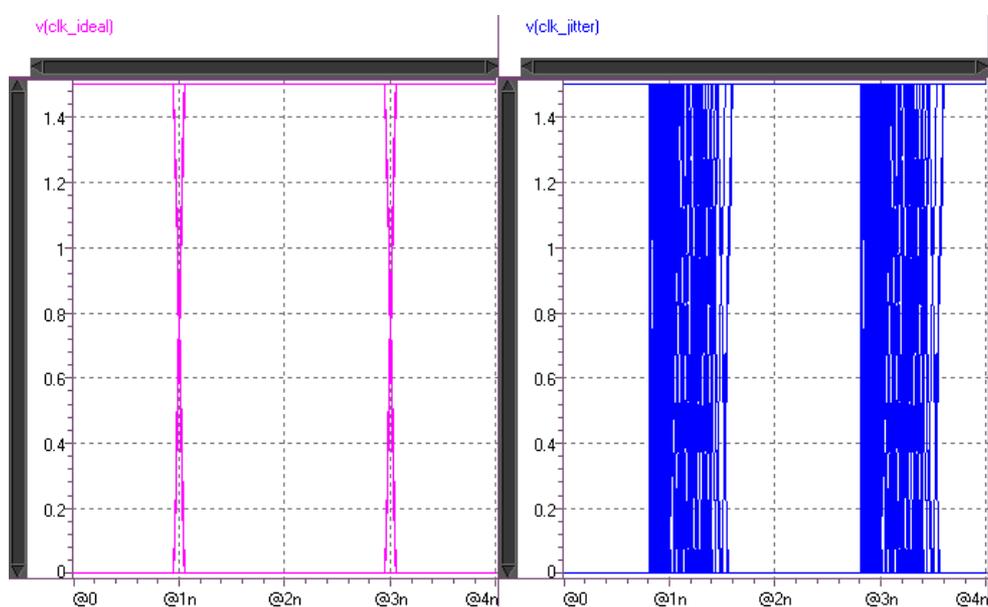


图 2-16 理想时钟和抖动时钟眼图

输入参考时钟作为 SERDES 芯片内部中锁相环的参考时钟，其抖动特性表示了锁相环的输入相位噪声特性。输入相位噪声大小关系着锁相环带宽的设计，对于一定带宽的锁相环电路，对输入时钟信号的相位噪声具有一定的约束，因此，采用合适的抖动方差值可以准确描述锁相环输入参考时钟的噪声，如图 2-16 所示，该图所表示的时钟信号抖动状态符合实际使用的时钟信号的抖动状态。

2.4.2 并行输入数据抖动

输入并行数据属于低速信号，由于内部锁相环的信号频率大大的高于输入数据频率，因此对并行输入数据的抖动要求不是很苛刻，只需要保证数据具有足够的保持和建立时间即可。而且，在一些应用系统中，SERDES 芯片的并行输入数

据大多数来源于其它功能芯片，如 FPGA。这些也导致了输入数据会存在着比较大的抖动，即使是理想的数据信号，各路并行信号的跳变沿位置也会不同。因此，输入的并行数据的峰峰值抖动和占空比等都会比时钟信号要恶劣很多。仿真中，应尽量模拟最恶劣的工作环境，考虑较坏的工作情况。产生并行输入数据的 Verilog-A 行为描述程序如下：

```

module dataJitter(data_jitter,data_ideal);
input data_ideal;
output data_jitter;
electrical data_ideal,data_jitter;
parameter real tp;    //仿真步长
parameter real tj_sd;    //抖动方差
parameter real tj_min;    //抖动最小值
parameter real tj_max;    //抖动最大值
real randseed;
real tj;                //正态分布的抖动
real tx;
analog begin
    @(initial_step) begin
        randseed=1.0;
        end
    $bound_step(tp);
    tj=$dist_normal(randseed,0,tj_sd);
    @(cross(V(data_ideal)-0.75,0))begin
    tx= tj*((abs(tj)>=tj_min)&&(abs(tj)<=tj_max))+tj_min*(abs(tj)<tj_min)+tj_max*(abs(tj)>tj_max);
    end
    V(data_jitter) <+ transition(V(data_ideal),tx);
    end
endmodule

```

输入数据抖动性能大小将会对芯片输入寄存器的设计产生一定的影响，为了满足寄存器所需要的建立和保持时间，输入数据的延迟将会被约束在一定的范围之内。图 2-18 分别显示了理想的数据和带抖动的数据的眼图，相比理想的缓冲器输出数据，非理想的数据考虑了数据的随机延时的问题。

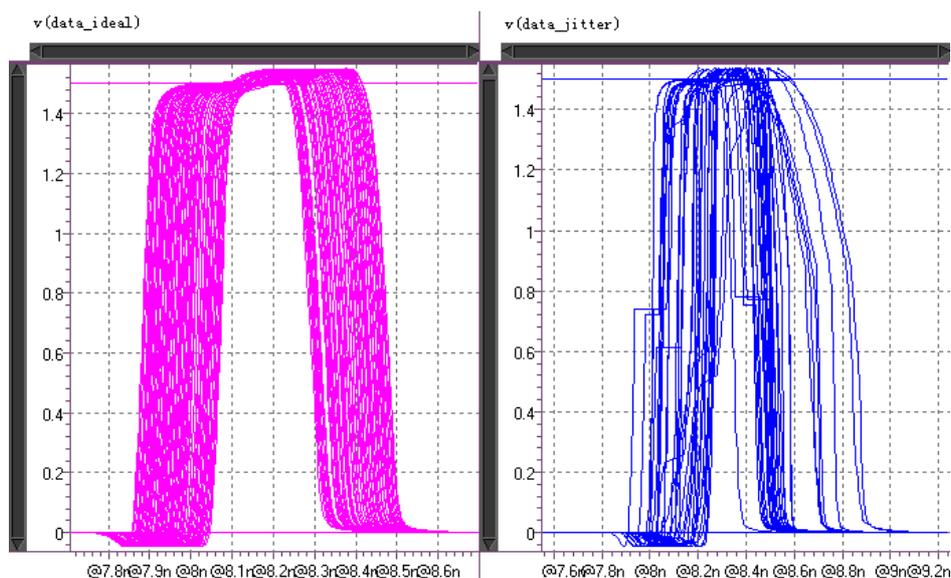


图 2-18 理想并行输入数据和带抖动的并行输入数据的眼图

2.4.3 串行链路中的抖动

在串行链路中传输的信号是高速差分信号，摆幅小，速度高，任何一点微小的噪声都可能对信号传输质量产生较大的影响。更严重的是，链路的低通特性，使得信号的高频成分被衰减，更加剧了抖动的恶化。为了比较客观的评估系统中的传输性能，需要对串行信号引入各种不同类型的抖动源。

(1) 传输路径物理媒介效应

串行信号一般在 PCB 板上或者同轴电缆上进行传播，由于物理媒介的趋肤效应和阻抗不匹配等原因，信号高低频成分延迟不均以及信号耦合效应，导致抖动产生^[46]。根据传输线中导体损耗的大小，可以将传输线模型分为有损模型和无损模型。当传输线长小于 1 米的时候，传输线的无损模型已经足够精确^[47]，因此，为了简便起见，我们在仿真中采用无损传输线模型，其单位长度电感为 289nH/m ，电容为 115pF/m ，负载为 5pF 容性负载，传输线等效电路如下图 2-19 所示。

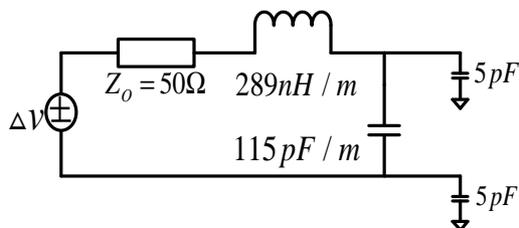


图 2-19 传输线模型

(2) 周期抖动

如前面所述，由于电源周期噪声等影响，信号存在着周期抖动。为了简化抖动的生成，周期抖动采用单谐波抖动模型，即只考虑单谐波成分对信号的影响。电源网络的频率响应可以表示为 $f_r = 1/(2\pi\sqrt{LC})$ ，因此其噪声源可以表示为^[48]

$$v_{noise}(t) = V_r \sin(2\pi f_r t + \phi) \quad (2-12)$$

其中 V_r 是噪声的幅度， ϕ 表示噪声网络的相位，因此，芯片的电源可以表示为

$$V_{DD}(t) = V_{DD} + V_{noise}(t) \quad (2-13)$$

其中 V_{DD} 为理想供电电源，比如芯片设计采用 $0.13\mu\text{m}$ 标准 CMOS 工艺，则 $V_{DD} = 1.5\text{V}$ 。

(3) 随机抖动

随机噪声造成的抖动是无界的，而且，不同的随机噪声源其噪声分布也不相同，使得随机抖动不仅仅是满足高斯分布。但在仿真中，随机抖动我们仅采用零均值高斯分布抖动模型进行分析，通过改变方差值来模拟实际的随机噪声源。

(4) 各种类型抖动叠加

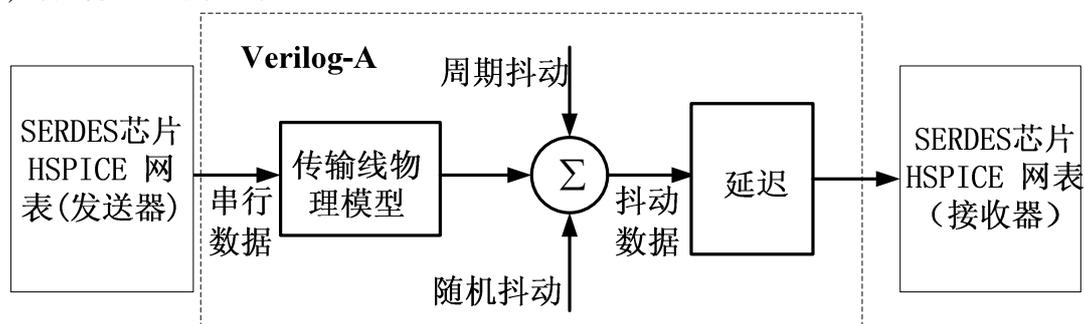


图 2-20 SERDES 系统中的各种抖动源叠加

工程上，可认为各路噪声是独立不相关的，因此串行传输信号的总抖动是各种噪声叠加后的抖动。系统仿真结构如上图 2-20 所示，总抖动既包括由于电路本身设计所引入的抖动，也包括外部各种噪声源和链路延迟等导致的抖动。

各种类型抖动行为 Verilog-A 主程序如下所示：

```

//*****传输路径 RC 建模*****
branch (sdatap_A, sdatap_B) resp;
branch (sdatap_B, 0) cp;
branch (sdatap_B, sdatap_line) lp;
branch (sdatan_A, sdatan_B) resn;
branch (sdatan_B, 0) cn;
    
```

```

branch (sdatan_B,sdatan_line) ln;
branch (sdatap_line,sdatan_line) res_match;
analog begin
    @(initial_step) begin
        randseed=1.0;
        end
    //*****共模电平抖动，导致周期抖动*****
vdc_jitter=VDC+AP*sin(M_TWO_PI*FP*$realtime());
    //*****对信号边沿施加随机抖动和周期抖动的影响*****
    $bound_step(tp);
    tj=$dist_normal(randseed,0,tj_sd);
    @(cross(V(sdatap_line)-vdc_jitter,0))begin
txp= tj*((abs(tj)>=tj_min)&&(abs(tj)<=tj_max))+tj_min*(abs(tj)<tj_min)+tj_max*(abs(tj)>tj_max);
    end
    V(sdatap_jitter_p) <+ transition(V(sdatap_line),txp);
    @(cross(V(sdatan_line)-vdc_jitter,0))begin
txn= tj*((abs(tj)>=tj_min)&&(abs(tj)<=tj_max))+tj_min*(abs(tj)<tj_min)+tj_max*(abs(tj)>tj_max);
    end
    V(sdatan_jitter_n) <+ transition(V(sdatan_line),txn);
    //*****物理媒介*****
    V(resp) <+ R1*I(resp);
    V(cp) <+ idt(I(cp))/C1;
    V(lp) <+ L1 * ddt(I(lp));
    V(resn) <+ R1*I(resn);
    V(cn) <+ idt(I(cn))/C1;
    V(ln) <+ L1 * ddt(I(ln));
    //*****在匹配电阻上产生信号电压 *****
    // V(res_match) <+ R_100*I(res_match);
    V(sdatap_line) <+ vdc_jitter+ R_100*I(res_match)/2;
    V(sdatan_line) <+ vdc_jitter- R_100*I(res_match)/2;
    //*****信号延迟*****
    if(V(delaycontrol)<0.2)
        begin
            V(sdatan_jitter) <+ delay(V(sdatan_jitter_n),delaytime-delaytime);
            V(sdatap_jitter) <+ delay(V(sdatap_jitter_p),delaytime-delaytime);
        end
    else if(V(delaycontrol)<0.6)
begin
    V(sdatan_jitter) <+ delay(V(sdatan_jitter_n),delaytime);
    V(sdatap_jitter) <+ delay(V(sdatap_jitter_p),delaytime);
end
end

```

```

else if(V(delaycontrol)<1)
begin
    V(sdatan_jitter) <+ delay(V(sdatan_jitter_n),delaytime*2);
    V(sdatap_jitter) <+ delay(V(sdatap_jitter_p),delaytime*2);
end
else if(V(delaycontrol)<1.3)
begin
    V(sdatan_jitter) <+ delay(V(sdatan_jitter_n),delaytime*3);
    V(sdatap_jitter) <+ delay(V(sdatap_jitter_p),delaytime*3);
end
else
begin
    V(sdatan_jitter) <+ delay(V(sdatan_jitter_n),delaytime*4);
    V(sdatap_jitter) <+ delay(V(sdatap_jitter_p),delaytime*4);
end
end
endmodule
    
```

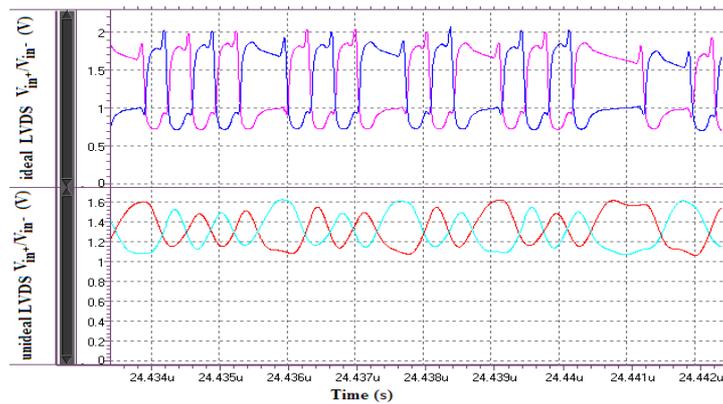


图 2-21 信号在传输线上的瞬态仿真

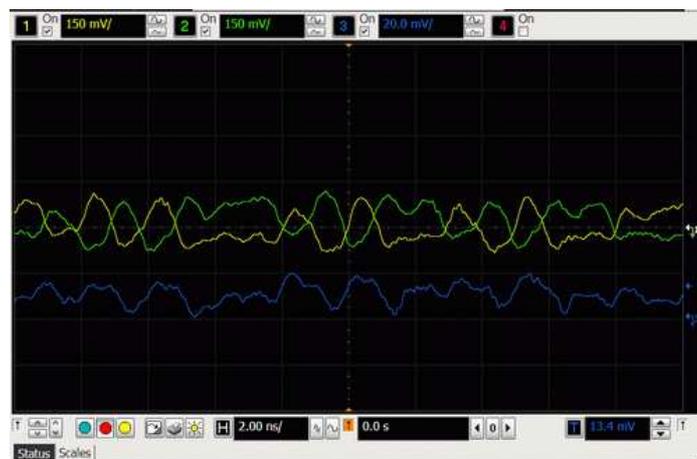


图 2-22 SERDES 接收端信号瞬态波形

图 2-21 显示了利用 HSPICE 仿真器仿真 SERDES 系统在传输线前后的信号瞬态，图 2-22 显示了实测信号瞬态波形。可以看到，高速信号在经过传输线后，信号的差分摆幅减少，摆率下降，同时该程序也模拟了信号的传输时延，进一步模拟了信号的实际传输情况。

总之，利用 Verilog-A 语言模拟环境噪声，结合 SPICE 电路网表进行仿真，较好的模拟了信号在实际系统中传输的情况，能有效的评估 SERDES 芯片的性能。

2.5 本章小结

本章节主要是介绍了 SERDES 系统的混合仿真方法学，首先介绍了 SERDES 接口芯片的结构原理，详细分析了 SERDES 系统中各种抖动的产生的原理和抖动的概率；最后，利用 Verilog-A 行为描述语言模拟 SERDES 系统中固有的抖动现象并结合所设计的 SERDES 接口芯片 SPICE 网表协同仿真，仿真结果与测试结果表明，所采用的仿真方法能够有效的模拟实际的高速信号。

第三章 低抖动自偏置锁相环设计

3.1 概述

锁相环能够通过跟踪和锁定输入信号的相位，最终稳定的产生所需要频率信号，而这个频率信号可以作为无线发送接收用途^[49,50]，也可以作为时钟恢复等用途^[14]，所以，锁相环应用非常广泛。一直以来，它也是各种串化和解串化芯片的核心电路，担负着同步发送数据和接收数据的重任，其输出信号抖动性能的好坏直接关系着 SERDES 芯片的性能。业界对于锁相环的研究非常的热烈，提出了各种不同的模型分析方法对锁相环路进行分析和仿真^[51]，也有根据不同的应用场合提出各种电路结构，如基于电荷泵结构的锁相环^[52]，基于延迟线(DLL)环路锁定技术的锁相环^[53]等，但无论是电路采取何种结构，电源电压或者工艺波动都会或多或少的的影响锁相环的性能，因此，为了减小工艺，电源电压和温度等外界因素对锁相环电路性能造成的不利影响，John G. Maneatis 提出了自偏置锁相环结构^[54]，其良好的性能获得了业界大量的关注^[55-58]。

3.2 锁相环基本原理

3.2.1 锁相环环路传输函数

锁相环 (PLL) 是一个闭环的，将振荡器输出的信号的相位与锁相环外部参考信号（或者输入信号）的相位进行同步的电路。当系统保持衡时，振荡器的相位和输入参考信号的相位理论上是一致的，相位差为 0° 。

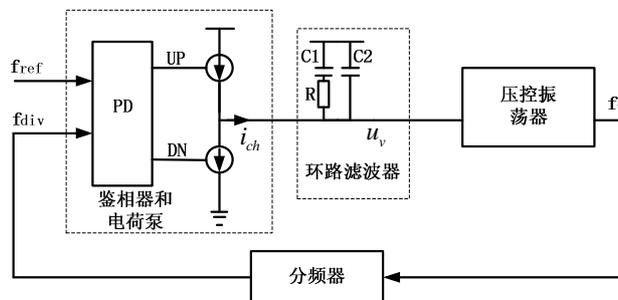


图 3-1 模拟锁相环结构

图 3-1 显示了一个完整的模拟锁相环系统结构图,其主要由 4 个功能模块组成。这些电路模块分别是: 压控振荡器(VCO), 鉴频鉴相器(PD)和电荷泵, 分频器和环路滤波器(LF)。

锁相环包括很多环路参数, 比如环路锁定时间、锁定频率、鉴相增益、相位余度和环路带宽等, 这些环路参数都不是孤立的, 其中的一些变量的变化会同时对所有这些参数有着重要的影响, 甚至是截然相反的变化。因此, 一个优秀的锁相环的设计其实就是对所有这些参数进行折中优化的过程。

设计锁相环参数, 首先需要了解锁相环参数之间的关系, 即锁相环的模型。分析锁相环的模型有很多种方法, 总的来说可分为离散(Z 域)分析和模拟(S 域)分析两种类型^[51,52]。虽然 Z 域分析方法比较准确, 但是比较复杂。一般情况下, 如果环路的带宽不大于参考时钟频率的 1/10, 可以用 S 域分析方法对环路进行分析^[59]。因此在工程应用中, 通常都是对环路进行 S 域分析。

下图 3-2 表示了一个锁相环路的相位连续时间 S 域模型, 输入和输出都采用相位作为变量进行描述, 其中 θ_{ref} 为输入参考信号的相位, θ_{div} 为分频器输出时钟相位, 它们之间的相位差为 $\theta_{err} = \theta_{ref} - \theta_{div}$, VCO 输出时钟相位为 θ_{vco} ; 环路中, 鉴相器增益为 K_{PD} , 环路低频滤波网络的传输函数为 $F(s)$, VCO 增益为 K_V , 由于 VCO 是一个相位积分电路, 所以其传输函数为 K_V/s 。

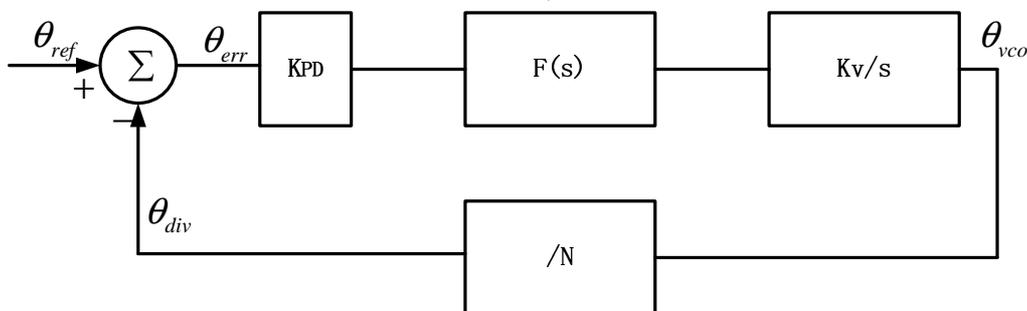


图 3-2 锁相环相位传递模型

根据图 3-2, 可以得到 PLL 闭环相位传输函数 $H(s)$ 为:

$$H(s) = \frac{\theta_{vco}}{\theta_{ref}} = \frac{K_{PD}K_V F(s) / N}{s + K_{PD}K_V F(s) / N} \quad (3-1)$$

同样, 环路相位误差函数 $E(s)$ 可以表示为:

$$E(s) = \frac{\theta_{ref} - \theta_{div}}{\theta_{ref}} = 1 - H(s) = \frac{s}{s + K_{PD}K_V F(s) / N} \quad (3-2)$$

根据式(3-1)和(3-2)可以看到，锁相环系统闭环相位传输函数 $H(s)$ 是一个低通滤波器，而相位误差传输函数 $E(s)$ 是一个高通滤波器。

图 3-3 显示了锁相环闭环传输函数 $H(s)$ 和闭环相位误差函数 $E(s)$ 的幅频特性，其中 K 为开环系统增益， N 为分频比。当输出相位 θ_{div} 变化比较慢时，可以很好的跟踪输入相位 θ_{ref} ，即 $|H(s)|=1$ ，相应的 $|E(s)|$ 接近 0。但是当 VCO 输出信号频率增加， θ_{div} 变化速率逐渐加大，相位误差就会越来越大，这时， $|H(s)|$ 趋近于 0，而 $|E(s)|=1$ 。图 3-3 说明，若相位变化的频率大于环路带宽，即相位变化太快，则变化的信号将无损耗的通过闭环系统，此时，环路滤波器将无法获取信号的低频分量，也就无法实现相位锁定。可见，锁相环电路的带宽是锁相环设计一个重要的指标，带宽越大，则能够跟踪的相位变化越快，但是带宽越大，参考时钟和电荷泵引入的带内噪声也将不能很好的滤除。

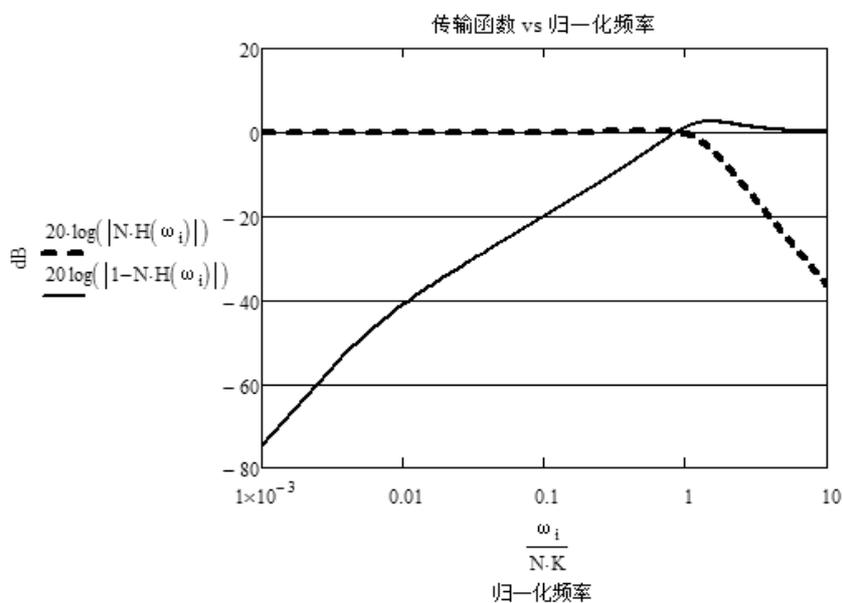


图 3-3 锁相环相位传递函数和误差函数幅频特性图

3.2.2 锁相环的噪声和抖动传输特性

在 SERDES 收发系统中，利用锁相环输出的高速时钟对输入并行信号进行串转换，输出差分信号，因此，锁相环输出时钟的抖动性能决定了输出差分信号的抖动性能，如果锁相环的相位噪声大，抖动大，则必然增加了差分信号的抖动。另一方面，同样利用锁相环产生的本地时钟对接收的信号进行采样，如果采样时钟抖动过大，将影响采样精度，导致采样结果出现误差，降低了系统抖动容限。因此，设计一个低噪声或者说低抖动的锁相环是 SERDES 接口芯片设计的关键。

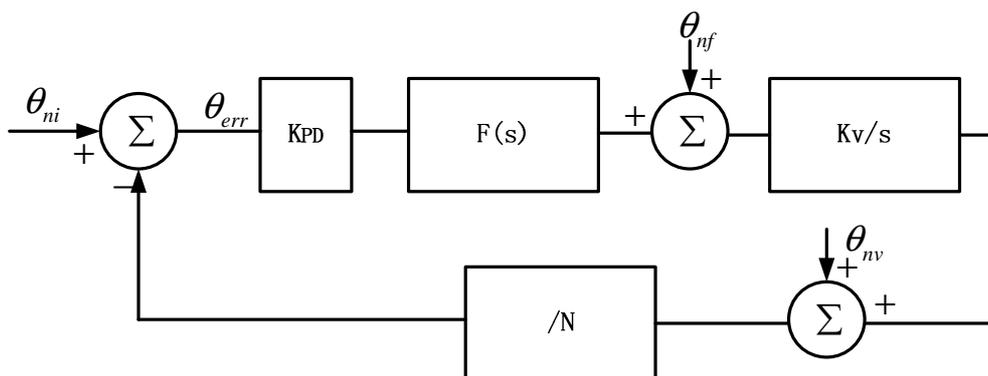


图 3-4 锁相环系统噪声源

在相位域对锁相环进行分析，主要是通过分析系统的相位噪声特性。锁相环主要的噪声源有三个^[60]，如图 3-4 所示，一个是输入参考信号的噪声，其相位用 $\theta_{n,i}$ 表示，主要原因是输入的参考信号不是理想的方波，晶体振荡器输出信号具有频率偏差和占空比偏差。其次，如果将鉴频鉴相器和环路滤波器作为一个子模块，则该模块经过环路滤波器过滤后也会产生噪声，其相位记为 $\theta_{n,f}$ ，这部分的噪声主要是由于内部电路的器件噪声，电荷泵对滤波器电路的充放电电流不平衡等非理想因素造成。最后，压控振荡器(VCO)输出端也会产生噪声，其相位记为 $\theta_{n,o}$ ，这部分的噪声主要是由于 VCO 内部的有源器件和 VCO 控制电压波动等因素导致的。根据图 3-4 所示，如果各部分噪声源对环路的影响是独立不相关的，则各模块所引入的噪声传输函数可以如下表示：

$$\text{理想前馈传递传输函数: } G(s) = \frac{\theta_o}{\theta_i} = \frac{K_d K_v}{s} F(s) \quad (3-3)$$

$$\text{理想开环传递传输函数: } H_{open}(s) = \frac{\theta_o}{\theta_i} = \frac{K_d K_v}{Ns} F(s) \quad (3-4)$$

$$\text{参考输入噪声传输函数: } H_{n,i}(s) = \frac{\theta_o}{\theta_{n,i}} = \frac{NG(s)}{N + G(s)} \quad (3-5)$$

$$\text{鉴相器输出噪声传输函数: } H_{n,f}(s) = \frac{\theta_o}{\theta_{n,f}} = \frac{1}{K_d} \frac{NG(s)}{N + G(s)} \quad (3-6)$$

$$\text{振荡器输出噪声传输函数: } H_{n,o}(s) = \frac{\theta_o}{\theta_{n,o}} = \frac{N}{N + G(s)} \quad (3-7)$$

其中， $H_{n,i}(s)$ 具有低通特性， $H_{n,f}(s)$ 具有带通特性， $H_{n,o}(s)$ 具有高通特性，意味

着参考信号低频输入噪声能够无损的通过环路，而带宽外的 VCO 噪声则能够无损的通过环路，所以锁相环的带外噪声基本上就是 VCO 输出噪声。

如果设参考输入端噪声谱密度，鉴相器噪声谱密度和压控振荡器输出噪声谱密度分别为 $L_{ref}(f)$ ， $L_{PD}(f)$ 和 $L_{VCO}(f)$ ，工程上假设认为各种噪声源都是独立不相关的，则锁相环输出端噪声谱密度 $L_{PLL}(f)$ 可以表示为^[49]

$$L_{PLL}(f) = |H_{n,i}(s)|^2 L_{ref}(f) + |H_{n,f}(s)|^2 L_{PD}(f) + |H_{n,o}(s)|^2 L_{VCO}(f) \quad (3-8)$$

只要分析出各个模块的相位噪声，通过式(3-8)就可以获得整个锁相环的输出噪声特性。

图 3-5 是各种噪声源频率进行归一化后的幅频特性图，其中左 Y 轴分别是式(3-5)、(3-6)和(3-7)的幅度，单位是增益(dB)。右 Y 轴是开环函数 $G(s)$ 的相位，单位是度($^{\circ}$)。由图显示，系统的带宽会影响着系统的噪声特性，因此，根据应用系统的噪声环境来进行设计将有助于获取一个性能优异的锁相环环路。如果是参考输入噪声大于另外两种类型的噪声，则应该是减小环路带宽；如果是 VCO 输出噪声大，则应该是增加环路带宽，尽量滤除高频噪声。对于环路滤波器和电荷泵的设计则需要尽量降低其带内噪声。

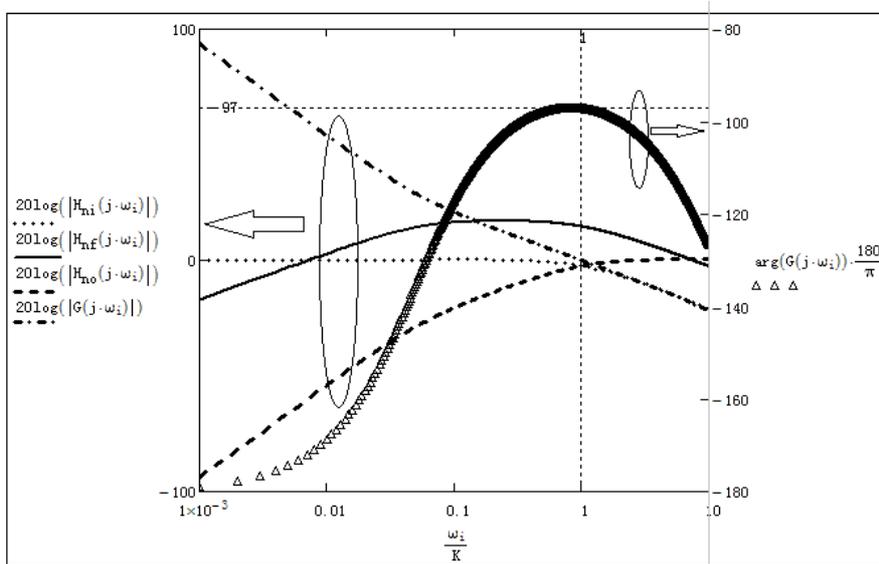


图 3-5 锁相环噪声传输函数幅频特性

3.2.3 锁相环的稳定性分析

当锁相环工作的时候，会受到一些非理想因素的影响，导致锁相环的输出发生波动，这种波动有时候是稳定的，有时候又是不稳定的。比如，如果在 VCO 控制电压输入端口处突然有一个大脉冲扰动，会导致 VCO 振荡频率发生大范围的波动，当噪声消失后，环路能否重新回到环路的稳定状态呢？一个稳定的反馈环路系统必然能够自动调整，重新恢复到一个新的平衡状态。

锁相环在平衡状态时可认为是一个线性系统，根据线性系统的稳定性理论，一个线性系统稳定的充分必要条件是其特征方程的特征根均具有负实部，即系统闭环传输函数的极点都位于 $j\omega$ 的左半平面上。另外，为了保证系统具有足够的稳定度，系统应该具有足够的相位裕度。相位裕度是开环传输函数在单位增益频率处的相移与 180° 之和，相位裕度太小，容易产生过冲且幅度衰减很慢；如果相位裕度很大，则使得环路的响应速度很慢，跟踪相位变化的能力差，动态性能差。

图 3-1 所示的三阶电荷泵锁相环系统虽然能够对有效的抑制高频噪声，具有较好的抖动性能，但是由于环路的极点多，也增加了系统稳定性设计的难度，设计之前需仔细分析其参数对环路稳定性能的影响。

三阶电荷泵锁相环系统具有 3 个极点，其中两个极点位于环路滤波器内部，另外一个极点存在于压控振荡器中。由图 3-1 所示的环路滤波器的传递函数为

$$F(s) = \frac{sC_1R+1}{s(RC_1C_2+C_1+C_2)} \quad (3-9)$$

因此，整个系统的开环传输函数可以表示为^[61]

$$H_{open}(s) = 4(m-1)\zeta^2 \frac{\frac{s}{\omega_z} + 1}{\frac{s}{\omega_z} \left(\frac{s}{\omega_z} + m \right)} \quad (3-10)$$

则环路的相位裕度为

$$P_{loop} = \arctan\left(\frac{(m-1)\omega}{m + \omega^2}\right) \quad (3-11)$$

其中 $\zeta = \frac{R}{2} \sqrt{\frac{i_{ch}C_1K_v}{2\pi N}}$ 为系统的衰减因子， $\omega_z = \frac{1}{RC_1}$ 为系统的零点， $m = \frac{C_1}{C_2} + 1$ 为滤波电容比值。

对于一个稳定的反馈系统，需要保证其在稳定状态时具有一定的相位裕度。由式 (3-11) 可以看到，锁相环的相位裕度只与 C_1 、 C_2 的比值和系统的零点有关。

一般来说，如果相位裕度大于 60° ，则具有较好的稳定性能。因此，对于一个相位裕度大于 60° 的系统来说， m 必须大于 14，则满足相位裕度大于 60° 的频率范围可以表示为

$$\frac{\frac{m-1}{\sqrt{3}} - \sqrt{\frac{(m-1)^2}{3} - 4m}}{2} \leq \omega \leq \frac{\frac{m-1}{\sqrt{3}} + \sqrt{\frac{(m-1)^2}{3} - 4m}}{2} \quad (3-12)$$

但是，如果滤波器中两电容 C_1 、 C_2 的比值选的过大，则 C_2 不能较好的抑制参考信号的噪声，而如果比值选的太小，只有保证衰减因子的取值范围很小的情况下才能保证系统不发生严重过冲现象。如果滤波电容比值不变，另外一个影响相位裕度的因素就是衰减因子 ζ 。不同的衰减因子对应不同的相位裕度，而且，只有 ζ 在一定的范围内，系统的相位裕度才有可能大于 60° 。

3.3 压控振荡器

3.3.1 压控振荡器原理

在锁相环系统中，最重要一个相位噪声源就是压控振荡器（VCO）。锁相环的环路带宽之外的噪声源主要来源就是 VCO，所以，设计一个低抖动的 VCO 对整个 PLL 的抖动性能来说是至关重要的。一直以来，VCO 的研究都是锁相环系统研究中的热点^[62,63,64,65]，归纳起来主要集中在 VCO 的噪声原理和低噪声 VCO 电路结构设计两个方面。

压控振荡器的作用是根据输入控制电压输出一定频率的周期信号，如图 3-6 所示，其中输出信号角频率 ω_{out} 表示为：

$$\omega_{out} = \omega_1 + K_V v_c \quad (3-13)$$

其中 ω_1 表示对应于 $v_c = v_1$ 时的频率，而 K_V 表示电路的频率-电压增益($rad/V \cdot s$)，理想的增益应该是固定值以保证输出频率与输入电压保持线性关系。 $\omega_2 - \omega_1$ 为频率可以达到的范围，称为“频率调节范围”。

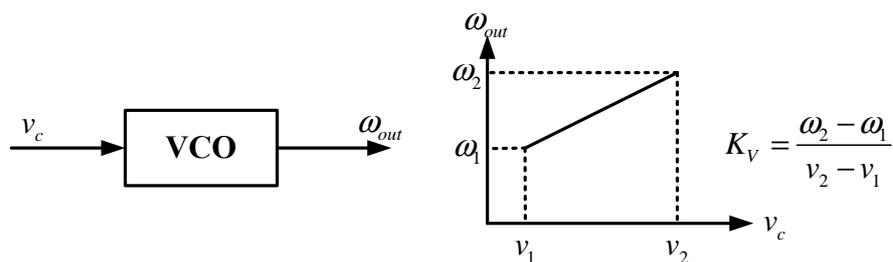


图 3-6 压控振荡器功能示意

压控振荡器重要的性能指标有中心频率，调节范围，调节线性度，输出振幅，功耗以及输出信号的相位噪声等。

中心频率表示设计者预计达到的最佳频率位置，有时候由于工艺波动和应用环境差异太大，中心频率会发生较大的变化，因此一方面保证 VCO 的频率调节范围足够大，另一方面要求中心频率应该尽可能的位于频率调节范围的中间位置。假若频率-电压增益 K_V 越小，意味着同样的电压变化则频率变化幅度小，在相同条件下输出相位噪声越小，抖动也越小，但是 K_V 过低也会导致 VCO 的调节频率范围变窄。因此，为了设计低抖动的 VCO，应该在满足工作频率范围的条件下尽可能的减少 VCO 增益；调节线性度描述了压控振荡器的增益的稳定性性能，由于压控振荡器的增益直接关系着锁相环输出信号的噪声性能，线性度越好，频率过度越平稳，所以理想情况下调节度应该呈直线性。VCO 的输出振幅应尽可能大，并且应尽可能保持恒定。这样可以极大地降低压控振荡器的噪声，这可以通过牺牲功耗，增大电源电压来实现，实际的工程设计中需要考虑它们的设计折中。

3.3.2 压控振荡器类型

压控振荡器是锁相环中最重要的一個模块，其结构和参数对锁相环的整体性能具有重要的影响，但总的来说，基本上可以分为两种比较常用的压控振荡器类型：LC 压控振荡器和环型压控振荡器。

3.3.2.1 LC 压控振荡器

LC 振荡器是一种谐振电路，它主要由并联的电感和电容组成，加上电路本身寄生的电阻，组成了一个并联谐振器，如图 3-7 所示。

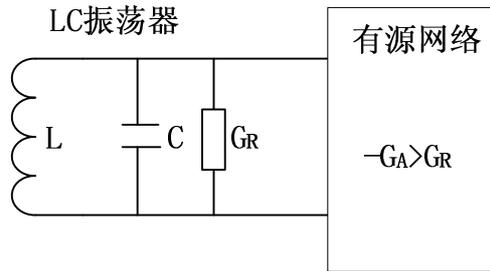


图 3-7 LC 振荡器结构

谐振器的电磁能量在电感和电容之间来回振荡，部分能量会通过 G_R 损失掉。因此，引入一个有源网络以补偿损失的能量。为了保证连续的振荡，有源网络实际是一个负阻网络，且其阻值要大于 G_R ，以保证电路的总的等效电阻为负值。LC 振荡器的振荡频率 f_o 由电感和电容值决定，即：

$$f_o = \frac{1}{2\pi\sqrt{LC}} \quad (3-14)$$

3.3.2.2 环形振荡器

与 LC 振荡器不同，环形振荡器（Ring-VCO）不是通过谐振的方式产生振荡频率，而是通过多个放大器组成一个反馈回路，利用信号的延迟产生振荡信号，一个 N 级 VCO 振荡信号的频率则是总延迟 ΔT_{total} 的倒数，即

$$f_o = \frac{1}{\Delta T_{total}} = \frac{1}{2N\Delta t} \quad (3-15)$$

Ring-VCO 的功耗也与振荡器的延迟单元数目有关，延迟单元越多，则相同振荡频率的功耗越大，为

$$P_{RING} = I_{total} \cdot V_{DD} \cdot N \quad (3-16)$$

在稳定的振荡状态时，环形振荡器的任何一个反相器的输入端和输出端都不可能稳定在高电平或者低电平，只能不停的在高、低电平之间进行跳变转换，从而形成稳定的振荡输出，如下图 3-8 所示。为了满足信号能够维持振荡，必须满足两个基本的条件：

- (1) 在振荡频率点环路增益要大于 1，比如由三级延迟单元构成的 VCO，每级延迟单元的直流增益不小于 2。
- (2) 振荡信号实现 180° 的直流相移和 180° 的交流相移。

总的来说，LC 振荡器和环形振荡器各有优势，LC 振荡器虽然高频相位噪声

小但消耗面积大，频率调节范围小，集成难度较大。对于环形振荡器来说，频率调节范围宽，如果仔细的优化设计锁相环环路带宽，则也能够满足各种时钟应用。它们的优缺点如表 3-1 所示^[68]：

表 3-1 环形 VCO 和 LC VCO 优缺点比较

类型	优点	缺点
基于环形 VCO 的锁相环	易于集成、频率控制灵活、频率调节范围宽且易生成多相时钟	相位噪声较大、VCO 增益大、高频稳定性差
基于 LC VCO 的锁相环	高频稳定性好、相位噪声低	难集成、频率调节范围小

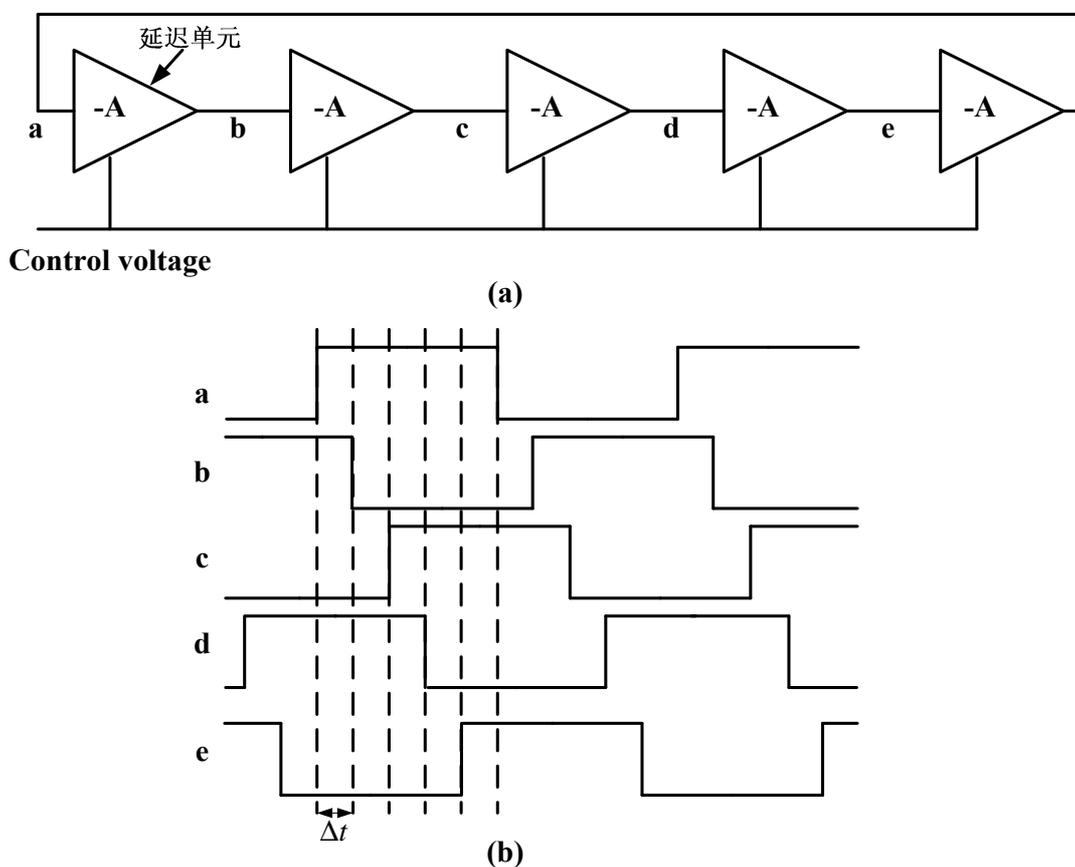


图 3-8 环形振荡器结构和波形

3.3.3 环形振荡器的相位噪声和抖动

所有的压控振荡器都会或多或少的受到随机噪声的影响，导致时钟信号的跳变沿在一个理想的时间点附近漂移。如下图 3-9 所示，信号的跳变发生在灰色的区

域，那么这个灰色的区域就是振荡器的抖动，区域越大，说明抖动越大，区域越小，抖动越小。

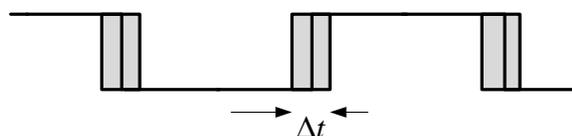


图 3-9 振荡信号的抖动

时钟信号的抖动是在时域里定义的，但如果信号频率大于 1GHz，其抖动通常都是 ps 级。普通的仪器很难具体的测量如此微小的抖动，因此，通常都在频域对信号进行分析，即分析振荡器的相位噪声，然后利用相关的公式在相位噪声与抖动之间进行分析转化。

抖动与噪声之间的关系可以表示为^[64]

$$\sigma_t^2 = \int_0^{\infty} S_{\theta}(f) \frac{\sin^2(\pi f / f_0)}{(\pi f_0)^2} df \quad (3-17)$$

这里， $S_{\theta}(f)$ 表示相对于中心频率 f_0 ，频偏为 f 时的相位噪声功率谱密度， σ_t 表示积累抖动。

振荡器的噪声通常可以看成独立的白噪声，它在频率偏差为 f 时的单边带 (SSB) 相位噪声功率谱密度为 $L(f)$ 可以表示为^[64]

$$L(f) = \frac{S_{\theta}(f)}{2} = \frac{S_{\omega}}{f^2} \quad (3-18)$$

其中 S_{ω} 表示振荡器与它的噪声源的关联系数，式(3-18)表明，频偏 f 越大，则噪声谱越小。

一个由独立白噪声源引起的抖动为^[64]：

$$\sigma_t^2 = \frac{2}{\pi f_0^3} S_{\omega} \int_0^{\infty} \frac{\sin^2 x}{x^2} dx = \frac{S_{\omega}}{f_0^3} \quad (3-19)$$

结合式(3-18)和(3-19)，可得出白噪声引起的相位噪声与抖动之间的关系式为^[64]：

$$L(f) = \sigma_t^2 \frac{f_0^3}{f^2} \quad (3-20)$$

由式(3-20)可以看出，白噪声引起的相位噪声与 f^2 成反比，与 f_0^3 成正比。频率越高，相同频偏的条件下，相位噪声越大，大噪声也意味着大抖动。导致压控振

荡器产生抖动的因素很多，特别是单端输出振荡器，对电源噪声很敏感，差分振荡器只能有效的抑制低频电源噪声，却难以抑制高频噪声^[66,67]。压控振荡器的控制电压波动是造成信号输出抖动的主要原因，但即使有恒定的控制电压，压控振荡器输出波形也不能完美的保持周期恒定，这是因为有源器件中还存在随机的电子噪声，这些噪声难以估计但却或多或少对 VCO 的输出造成了影响。

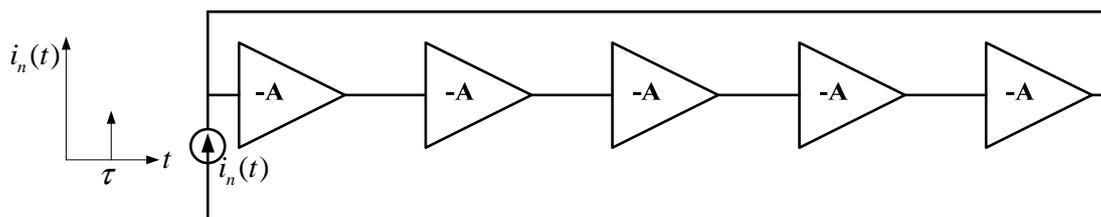


图 3-10 环形振荡器抖动注入原理

对于环形结构 VCO，有很多种方法对它的噪声模型进行建模，其中 Hajimiri 提出的噪声理论就是其中一种。Hajimiri 引入了噪声敏感函数对 VCO 进行噪声建模，认为 VCO 的噪声可以等效为一个注入电流脉冲^[65]，如图 3-10 所示，只要能够分析出电路的噪声敏感函数则能够估计电路的相位噪声。

由于受到不同噪声的影响，VCO 输出信号相位在满足一定的条件下在不断的变化，一个实际的 VCO 输出信号可以表示为

$$v_{out} = A(t)f[\omega_0 t + \phi(t)] \quad (3-21)$$

其中 $A(t)$ 和 $\phi(t)$ 分别表示时变的幅度变化和相位变化。当噪声注入到环振的某一个节点时，意味着该节点有电荷变化 Δq ，导致节点电压发生波动 Δv 。

$$\Delta v = \frac{\Delta q}{C_{node}} \quad (3-22)$$

其中 C_{node} 是节点的等效电容。由于噪声的影响，VCO 输出信号的相位发生了偏移。从式(3-22)可以看到，当噪声电荷一定时，节点电容越大则节点电压波动越小。当 Δv 较小时，引入了噪声敏感函数 $\Gamma(\omega_0 t)$ 表征电压波动对相位漂移的影响。

$$\Delta\phi = \Gamma(\omega_0 t) \frac{\Delta v}{v_{swing}} \quad (3-23)$$

文献[65]最后给出了估计噪声敏感函数 $\Gamma(\omega_0 t)$ 的均方根估计式 Γ_{rms} 。

$$\Gamma_{rms} = \sqrt{\frac{2\pi^2}{3\eta^3}} \frac{1}{N^{1.5}} \quad (3-24)$$

其中 η 为估计系数, N 为环振阶数。虽然 N 越大, Γ_{rms} 越小, 但是考虑到振荡频率和功耗的要求, 在一定的功耗条件下, N 越大则单级延迟单元的功耗则越小, 导致不能在特定频率下工作。因此, 延迟单元级数 N 需要折中考虑。

对于特定的振荡频率 f_0 , 在频偏 Δf 处, 相位噪声 $L_{\min}\{\Delta f\}$ 近似表示为

$$L_{\min}\{\Delta f\} = \frac{8}{3\eta} N \frac{kT}{P} \left(\frac{V_{DD}}{V_{char}} + \frac{V_{DD}}{R_L I_{tail}} \right) \frac{f_0^2}{\Delta f^2} \quad (3-25)$$

其中 $V_{char} = E_c L / \gamma$, E_c 为有效驱动载流子迁移的电场, γ 为工艺系数; $P = N I_{tail} V_{DD}$ 为电路功耗, R_L 为负载电阻, I_{tail} 为偏置尾电流。从上式可以看到, 功耗越大, 相对频偏越大, 则相位噪声越小。

值得注意的是, 不仅噪声电荷的大小对相位漂移有关, 噪声施加在电压波形的的位置才最终影响相位的漂移程度。如果噪声出现在电压变化的翻转点, 则将会发生较大的相位偏移; 如果噪声发生在电压的饱和区, 则输出电压仅仅是幅度上发生变化, 对相位变化影响很小, 如图 3-11 所示, 因此, 应当减少噪声电压对临界翻转点时刻输出信号的影响, 采取措施吸收噪声电荷, 或者减少临界点区域的持续时间。

因此, 对于低相位噪声、低抖动环振 VCO 的设计, 应该满足以下三个条件

- (1) 在各级延迟单元输出节点具有较大等效电容。
- (2) VCO 延迟单元具有较大的输出摆幅。
- (3) VCO 输出波形摆率大, 上升下降时间短。

由于功耗与 VCO 的振荡摆幅成正比, 因此, 大摆幅的 VCO 的功耗更大, 而且在功耗一定的条件下, 摆幅大的 VCO 输出频率小。因此, 在实际的工程设计中, VCO 的设计需要对抖动, 功耗和面积等性能进行各种折中考虑。

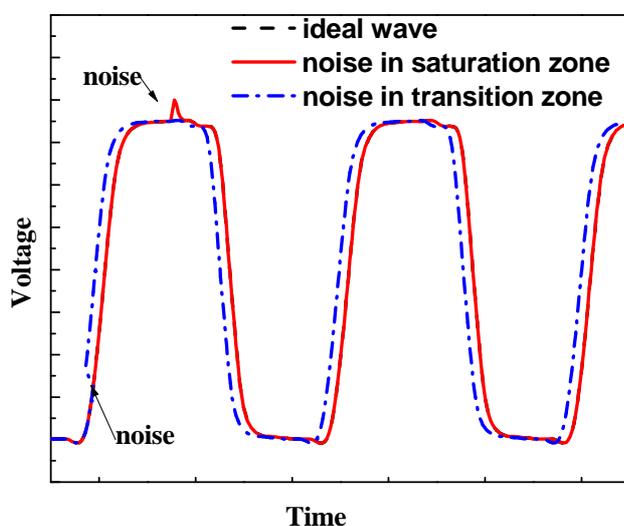


图 3-11 噪声对振荡信号的影响

3.4 自偏置锁相环设计

对于应用于高速 SERDES 的锁相环来说，所设计的指标参数通常必须满足以下几点要求：(1)锁频范围宽 (2) 锁定后相位抖动尽可能小。这些要求实际上是非常苛刻的，因为如果要满足锁定后相位抖动尽可能的小的要求，对环路的带宽有严格的设计要求。传统的 PLL 的环路带宽都是固定的，如果经过仔细设计，对于固定频率输出的 PLL 可以达到比较好的抖动性能优化，但是如果 PLL 的输入频率一旦变化，如果带宽没有改变，则 PLL 的抖动性能就会发生了改变，不能处于最优的工作条件。另一方面，PLL 的带宽等参数与环路的电容和电阻有密切的关系，实际上，工艺误差导致的滤波器电容和电阻的变化会改变环路的零极点；电容、电荷泵电流、VCO 的增益的变化将影响整个环路的带宽，进而影响环路的稳定性。

基于此原因，John G. Maneates 提出的自偏置锁相环结构能够较好的解决工艺波动对环路性能的影响的问题，其环路带宽是变化的而且只跟电容比值有关，在降低相位抖动的同时，也能够工作在非常宽的频率范围。

3.4.1 自偏置锁相环原理

自偏置锁相环的主要思路是采用的一种称为 replica-feedback 的技术，其能够自动调整电荷泵和 VCO 的偏置电流相对保持不变，同时采用 MOS 管跨导作为环路滤波电阻。这种电路能自动选择工作点，不需外加偏置，其所有模块的偏置电压和电流都由 replica-feedback 电路供给，而偏置工作点则是根据参考时钟频率的变化或者工作温度变化而变化的。

Maneates 提出的二阶自偏置锁相环电路结构如图 3-12 所示，锁相环包括一个相位比较器，两个电荷泵，两个偏置电压产生电路和 VCO。

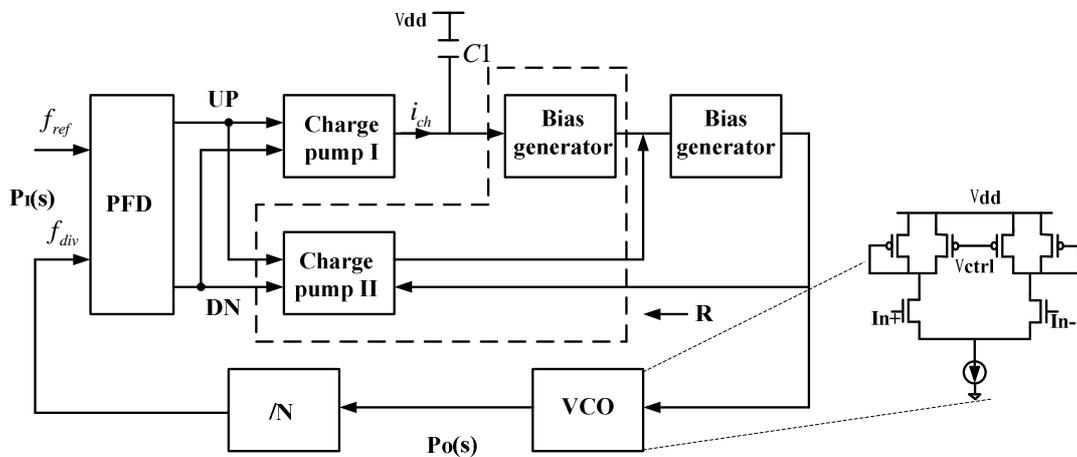


图 3-12 自偏置锁相环结构^[54]

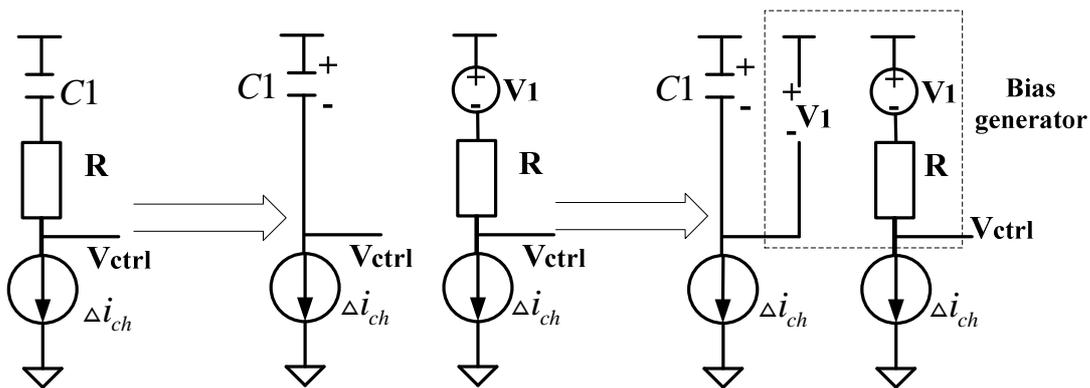


图 3-13 锁相环滤波器等效^[54]

自偏置锁相环取消了直接内部集成滤波电阻，转而利用 Bias Generator 模块内部的 MOS 管代替滤波电阻，其等效原理如图 3-13 所示，把滤波电容 C1 看成一个等效的电压源，只要保证流过 C1 和 R 的电流相同，则可以认为 C1 和 R 是串联的，

所以自偏置锁相环额外增加了第二个电荷泵以保证流过等效电阻 R 的电流与 C_1 相同。

自偏置锁相环实际上是传统电荷泵锁相环的一个经典改进，因此，也可以利用经典的电荷泵分析方法对电路进行分析。假设输入相位为 $P_1(S)$ ，输出相位为 $P_0(S)$ ，可以得到环路的闭环相位传递函数为

$$H(s) = \frac{P_0(s)}{P_1(s)} = \frac{N \cdot [1 + 2 \cdot \zeta \cdot (s/\omega_N)]}{1 + 2 \cdot \zeta \cdot (s/\omega_N) + (s/\omega_N)^2} \quad (3-26)$$

其中 I_{CH} 是电荷泵输出电流， R 为环路滤波器等效电阻， C_1 为环路滤波电容， K_{VCO} 是压控振荡器 VCO 电压与频率增益，衰减因子 ζ 和环路带宽 ω_N 分别为

$$\zeta = \frac{1}{2} \cdot \sqrt{\frac{1}{N} \cdot I_{CH} \cdot K_{VCO} \cdot R^2 \cdot C_1} \quad (3-27)$$

$$\omega_N = \frac{2 \cdot \zeta}{R \cdot C_1} \quad (3-28)$$

ζ 和 ω_N 决定了锁相环的闭环响应，对于自偏置结构锁相环，电阻是通过调整 MOS 管的偏置电压等效，与 $\sqrt{I_{CH}}$ 成反比，最终可以得到^[54]：

$$\zeta = \frac{y}{4} \frac{1}{\sqrt{xN}} \sqrt{C_1/C_B} \quad (3-29)$$

$$\frac{\omega_N}{\omega_{REF}} = \frac{1}{2\pi} \sqrt{xN} \sqrt{C_B/C_1} \quad (3-30)$$

其中， x 和 y 分别是两个电荷泵的输出电流与尾电流 I_D 的比值， C_B 是 VCO 各个延迟单元电路的输出节点等效总电容， C_1 是环路滤波器电容。由式(3-29)和(3-30)可以看到，若 ω_{REF} 确定， ζ 和 ω_N 只由 C_B/C_1 决定。不同的工艺， C_B 和 C_1 是不同的，但是 C_B/C_1 却可以通过周密的版图布局维持一个恒定的常数。因此，该电路结构对工艺波动具有一定的鲁棒性。

二阶自偏置锁相环的环路结构采用的一阶低通滤波器结构，不能有效滤除高频噪声。为了更好的滤除高频噪声，本论文采用了三阶二型自偏置 PLL 结构，如图 3-14 所示。

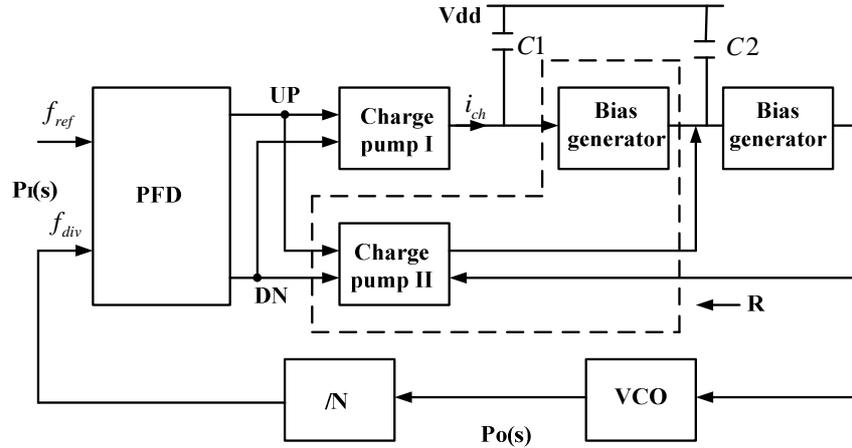


图 3-14 二阶自偏置锁相环结构

所设计的滤波网络含有两个极点，传输函数仍然可以表示为

$$F(s) = \frac{sC_1R+1}{s(RC_1C_2+C_1+C_2)} \quad (3-31)$$

根据系统输出相位与输入相位的关系，得到系统闭环传输函数，有

$$\frac{P_o(s)}{P_i(s)} = \frac{NRI_{CH}K_v\left(\frac{1}{RC_1}+s\right)}{s^3NRC_2+s^2NRC_2\frac{(C_1+C_2)}{RC_2C_1}+sRI_{CH}K_v+\frac{RI_{CH}K_v}{RC_1}} \quad (3-32)$$

设 $G = I_{CH}K_v$ ， $w_z = \frac{1}{RC_1}$ ， $w_p = \frac{(C_1+C_2)}{RC_2C_1}$ ， 则有

$$\frac{P_o(s)}{P_i(s)} = \frac{N\left(1+\frac{s}{w_z}\right)}{s^3\frac{NC_2}{Gw_z}+s^2\frac{NC_2w_p}{Gw_z}+\frac{s}{w_z}+1} \quad (3-33)$$

设定衰减因子为

$$\xi = \frac{1}{2}\sqrt{\frac{G}{NC_2w_pw_z}} = \frac{1}{2}\sqrt{\frac{1}{N}\frac{C_1^2}{C_1+C_2}R^2I_{CH}K_v} \quad (3-34)$$

环路带宽为

$$\omega_N = 2\xi w_z = \frac{2\xi}{RC_1} \quad (3-35)$$

则可以得到,

$$\frac{P_o(s)}{P_i(s)} = \frac{N(1 + \frac{s}{\omega_N} 2\xi)}{(\frac{s}{\omega_N})^3 \frac{2\xi C_2}{C_1 + C_2} + (\frac{s}{\omega_N})^2 + 2(\frac{s}{\omega_N})\xi + 1} \quad (3-36)$$

因此, 对于三阶二型自偏置锁相环结构, 有

$$R = \frac{y}{2g_m} = \frac{y}{\sqrt{8kI_D}} \quad (3-37)$$

$$\xi = \frac{1}{2} \sqrt{\frac{1}{N} \frac{C_1^2}{C_1 + C_2} R^2 I_{CH} K_v} = \frac{y}{4} \sqrt{\frac{x}{N} \frac{C_1^2}{(C_1 + C_2)}} / C_B \quad (3-38)$$

$$\frac{\omega_n}{\omega_{REF}} = \frac{xN}{2\pi} \sqrt{\frac{C_B(C_1 + C_2)}{C_1^2}} \quad (3-39)$$

由式(3-38)和(3-39)可以看到, 在三阶二型自偏置 PLL 中, 假若 C2 的值选取远小于 C1, 环路带宽和衰减因子也只是与电容比值有关。而同时, 选取适当的 C2 值, 可以有效滤除高频噪声。

与传统电荷泵锁相环电路的稳定性分析类似, 自偏置锁相环本质上仍然需要满足三阶二型锁相环的稳定性条件。如式(3-11)所示, 其中的 C1 与 C2 的比值也关系到环路的相位裕度大小, 适当的选择两个电容的比值才能保证 PLL 稳定的工作。

3.4.2 自偏置锁相环模块设计

与普通电荷泵锁相环类似, VCO 和电荷泵也是自偏置锁相环电路的核心, 为了减少时钟信号输出抖动, 需要对这两部分电路模块的电路和版图进行详细的优化。

3.4.2.1 VCO 设计

随着集成电路工艺的不断进步, 芯片的供电电压在不断的减少, 已经由 3.3V 下降到了现在的 1.0V。另一方面, 对锁相环的工作频率范围的要求却逐渐提高, 为了保证在低电压供电条件下仍然具有较高的中心频率, 且要求 VCO 具有较宽的电压调节范围, 但是, 低电压供电意味着较低的信号摆幅和比较高的频率-电压增益, 无形中增加了 VCO 的输出抖动。相对于 LC VCO, 环形 VCO 的抖动一直都比较差, 文献[69]研究表明只有当环形 VCO 的差分输出电压是全摆幅且具有高效

率的电流切换能力时，它的抖动性能才能达到 LC VCO 性能，因此，全摆幅差分 VCO 结构也获得了业界的重视以及持续的研究。文献[70]对全摆幅输出的 VCO 延迟单元进行了描述，提出了一种全摆幅输出 VCO 延迟单元结构。遗憾的是，该文提出的延迟单元结构的控制电压调谐范围小，为了能够实现宽频率范围工作，必须增大 VCO 的频率-电压增益增大，进一步恶化了系统的抖动性能。为了解决这个矛盾，本论文提出了一种新的全摆幅 VCO 结构，仍然采用有源电感负载结构，但其控制电压调节范围得到了明显的提高，如图 3-15 所示。

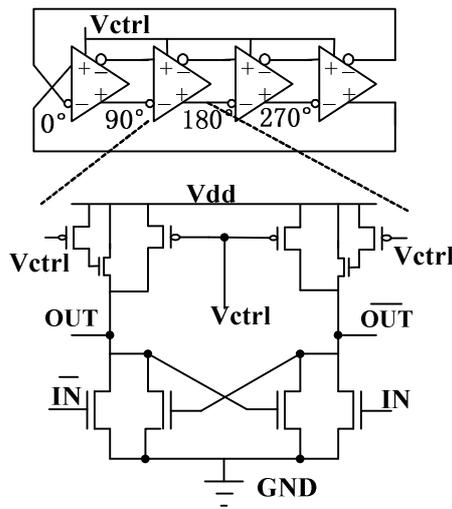


图 3-15 本文提出的环形振荡器延迟单元结构

延迟单元的负载结构对电路的电流供电能力有着重要的影响，而且，为了能够获取低抖动输出，负载单元的 I-V 曲线最好具有线性特性，即负载的电流随着电压线性变化。延迟单元的负载和等效小信号模型如下图 3-16 所示。

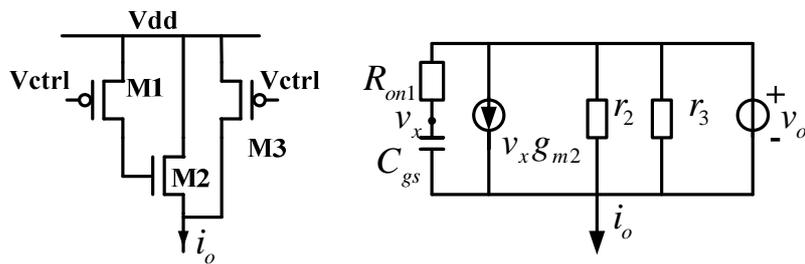


图 3-16 延迟单元负载及小信号模型

在 CMOS 工艺中，MOS 管的等效电阻可以表示为

$$R_{on} = \frac{L_p}{\mu_p \cdot C_{ox} \cdot W_p \cdot (V_{gs} - V_{th})}, V_{ds} \ll 2(V_{gs} - V_{th}) \quad (3-40)$$

其中 V_{gs} , V_{th} , C_{ox} 和 μ_p 分别为栅源电压, 阈值电压, 等效栅氧电容和空穴迁移率。

由上图可得

$$i_o = \frac{v_o}{r2//r3} + v_x \cdot g_{m2} + v_x \cdot C_{gs} \cdot s \quad (3-41)$$

$$v_x = \frac{v_o}{1 + C_{gs} \cdot s \cdot R_{on1}} \quad (3-42)$$

忽略 $\frac{1}{r2//r3}$ 则负载等效阻抗

$$r_{eff} = \frac{v_o}{i_o} = \frac{1 + C_{gs} \cdot s \cdot R_{on1}}{g_{m2} + C_{gs} \cdot s} \approx \frac{1 + C_{gs} \cdot s \cdot R_{on1}}{g_{m2}} \quad (3-43)$$

其中 g_m , C_{gs} and R_{on} 分别是晶体管跨导, 栅源电容和晶体管等效电阻, 在高频条件下, 其行为类似于一个电感, 负载的 I-V 特性如下图 3-17 所示

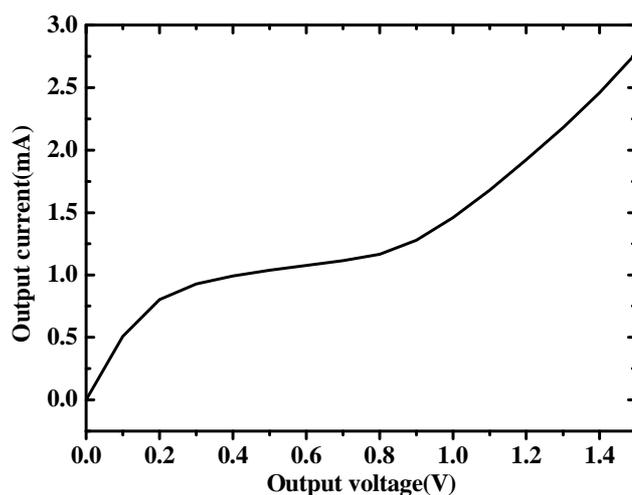


图 3-17 延迟单元输出电压和输出电流

当控制电压 v_{ctrl} 固定时, 输出电流 i_o 随着输出电压 v_o 的变化而变化, 近似于线性特性, 这有助于改善 VCO 的噪声性能。另一方面, 控制电压 v_{ctrl} 变化时, 输出电流 i_o 也随着变化, 而且具有良好的线性特性, 如下图 3-18 所示, 这有助于提高频率-电压增益曲线的线性度。

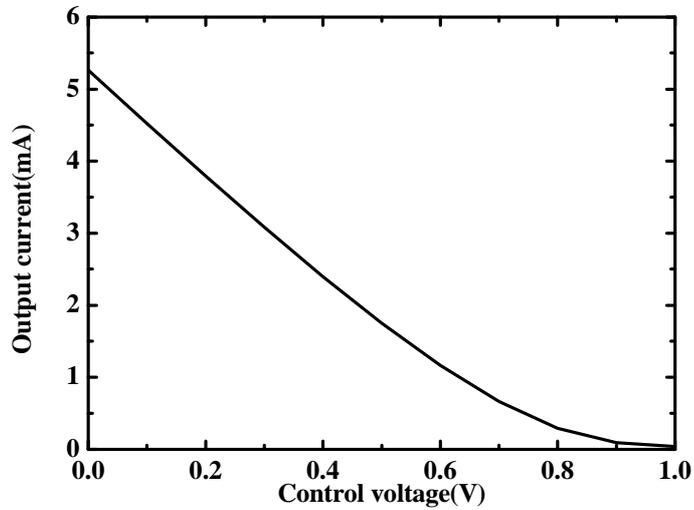


图 3-18 延迟单元控制电压和输出电流

VCO 延迟单元的瞬态输出波形如图 3-19 所示，通过 NMOS 晶体管进行耦合切换的延迟单元具有轨到轨的输出摆幅。

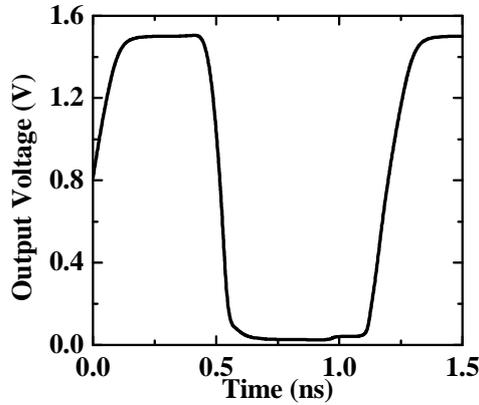


图 3-19 VCO 瞬态输出波形

VCO 的频率-电压增益特性是 VCO 最重要的一个特性，其增益 (K_V) 是 PLL 最重要的参数之一，决定了整个 PLL 锁相环路的性能。为了降低 VCO 的抖动，需要尽可能的降低压控振荡器增益，同时，我们又需要一个工作频率尽可能宽的 VCO 以满足传输速率调节范围广泛的 SERDES 应用。因此，实际的 VCO 都需要使得 VCO 的电压线性调节范围尽可能的大。VCO 频率-电压调节特性如图 3-20 所示，本论文提出的 VCO 延迟单元结构的控制电压调节范围在 $0.1V \sim (V_{dd} - V_{th})$ 之间，线性范

围宽，VCO 增益为 3.5GHz/V。

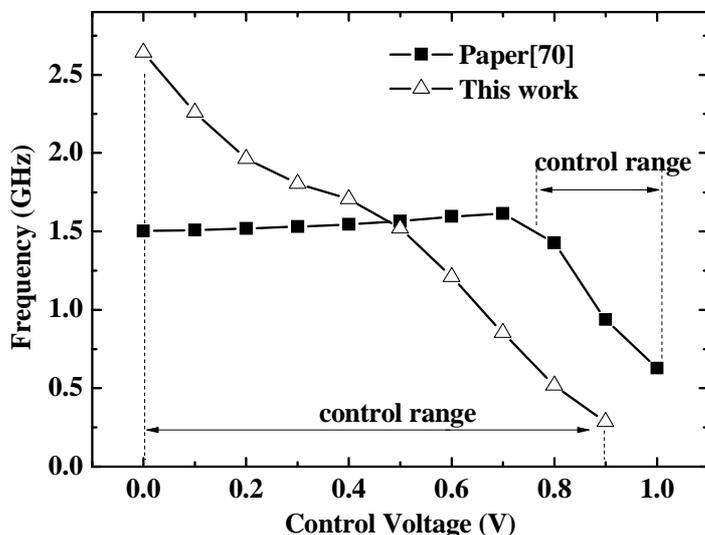


图 3-20 VCO 控制电压-输出频率曲线

利用 CADENCE 的 spectreRF 仿真工具，在 VCO 的振荡频率 $f_o=1.25\text{GHz}$ 的条件下，对设计的 VCO 进行相位噪声仿真，仿真结果如下：在频偏 1MHz 的相位噪声大概是 -104dBc/Hz ，但是由于是全摆幅振荡，其功耗稍高，为 45mW。



图 3-21 VCO 相位噪声特性

3.4.2.2 鉴频鉴相器和电荷泵设计

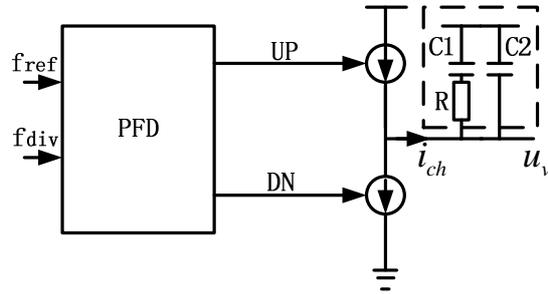


图 3-22 鉴频鉴相器、电荷泵和环路滤波电路框图

鉴频鉴相器和电荷泵电路也是高性能锁相环的一个重要的限制，电路中的漏电流、滤波电容充放电不匹配等非理想因素都会影响电路的性能，因此也是锁相环电路研究中的热点问题^[72,73]。

图 3-22 所示为鉴频鉴相器(PFD)和电荷泵(CP)电路示意图，输入参考时钟 f_{ref} 和锁相环分频器输出时钟 f_{div} 经过鉴频鉴相器比较后，输出脉宽跟相位误差成比例关系的脉冲信号（UP 和 DN）去驱动电荷泵开关，电荷泵开关时间与脉冲的宽度相等。在环路稳定的情况下，会输出一个与相位差成正比的平均输出电流 i_{ch} 对等效环路滤波网络里(虚框所示)的电容进行充放电，经过低通滤波作用，产生低频 VCO 控制电压 u_v 。

平均输出电流与相位误差的关系可以表示为 $i_{ch} = K_{pd} \cdot \theta_{err}$ ，则环路滤波器的平均输出可以表示为

$$u_v = K_{pd} \cdot \theta_{err} \cdot \left(\frac{sC_1R + 1}{s(RC_1C_2 + C_1 + C_2)} \right) \quad (3-44)$$

鉴相器和电荷泵电路设计如图 3-23 所示，考虑到设计难度，功耗和版图对称布局等问题，电荷泵采用 offset-cancelled 技术^[54]，与文献不同的是，本文的电荷泵的负载采用栅漏短接 MOS 管结构。

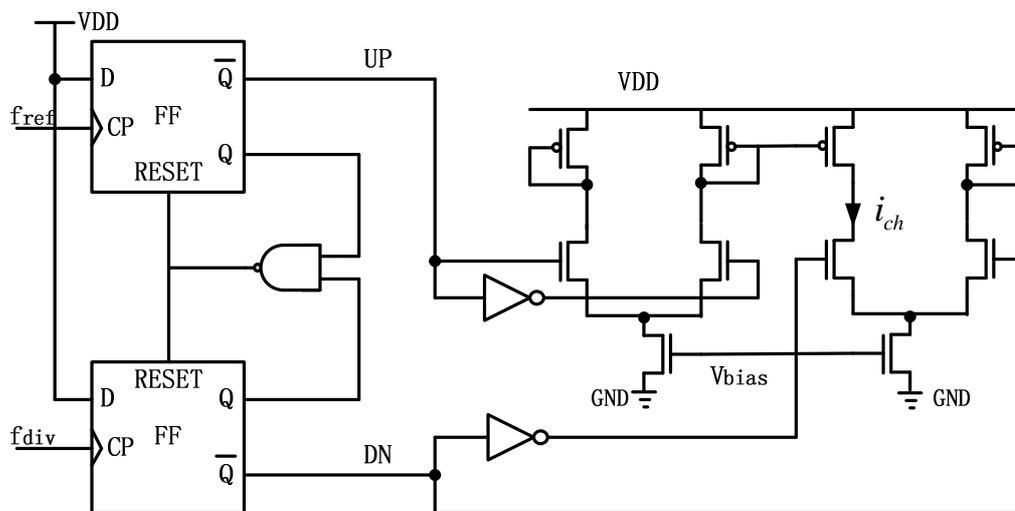


图 3-23 鉴频鉴相器和电荷泵电路结构

3.4.3 锁相环仿真

利用 HSPICE 仿真工具，基于 0.13μm CMOS 工艺对锁相环电路进行了仿真，主要验证环路的锁相时间以及输出时钟的抖动状况。

PLL 的锁定过程实际上也是 VCO 控制电压慢慢稳定的过程，自偏置锁相环能够具有良好的 PVT 特性是因为其带宽和衰减因子都是滤波电容 C1 和 C2 比值的函数。为了保证环路具有良好的稳定特性，C1 的值都比较大，而且电路的偏置电压是从 0 开始上升，因此，自偏置锁相环的上电过程通常比较缓慢。锁相环上电后的锁定时间由 VCO 控制电压 V_{CTRL} 和 C1 的值决定，即^[54]

$$t = \frac{4C1}{xk} \left| \frac{1}{V_{CTRL}(0) - V_T} - \frac{1}{V_{CTRL}(t) - V_T} \right| \quad (3-45)$$

其中 k 为工艺参数，x 为电荷泵充放电电流与偏置电流的比值， V_T 为 MOS 管阈值电压。

为了保证自偏置锁相环能够快速锁相，除了启动电路之外，有时候还必须增加额外的频率锁定检测电路或者脉宽比较电路，有助于加速锁相环锁相过程^[74]。PLL 的控制电压锁定过程仿真如图 3-24 所示，上电后锁相稳定时间大概是 17us。

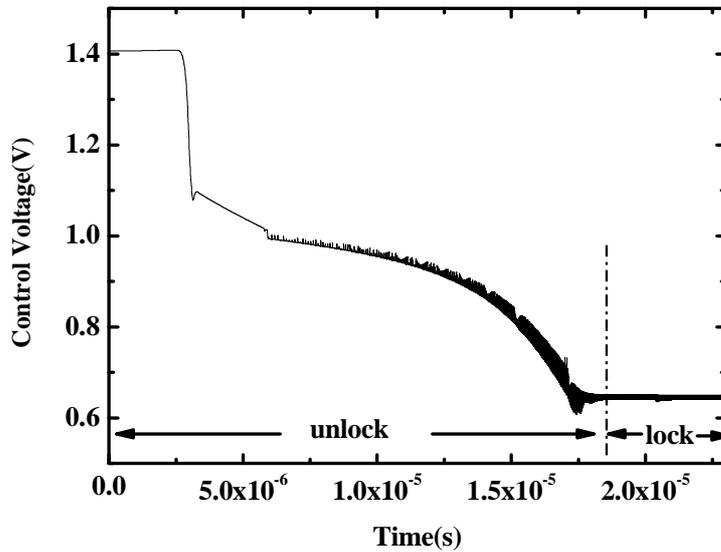


图 3-24 锁相环锁定过程中控制电压变化曲线

对 PLL 输出时钟进行了 FFT 分析，如图 3-25 所示，表明在 1.25GHz 振荡频率条件下，振荡时钟与各谐波成分具有良好的信噪比。

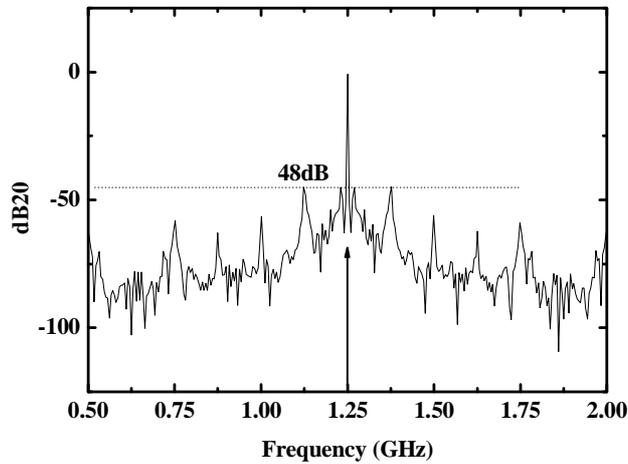


图 3-25 锁相环时钟输出的 FFT 分析

压控振荡器振荡时钟输出瞬态波形眼图和输出抖动仿真如图 3-26 所示，在振荡周期为 800ps 条件下，输出抖动 RMS 值为 4.68ps，峰峰值抖动 7.56ps。从时钟的抖动性能来看，所设计的 VCO 能够满足低抖动锁相环设计的需要。

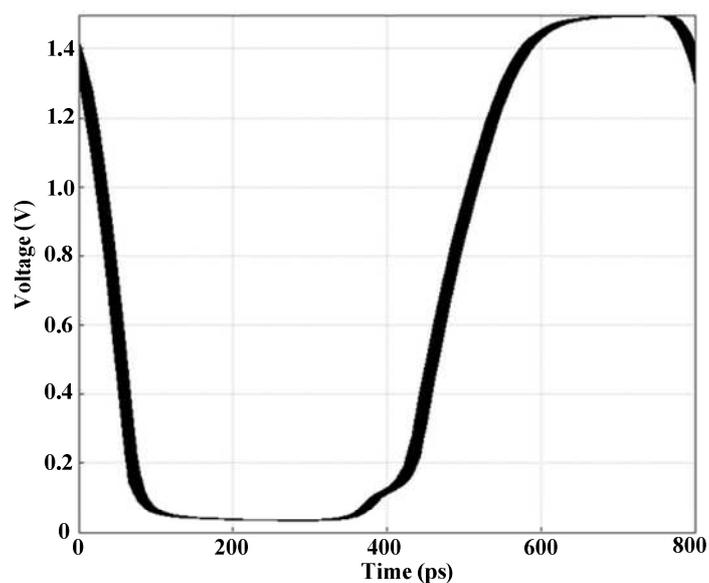


图 3-26 压控振荡器(VCO)输出时钟眼图

3.5 本章小结

本章节详细的介绍了自偏置锁相环的设计。首先介绍了锁相环电路的结构原理和环路中各部分噪声对系统总噪声性能的影响，其次，扩展分析了三阶二型自偏置锁相环电路的相位传递模型。提出一种低电压条件下工作的全摆幅 VCO 延迟单元结构并介绍了锁相环的设计和仿真结果。仿真结果表明，所设计的 VCO 和锁相环电路具有较低的抖动。

第四章 差分信号接收器设计

4.1 概述

虽然基于差分信号传输方式的数据传输系统得到了广泛的应用，但无论是采用何种传输方式，高速系统都不可避免的遇到信号完整性问题。如图 4-1 所示，信号在传输 4 米的距离之后，即使是高质量的传输线缆，在 5GHz 的时候也会有大概 5dB 的损耗，频率越高，损耗越大^[75]。图 4-2 也显示了一个在线缆中传输前后的信号波形，接收端的输入信号幅度已经被严重衰减，跳变沿变缓^[76]。为了获得满意的误码率，差分信号接收器必须能够正确的将低摆幅的差分信号转换为全摆幅的 TTL 信号。采用差分信号均衡器是一种有效的办法，在信号进入时钟与数据恢复 (CDR) 模块之前对信号进行均衡，恢复损耗信号的高频分量, 扩展信号的码元宽度并且尽可能小的引入额外的信号抖动。

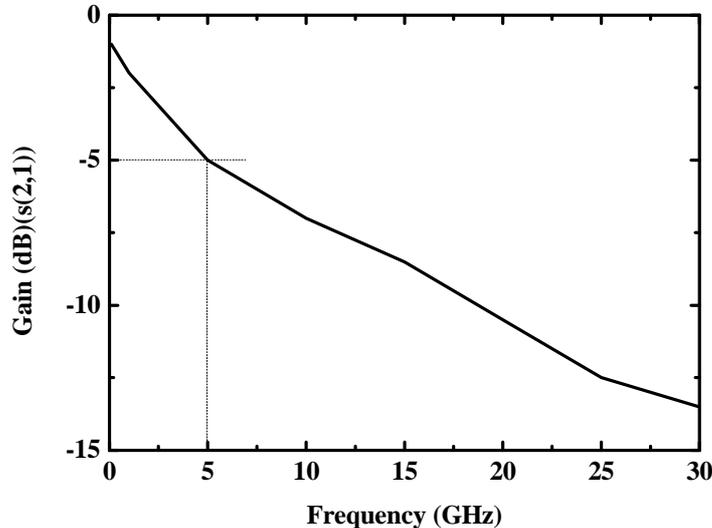


图 4-1 传输路径损耗^[1]

不管是均衡 20Gb/s 传输信号还是均衡 40Gb/s 速率的信号均衡器都已经见于相关的文献报道^[75]，但是值得注意的是，他们都采用了内部集成电感元件的电路结构来恢复信号的高频分量，这不仅需要工艺上的支持，成本也较高。对于普通的数字 CMOS 工艺来说，由于工艺的原因，在低于 0.13 μm 工艺的条件下，国内对

于集成均衡器和时钟数据恢复电路（CDR）的单芯片设计主要都集中在 10Gb/s 的速率以下^[10,77]。



图 4-2 带限通道中传输的信号（top）和接收信号（bottom）^[76]

4.2 差分信号接收器

4.2.1 差分信号的均衡

传输线的传输模型在频域中等效于一个低通滤波器模型^[77]，而均衡器的作用是重建信号，所以差分信号均衡器的行为应该类似于高频放大滤波器，其对信号高频分量的放大作用应该要大于对信号低频分量的放大作用。均衡器用于差分信号接收器的前端，通过增强信号的高频分量来补偿信号通过传输线的高频损耗，使接收机接收到的信号的高频分量和低频分量的幅度相差最小，从而减少码间干扰，增强信号质量，这就要求均衡器能够成功地正确接收并重建信号。

广义上的信号均衡主要有两种方法，一是在信号发送端采用预加重的技术进行均衡^[10,78,79]，这种方法虽然较为简单但是不能自动估计传输线损耗且容易造成系统的电磁干扰；二是在信号接收端采用均衡器来进行信号的均衡^[10,78]，这种方法能够根据传输线损耗有效的补偿高频分量，也是最主要的信号重建方式。

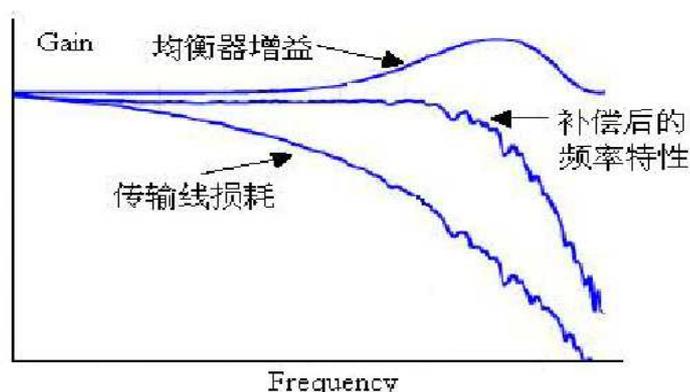


图 4-3 均衡器频率响应^[80]

虽然理想的均衡器是高通滤波器，但在实际，由于半导体器件的带宽限制，均衡器通常都是带通滤波器。图 4-3 给出了信号经传输线衰减的频率响应趋势，均衡器的频率响应趋势以及信号经均衡器补偿后的幅频特性曲线，可以看出，均衡器通过增强信号的高频分量，使信号的高频分量和低频分量在传输频率范围内增益一致，以提高接收到的信号的质量^[80]。

图 4-4 是将均衡器应用于串行收发系统的示意图。如图所示，发送的差分信号在经过传输线后，信号幅度和持续时间都不可避免恶化。在信号接收端，经过增强补偿，信号的幅度和持续时间得到了增强后才输入到差分信号比较器输出单端 TTL 信号^[80]。这样，比较器接收到的差分信号就能与发送端输出的差分信号基本保持一致，保证所转换的 TTL 信号不发生错误。

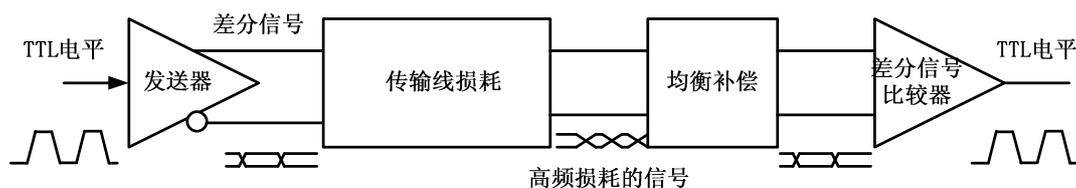


图 4-4 均衡器应用

4.2.2 均衡器常用结构

按照不同的结构和组成器件的类型，均衡器大致可分为四种类型：无源均衡器、分离路径的有源连续滤波均衡器、有源离散有限脉冲响应(FIR)滤波均衡器和有源连续 FIR 滤波均衡器。

(1) 无源均衡器

如图 4-5 显示了一种无源均衡器的结构^[76]，其元器件都由无源滤波元件构成，系统的频率特性由各个元件决定。在图中，R3, R4, R5 和 L2 决定了系统的特性阻抗，C2 和 R2 决定了系统的低频特性，中频增益补偿由 L2 决定，高频补偿由 C1 和 L1 决定。类似这种固定的无源滤波器很容易片外实现，其能够工作在较宽的工作速率范围内和较低的功耗，但是它的补偿效果要依赖于数据的编码方案，而且补偿范围较窄。这种无源均衡器比较适合于数据信号的幅度比较高而且具有较高的信噪比(SNR)的场合。

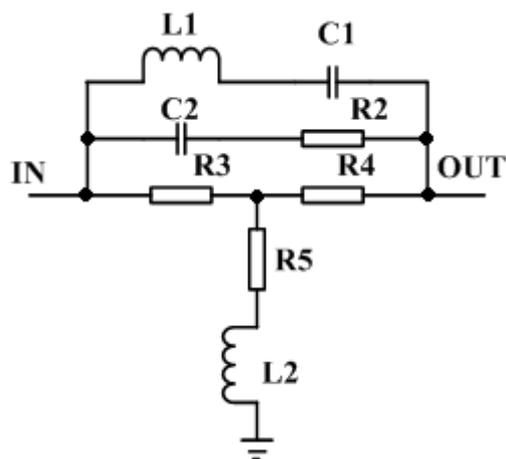


图 4-5 无源均衡器结构

(2) 分离路径有源连续滤波均衡器

分离路径的均衡器将信号分为两条路径传输，一条路径包括高频滤波或者峰值响应滤波器以放大信号的高频成分。另一条路径主要匹配传输路径的延迟，一般采用全通滤波器实现。经过延迟匹配，两条路径的信号重新叠加后就等效为一个可变增益的高通滤波器^[80]。如下图 4-6 所示为一个分离路径有源连续滤波均衡器的结构，均衡器控制电路通过比较两条路径中信号的特定频率成分的功率来确定每条路径的权重值和延迟。

设计这种结构的均衡器最重要的一个方面是平衡两条路径的延迟，延迟一旦不匹配将会导致差分信号重建失真。虽然可以通过控制两条路径的零极点范围来可以得到较宽的增益控制范围，但是由于反馈路径的存在，反馈结构很难工作在超过 GHz 的范围，反馈路径和输入信号的相位失配同样也限制了反馈路径在高频领域里的应用。

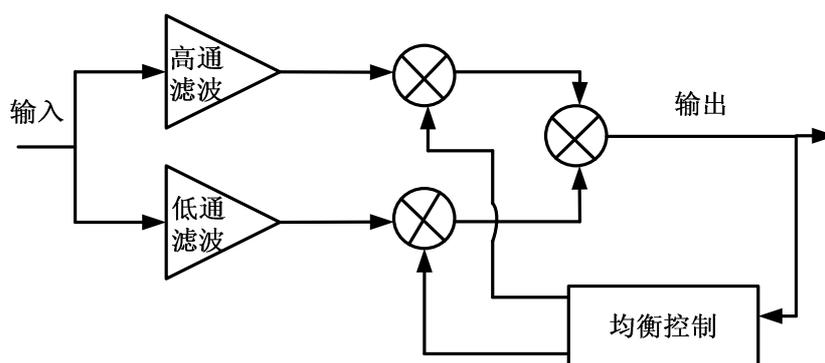


图 4-6 分离路径有源连续滤波均衡器结构

另外一种衍生的分离路径有源连续滤波器结构又称为源极负反馈跨导滤波均衡器(Source Degeneration Trans-conductor Filter: SDTF)。如下图 4-7 所示，滤波器的源极连接着电阻和电容，则电阻相当于一个全通滤波路径而电容则相当于一个高通滤波路径，因此，这种滤波器结构就相当于一个分离路径的有源连续滤波均衡器，由于其电路结构简单，使用也最广泛^[9,75,80,81]。调节均衡器的增益和带宽可以通过调节相关的电阻和电容来实现，通常情况下，为了能够调节均衡器的高频和低频增益，可以利用 MOS 管作为源极电阻和电容，不同的 MOS 管控制电压实现不同的电阻和电容值，从而获得不同的低频和低频增益。

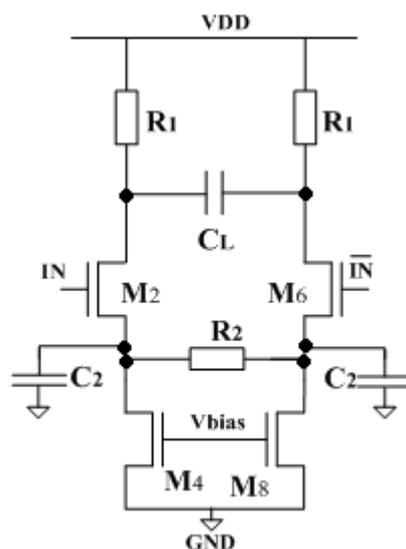


图 4-7 源极负反馈跨导滤波均衡器

(3) 离散有限脉冲响应(FIR)滤波有源均衡器

数字工艺易于集成，且相比较于模拟电路来说更加易于设计和工艺整合，使得反馈判决式的离散 FIR 滤波有源均衡器得到了应用^[8]。按照离散 FIR 滤波均衡器的延迟单元和乘法器的不同，又可以将这一类的均衡器分为 4 个小类^[6]：

- (A)全数字实现
- (B)数字延迟单元+数模转换乘法器
- (C)串行采样模拟延迟单元加上模拟乘法器
- (D)并行采样模拟延迟单元加上模拟乘法器

对于 FIR 滤波器结构的均衡器，所处理的对象是数字信号流。而严格意义上来说，高速的差分信号已经是一个模拟信号，因此首先要把高速的模拟差分信号转换为数字信号。前面(A)、(B)两种结构都必须有高速 ADC 将接收的模拟信号转换为高速数字信号流。对于(C)结构，串行采样模拟延迟单元可以利用采样保持电路实现，但是采样保持电路具有的时钟馈通和采样开关非线性等非理想特性，容易对高速信号产生额外的衰减，导致出现积累误差。同时，为了处理高速的数据流，采样保持电路也必须具有高带宽特性。为了克服串行采样中误差累积的缺点，可以利用并行采样模拟延迟单元结构，并通过旋转切换矩阵将采样数据传输到乘法器。这种方法降低了对采样保持电路的速度要求，但是需要增加额外的切换矩阵单元。

(4) 模拟连续 FIR 滤波均衡器

如果将 FIR 滤波均衡器的延迟单元替换为模拟电路，则变成了模拟连续 FIR 滤波均衡器结构。一种简单的模拟延迟单元实现方法是利用源跟随器实现，当然，在标准 CMOS 工艺中，这种电路结构主要受限于所设计电路的带宽。

4.2.3 源极负反馈跨导滤波均衡器设计

在以上各种均衡器结构中，传统源极负反馈跨导滤波均衡器(Conventional SDTF: CSDTF)是较为简单的一种结构，因此获得了广泛的应用。在标准 CMOS 工艺中，这种均衡器的负载一般都是采用无源电阻或 MOS 管电阻实现，电阻值大小决定了其低频和高频增益。

CSDTF 电路结构和高频小信号等效电路如图 4-8 所示，VBN 是尾电流偏置电压，电流大小决定了电路的跨导。

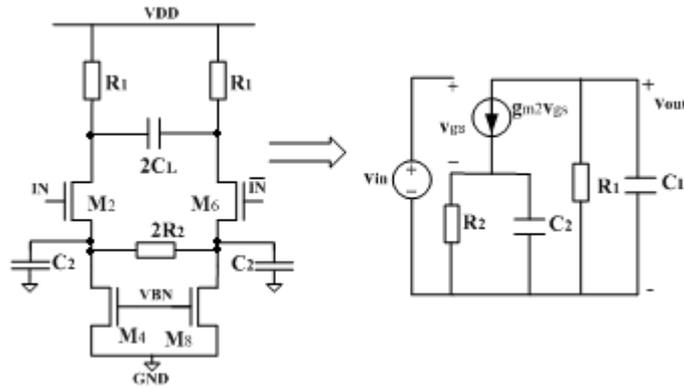


图 4-8 传统源极负反馈跨导滤波均衡器(CSDTF)及其小信号模型

通过对高频小信号等效电路图的分析，计算得出，CSDTF 的传输函数为

$$H_c(s) = \frac{-g_{m2}R_1(1+R_2C_2s)}{(1+g_{m2}R_2+R_2C_2s)(1+R_1C_Ls)} \quad (4-1)$$

其中， R_2 和 C_2 分别为负反馈电阻和电容， R_1 和 C_L 分别是输出端的负载电阻和电容。

从式(4-1)中可以看到，在均衡器的传输函数中，存在一个零点和两个极点。零点的位置由负反馈电容和电阻决定，负反馈电阻和电容及输入 MOS 晶体管的跨导决定了极点 1 的位置，输出端的负载电阻和电容决定了极点 2 的位置，电路的低频增益由负载电阻和输入管的跨导决定。这样，我们就可以通过调节零点和极点的位置来调节高低频增益，使均衡器的增益—频率曲线正好与电缆随频率变化的损耗曲线相反，以抵消电缆损耗导致的信号高频衰减。

由式(4-1)可以看到，传统的均衡器存在一个零点，其负载电阻值决定了其中一个极点的位置和低频增益。增加负载电阻值虽然能够提高低频增益，但是却降低了带宽，同样，减少负载电阻值虽然能提高带宽却会降低系统的低频增益。

波特图是分析系统频率响应有效的方式，在波特图中，在每个零点频率处，幅值曲线的斜率按+20dB/dec 上升；在每个极点频率处，其斜率按-20dB/dec 下降。这样，如果能够给系统增加一个零点，则一方面可以提高低频增益，一方面也改善系统的带宽性能。为了兼顾低频增益，高频增益和带宽的要求，一种简单的办法是在负载电阻和电源端串联电感，增加一个零点，改善电路的高频增益^[75]。这种电路结构由于低频特性和高频特性都比较好，广泛的应用在传输信号速率比较高的场合，但是，由于需要集成电感，一方面增加了芯片面积，另一方面也增加了设计的成本。

为了兼顾标准 CMOS 生产工艺的要求，且能够改善电路的增益带宽比，本论

文提出了一种改进的源极负反馈跨导滤波均衡器结构(Improved ISDTF: ISDTF), 采用有源电感结构以增加系统的零点, 如图 4-9 所示。

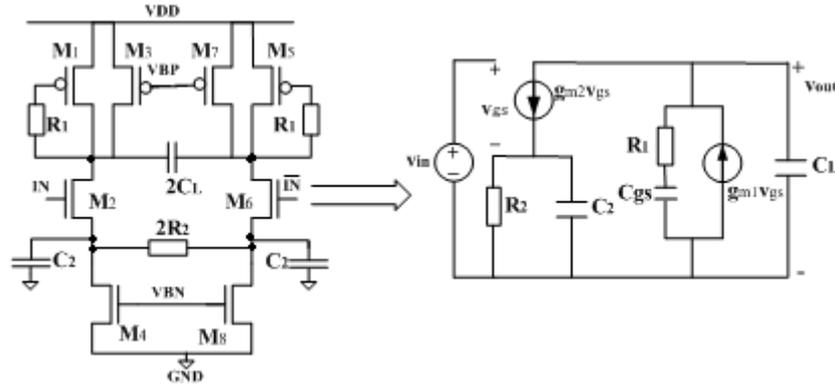


图 4-9 改进的源极负反馈跨导滤波均衡器(ISDTF)及其小信号模型

本论文所提出的改进型源极负反馈跨导均衡器(ISDTF)采用双控制电压偏置有源电感结构, 负载管 (M1/M5) 之间的电阻 R1 可以用普通电阻实现, 也可以由 MOS 管导通电阻实现。改进的均衡器小信号模型如图 4-9 所示, 则根据小信号模型, ISDTF 的系统传输函数为

$$H_I(s) = \frac{-g_{m2}(1 + R_2 C_2 s)}{(1 + g_{m2} R_2 + R_2 C_2 s)} \times \frac{(1 + R_1 C_{gs} s)}{(g_{m1} + C_{gs} + C_L s(1 + R_1 C_{gs} s))} \quad (4-2)$$

可以看到, ISDTF 的传输函数有两个零点和三个极点, 零点 $\frac{1}{R_1 C_{gs}}$ 的存在改善了系统的高频增益和带宽性能, 选择合适的电阻值 R1, 可以使得均衡器具有较高的高低频增益比和适当的带宽, 将 ISDTF 级联后还可以进一步扩展电路的带宽。

4.2.4 均衡器仿真

为了验证所提出的均衡器的性能, 利用 HSPICE 软件对传统均衡器电路 (CSDTF)和改进的均衡器电路(ISDTF)进行了设计比较和仿真, 采用 0.13 μm CMOS 工艺, 供电电压 3.3V。在实际的芯片设计中, 均衡器采用了两级级联放大输出结构。如图 4-10 所示, 其中单级 SDTF 的增益相同, 以便能够对比级联后各种电路的带宽和增益的性能。

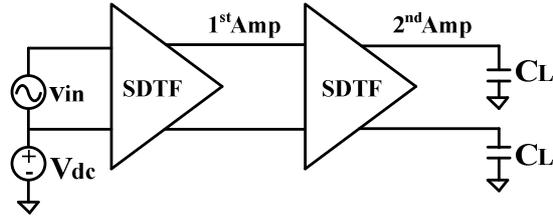


图 4-10 均衡器仿真示意图

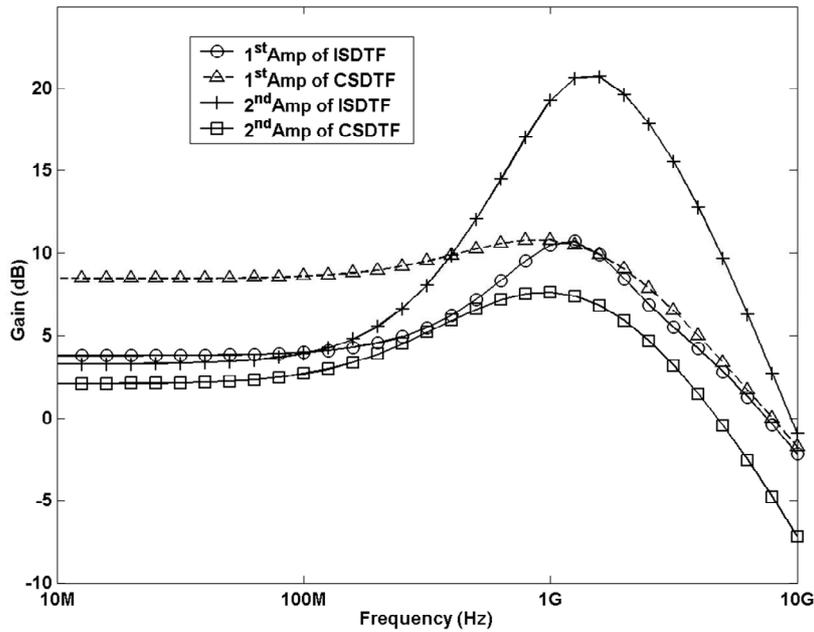


图 4-11 均衡器频率-增益扫描仿真

图 4-11 显示了分别经过单级和双级 CSDTF 和 ISDTF 均衡放大后的幅频特性曲线。当单级滤波器的高频增益相同时，则改进的源极负反馈均衡器的低频增益要低于传统的源极负反馈均衡器，换句话说，当低频增益相同时，ISDTF 的高频增益要大于 CSDTF 的高频增益。级联之后，由于后级负载电容的影响，传统的源极负反馈跨导均衡器的高频增益和低频增益都显著的减小，而改进的源极负反馈跨导均衡器的高频增益却得到了较大的提高，带宽也相应增加但是低频增益却变化很小。

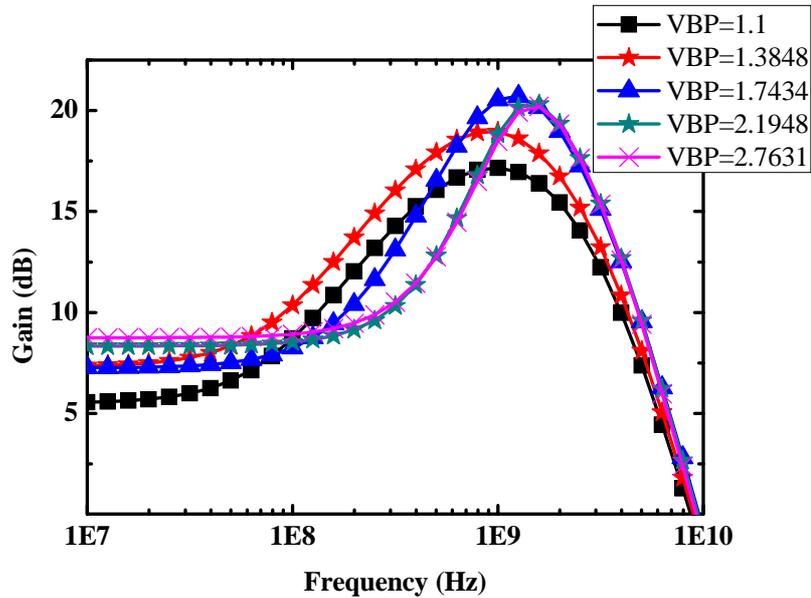


图 4-12 不同偏置电压条件下均衡器频率-增益扫描

为了实现增益可调节性，传统的电路结构是利用 MOS 管可变电容器作为反馈电容，用一个线性区的 MOS 管作为反馈电阻。MOS 管电阻和电容分别施加控制电压以控制可变电容器值和可变电阻值，从而调节零点和极点的位置，进一步调节高频和低频增益^[80]。与传统结构不同，本论文提出的均衡器结构也可以通过改变控制电压 VBP 实现高低频增益调节，如上图 4-12 所示，通过改变不同的控制电压值，均衡器的低频增益和高频增益都发生了变化，相应的，电路的 3dB 带宽也有一定程度的改变。

定义均衡器的高频增益与低频增益的比值为高低频增益比(R_{ghl})，则两种不同结构的均衡器的高低频增益比与频率的关系如下图 4-13 所示，可以看出，所提出的均衡器结构具有较高的高低频增益比，在低频增益相同的条件下，其高频增益改善更显著，3dB 带宽更宽。

在传输速率 7Gb/s 条件下，由于传输链路的滤波作用，输入的信号的差分摆幅已经严重衰减。当传输信号理想差分摆幅为 600mV 时，经过传输路径后差分摆幅最低时仅有 100mV 的差分摆幅(顶部)，导致已经很难利用后继的差分信号比较器判断差分信号的极性。对衰减的串行输入信号进行了 2 级均衡放大并判决输出后，畸变的输入信号的高低频分量都得到了相应的增强，差分摆幅增加，信号摆率也增加(中间)，后继电路能够正确的将串行输入 LVDS 差分信号转换为 TTL 电平信号(底部)，如图 4-14 所示。

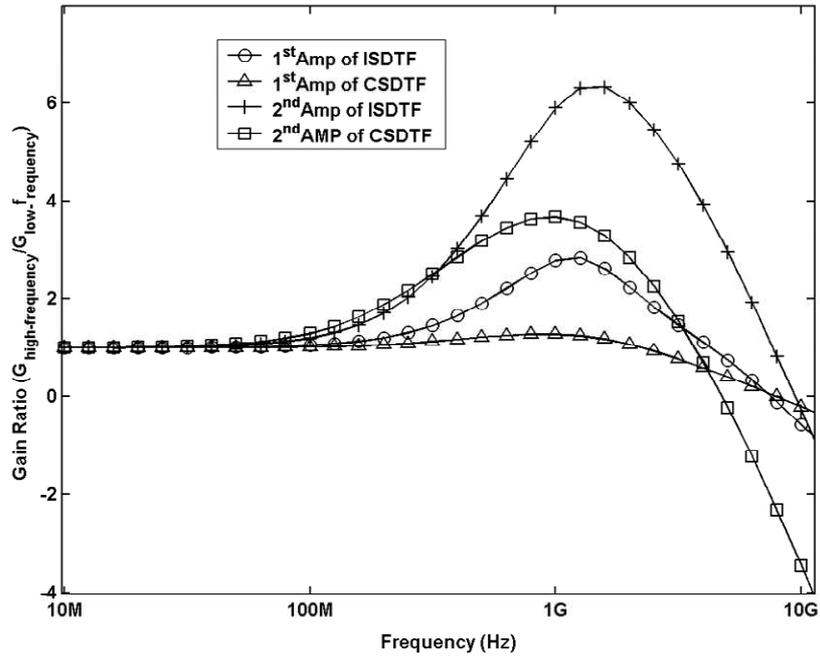


图 4-13 均衡器高低频增益比

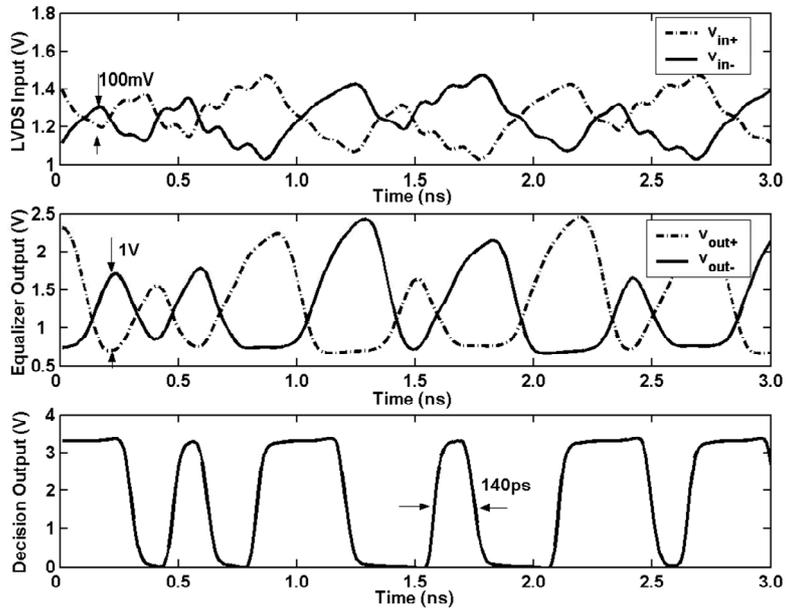


图 4-14 均衡器瞬态仿真

4.3 差分信号比较器分析和设计

4.3.1 差分信号比较器分析

时钟与数据恢复电路处理的是 TTL 电平信号，因此，需要利用差分信号比较器将接收的差分信号转换为全摆幅的 TTL 信号。在实际的设计中，由于版图、工艺的原因引起差分电路失配导致了输入阈值失调电压^[82]，而输入阈值失调电压则会引入依赖于数据的抖动现象发生。

比较器阈值电压指的是使得比较器正确输出比较电平的最小输入差模电压摆幅。比较器输入阈值失调电压会使得比较器的阈值电压发生了偏移，输出数据发生跳变的时刻不再是位于差分信号的中间时刻，而是提前或者延后发生数据跳变，从而导致了数据输出抖动现象发生，如图 4-15 所示。

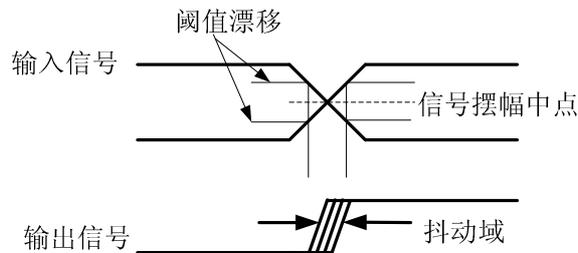


图 4-15 比较器的抖动

比较器的抖动域 $T_{c jitter}$ 定义为^[83]

$$T_{c jitter} = t_{slew 20\% - 80\%} \times (v_{offset} / v_{swing 20\% - 80\%}) \quad (4-3)$$

其中 $t_{slew 20\% - 80\%}$ 表示输入信号摆幅由 20% 上升到 80% 的时间， v_{offset} 表示比较器的输入失调电压， $v_{swing 20\% - 80\%}$ 表示输入信号 80% 摆幅到 20% 摆幅的绝对差值。由比较器抖动域 $T_{c jitter}$ 的表达式可以看到，提高信号带宽，增加信号摆率和降低输入阈值失调电压都可以减少比较器引入的抖动。

比较器的输入晶体管的阈值漂移和电路的结构设计都会对输入阈值电压失调产生不同程度的影响。考虑一个基本差分运放比较器电路，如图 4-16(a)所示，其包括差分输入对管，等效尾电流偏置管负载 R_{SS} 和负载 R_D 。等效单边小信号电路如图 4-16(b)所示。

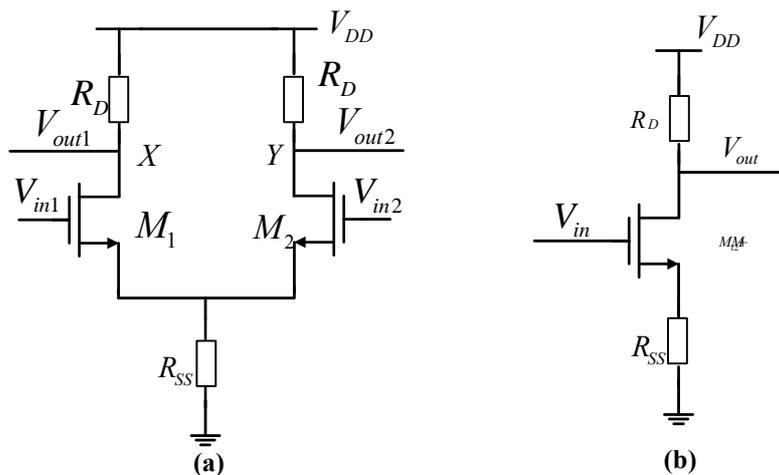


图 4-16 比较器及其小信号模型

当存在工艺误差等因素时，差分电路会存在失配现象，即电路的输入晶体管的宽长比，负载电阻值等都可能产生一定的偏差，定义偏差分别为 $\Delta(\frac{W}{L})$ 和 ΔR_D ，如下图 4-17 所示。

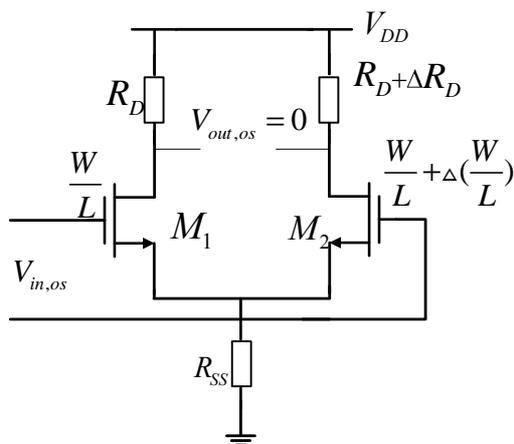


图 4-17 比较器失调电压分析

理论上，当 $\Delta v_{in} = 0$ 时， $\Delta v_{out} = 0$ 。但如果电路存在失配，则 $\Delta v_{out} \neq 0$ 。输入参考失调电压 $v_{in,os}$ 是指使得输出电压 $v_{out,os}$ 等于零时候的输入电压，并且满足

$$|v_{in,os}| = |v_{out,os}| / A_v \quad (4-4)$$

考虑输入晶体管，负载电阻和阈值都存在失配情况，根据定义，可以得到失调电压的表达式为^[82]

$$V_{in,os} = \frac{1}{2} \sqrt{\frac{2I_D}{k(\frac{W}{L})}} \left[\frac{\Delta R_D}{R_D} + \frac{\Delta(W/L)}{(W/L)} \right] - \Delta V_{th} \quad (4-5)$$

其中 I_D 是偏置直流电流， $\frac{W}{L}$ 为输入对管的宽长比， $k = \mu C_{ox}$ 为工艺参数， R_D 为负载电阻。因此，从减小输入失调电压的角度考虑，在设计比较器参数时，应该采用较小的偏置电流且输入管具有较大的宽长比。但是，由于比较器工作在高速状态，其输入管的面积不宜太大，否则会增加寄生电容，影响速度。

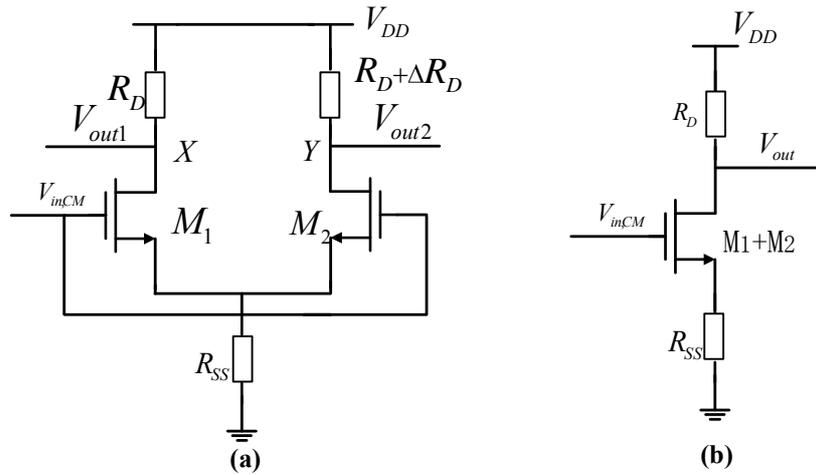


图 4-18 比较器共模信号分析

差分电路的共模抑制比(Common-Mode Rejection Ratio: CMRR) 定义为放大器差模信号的电压放大倍数和对共模信号的电压放大倍数的比值，是一个重要的参数，它表征了差分电路抑制共模电压波动的能力。理论上，如果电路足够对称，则电路的共模抑制比会无穷大，但实际电路或多或少存在失配现象，对称性越差则共模抑制比越小。

差分电路的共模抑制比 $CMRR$ 与输入失调电压变化 $\Delta V_{in,os}$ ，共模电压变化 $\Delta V_{in,cm}$ 之间存在着一定的关系^[82]，即

$$CMRR = \frac{\Delta V_{in,cm}}{\Delta V_{in,os}} \quad (4-6)$$

因此，差分电路的共模抑制比越大，其输入失调电压变化则越小，增大电路的共模抑制比可以减少输入阈值失调。根据图 4-18 所示共模等效电路，可推导出共模增益为

$$A_{v,CM} = \frac{V_{out}}{V_{in,CM}} = -\frac{R_D}{1/(2g_m) + R_{SS}} \quad (4-7)$$

$$\Delta V_x = -\Delta V_{in,CM} \frac{2g_m}{1 + 2g_m R_{SS}} R_D \quad (4-8)$$

$$\Delta V_y = -\Delta V_{in,CM} \frac{2g_m}{1 + 2g_m R_{SS}} (R_D + \Delta R_D) \quad (4-9)$$

从式(4-9)可以看出，由于尾电流管有限的输出阻抗和负载不匹配都会导致差动对产生一些共模增益，特别是当负载阻抗存在失配时，共模增益的变化会在输出端产生不必要的差模分量。

根据 CMRR 的定义，差分比较器的共模抑制比表为

$$CMRR = \left| \frac{A_{DM}}{A_{CM}} \right| = \frac{\frac{g_{m1}(r_{o1} + R_D)}{r_{o1}R_D}}{\frac{g_{m1}R_D}{1 + 2g_{m1}R_{SS}}} = \frac{(r_{o1} + R_D)(1 + 2g_{m1}R_{SS})}{r_{o1}R_D^2} \quad (4-10)$$

由式(4-10)可以看到，增加比较器的尾电流管的输出阻抗，或者减少负载电阻都有助于增加电路的共模抑制比，但是需要注意的是，减少负载电阻更容易导致大的负载阻抗失调。

比较器另外一个重要的参数是转换速率，转换速率是指当输入一个大的阶跃信号的时候，输出信号中斜率不变的线性斜坡^[82]。转换速率越大，表明信号跳变的时间越短，则比较器抖动的时域则越小。由于比较器结构通常都为全差分放大器，因此理想状态下其正负转换速率相等，当一边支路输入大阶跃信号时，尾电流全部集中到另一边支路，输出转换速率为

$$S_R = I_{SS} / C_L \quad (4-11)$$

其中 C_L 为负载电容， I_{SS} 为偏置电流，因此，提高比较器转换特性的一个方法是增加偏置电流 I_{SS} ，减少输出负载电容。

综上所述，增大输入对管的宽长比，减少负载电阻，提高转换速率等都可以减少比较器的抖动的时域。但是注意到，减少偏置电流虽然能够降低失调电压，但也会降低转换速率，因此在设计时需要综合考虑相应的设计指标，保证一个电路具有一个最优状态。

4.3.2 差分信号比较器电路设计

如图 4-4 所示，均衡后的差分信号需要经过 LVDS 比较器，转换为 TTL 信号后才能进行后继处理。本文设计的差分信号比较器采用了两级运放结构^[84]。第一级运放采用双端输入双端输出的差分结构，第二级运放双端输入漏极单端输出，电路结构如下图 4-19 所示。

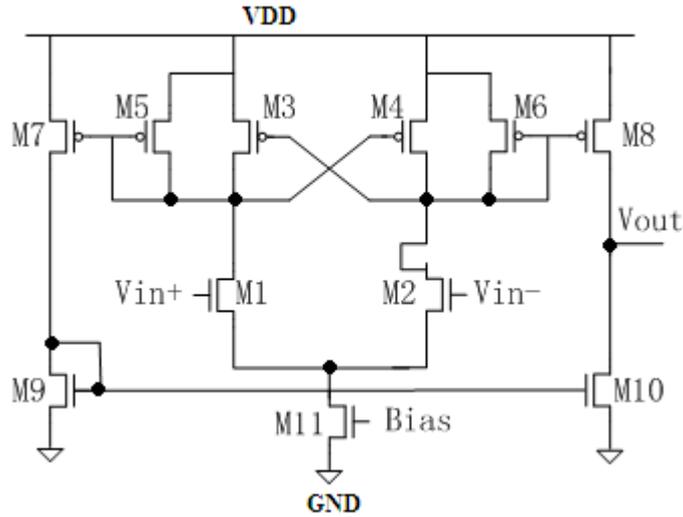


图 4-19 比较器电路结构

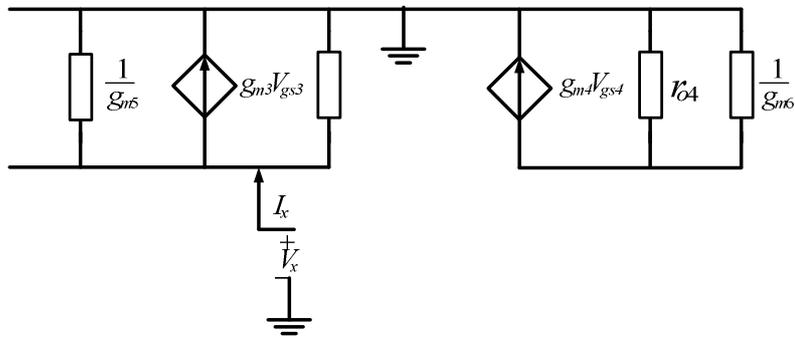


图 4-20 比较器等效负载阻抗分析

图 4-20 为负载管 M3,M4,M5,M6 小信号电路模型，假设 $V_{gs4} = V_{ds3}$ ， $V_{gs3} = V_{ds4}$ ，根据 KVL 和 KCL 原理，得

$$\begin{cases} (I_x - g_{m3}V_{gs3})r_{O3} \parallel \frac{1}{g_{m5}} = V_{ds3} = V_{gs4} = \frac{V_x}{2} \\ (I_x + g_{m4}V_{gs4})r_{O4} \parallel \frac{1}{g_{m6}} = -V_{ds4} = -V_{gs3} = \frac{V_x}{2} \end{cases} \quad (4-12)$$

经过换算，有

$$\frac{V_x}{I_x} = \frac{2r_{o3} \parallel \frac{1}{g_{m5}}}{1 - 2g_{m3}r_{o3} \parallel \frac{1}{g_{m5}}} = \frac{2r_{o4} \parallel \frac{1}{g_{m6}}}{1 - 2g_{m4}r_{o4} \parallel \frac{1}{g_{m6}}} \quad (4-13)$$

式中 r_{o3} , r_{o4} 可忽略, 该式可简化为

$$\frac{V_x}{I_x} = \frac{2}{g_{m5} - g_{m3}} = \frac{2}{g_{m6} - g_{m4}} \quad (4-14)$$

上式为整个有源负载网络等效负载阻值, 对于单边电路, 等效阻抗为

$$R_L = \frac{1}{g_{m5} - g_{m3}} = \frac{1}{g_{m6} - g_{m4}} \quad (4-15)$$

将电路的负载阻抗等效为 R_L 后, 比较器电路可等效为下图 4-21 所示。第一级差分运放的单边小信号模型如图 4-22。

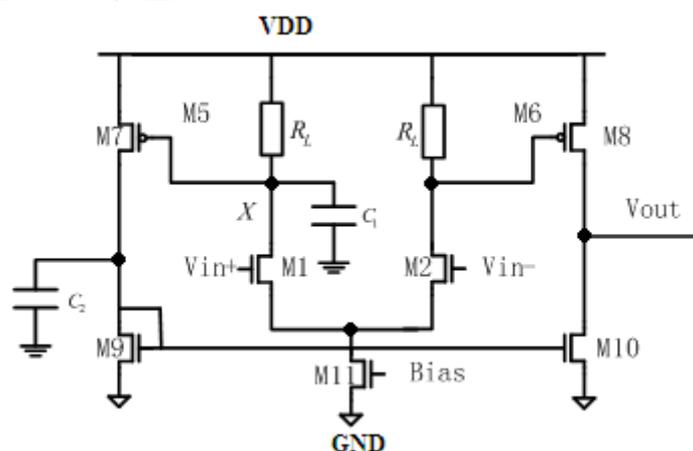


图 4-21 差分信号比较器等效电路

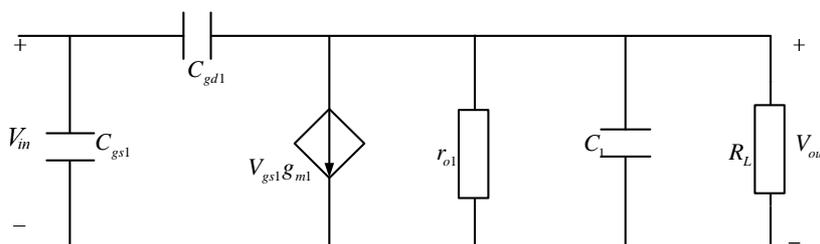


图 4-22 差分信号比较器第一级单边小信号模型

其中电容 C_1 表示电路 X 节点的寄生电容之和, 即

$$C_1 = C_{gs5} + C_{db5} + C_{db1} + C_{db3} + C_{gs4} + C_{gs7} + 2C_{gd7} \quad (4-16)$$

式(4-16)中 C_{gd7} 为第二级运放输入输出间的密勒电容。根据密勒定理，输入电容等效为 $(1 + g_{m7} / g_{m9})C_{gd7}$ ，由于 g_{m7} 与 g_{m9} 近似相等，等效输入电容为 $2C_{gd7}$ ，同时等效输出电容为 $(1 + g_{m9} / g_{m7})C_{gd7}$ ，也近似为 $2C_{gd7}$ 。

根据比较器小信号模型，可列出 KCL 电流方程

$$\frac{V_{in} - V_{out}}{1} = V_{in} g_{m1} + \frac{V_{out}}{\frac{1}{r_{o1} \parallel R_L} + sC_1} \quad (4-17)$$

则第一级运放的传递函数可表示为

$$H_1(s) = \frac{V_{out}}{V_{in}} = \frac{sC_{gd1} - g_{m1}}{\frac{1}{r_{o1} \parallel R_L} + s(C_1 + C_{gd1})} = \frac{sC_{gd1}(r_{o1} + R_L) - g_{m1}(r_{o1} + R_L)}{s(C_1 R_L + C_1 r_{o1} + C_{gd1} R_L + C_{gd1} r_{o1}) + r_{o1} R_L} \quad (4-18)$$

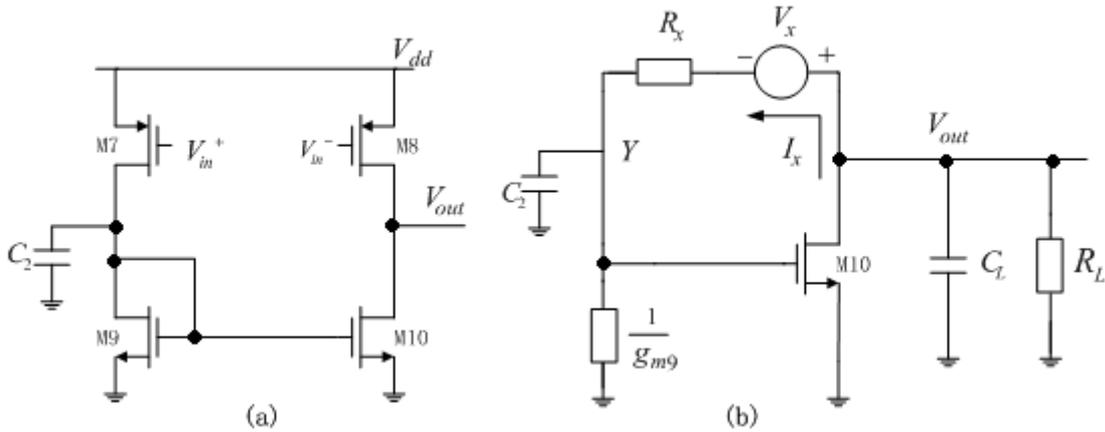


图 4-23 差分信号比较器的第二级电路单边小信号模型

比较器第二级电路及其等效模型如图 4-23 所示，其中 V_x 与 R_x 为戴维南输入等效。

$$V_x = -g_{m7} r_{o7} V_{in}, R_x = r_{o7} + r_{o8} \quad (4-19)$$

根据等效电路，有

$$V_Y = (V_{out} - V_x) \frac{\frac{1}{C_2 + g_{m9}}}{\frac{1}{C_2 + g_{m9}} + R_x} \quad (4-20)$$

注意到 $-g_{m10}V_Y - I_x = V_{out}(sC_L + R_L^{-1})$ ，则可以得到

$$-g_{10}(V_{out} - V_x) \frac{\frac{1}{C_2 + g_{m9}}}{\frac{1}{C_2 + g_{m9}} + R_x} - I_x = V_{out}(sC_L + R_L^{-1}) \quad (4-21)$$

其中 $I_x = \frac{V_{out} - V_Y - V_x}{R_x}$

综上公式，可以得到

$$H_2(s) = \frac{V_{out}}{V_{in}} = -\frac{(ag_{m10} + R_x^{-1} - aR_x^{-1})g_{m7}r_{o7}}{sR_L R_x C_L + R_x + g_{m10}R_x R_L + R_L - aR_L} \quad (4-22)$$

其中 $a = \frac{\frac{1}{C_2 + g_{m9}}}{\frac{1}{C_2 + g_{m9}} + R_x}$

化简后得第二级运放的传递函数

$$H_2(s) = \frac{V_{out}}{V_{in}} = -\frac{(sC_2 + g_{m9} + g_{10})g_{m7}r_{o7}}{C_L C_2 r_i^2 s^2 + [C_L + g_{m9}C_L r_i + r_i R_L^{-1}C_2 + r_i g_{m10}C_2 + C_2]s + R_L + r_i g_{m9} + g_{m10} + g_{m10}g_{m9} + g_{m9}} \quad (4-23)$$

其中 $r_i = r_{o7} + r_{o8}$ ，由式(4-18)和式(4-23)相乘即可得整个电路传输函数 $H(s)$ ，即

$$H(s) = H_1(s) \times H_2(s) \quad (4-24)$$

由式(4-18)和式(4-23)可以得出，减少比较器的输入电阻，输入电容，负载电阻和电容可以有效的改善比较器的高频特性，增加带宽。

4.3.3 差分信号比较器仿真与讨论

利用 HSPICE 仿真工具，基于 0.13 μm CMOS 工艺对差分信号比较器电路进行了设计和仿真，比较器同样采用 3.3V 供电，输入共模电平范围为 0.9V~1.5V，差分信号摆幅满足 0.2V~0.6V。

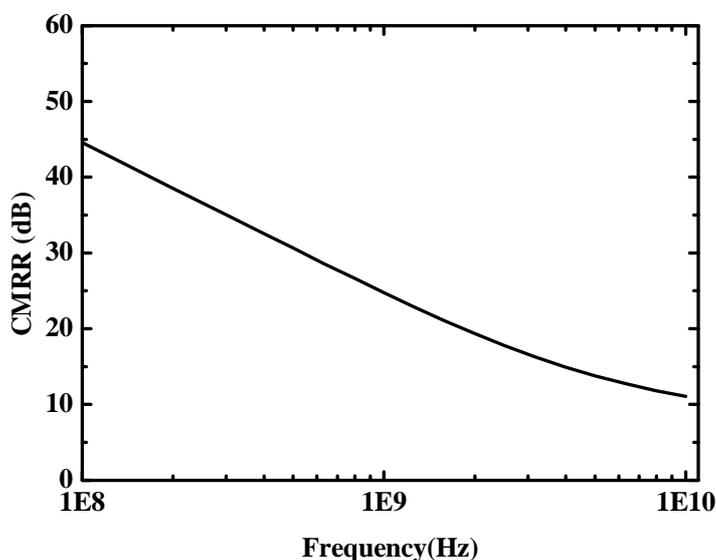


图 4-24 差分信号比较器共模抑制比

上图 4-24 描述了差分信号比较器的共模抑制比性能，差分电路设计工作频率为 1.25GHz，其共模抑制比约为 20dB，随着信号频率的增加，共模抑制比也逐渐的降低。根据式(4-6)，比较器的输入失调电压会随着输入信号频率的增加而增加，导致高频条件下的抖动性能会逐渐恶化。

比较器所引入的额外抖动不仅与比较器的电路结构有关，还与电路的偏置电流和外部输入信号的质量有关系。输入差分信号的差分摆幅，共模电压等因素都会影响比较器的抖动输出。如图 4-25 所示，倘若输入信号的差分电压和共模电压保持不变，增加比较器的偏置尾电流虽然增加了电路的功耗，但也会相应的降低比较器输出抖动。主要原因在于随着偏置电流的增加，虽增加了功耗，但是电路支路的切换能力也相应提高，输出信号的摆率增加，从而降低了抖动。

当偏置电流不变时，输入信号的摆幅的变化同样也会影响比较器的输出抖动。如图 4-26 所示，随着输入信号差分摆幅的变化，比较器的输出抖动先是减少然后再增加，最后达到一个饱和的状态。图 4-27 中，不同速率的信号通过比较器的时候也显示了同样的规律，这是一个很有趣的现象，主要原因是，当信号摆幅较小的时候，不能有效的使输入差分对管导通，支路电流不能完全切换，因此抖动较大。当摆幅慢慢增加，输入差分对管能有效导通，支路电流能够快速完全切换，输入信号的电平切换也较快，输出抖动较小。但是当摆幅进一步增大时，在摆率不变的条件下，输入信号的电平切换需要更久的时间，反而增加了输出抖动。

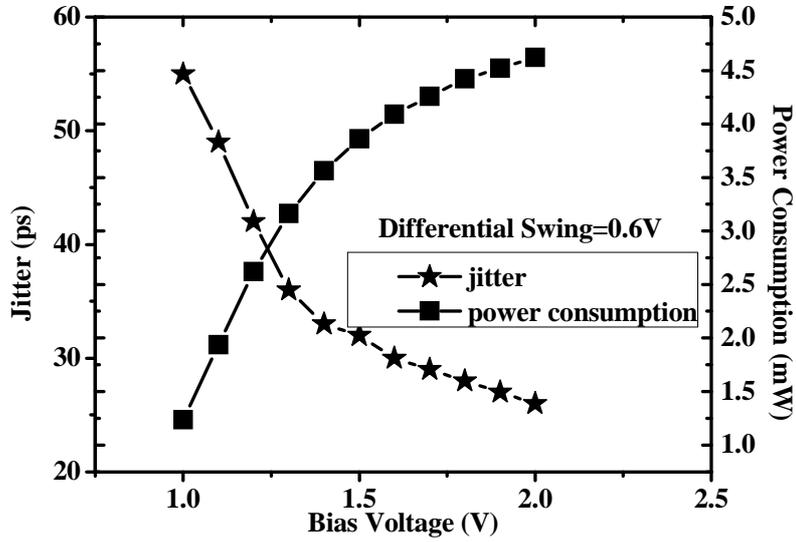


图 4-25 尾电流晶体管偏置电压与抖动和功耗的关系

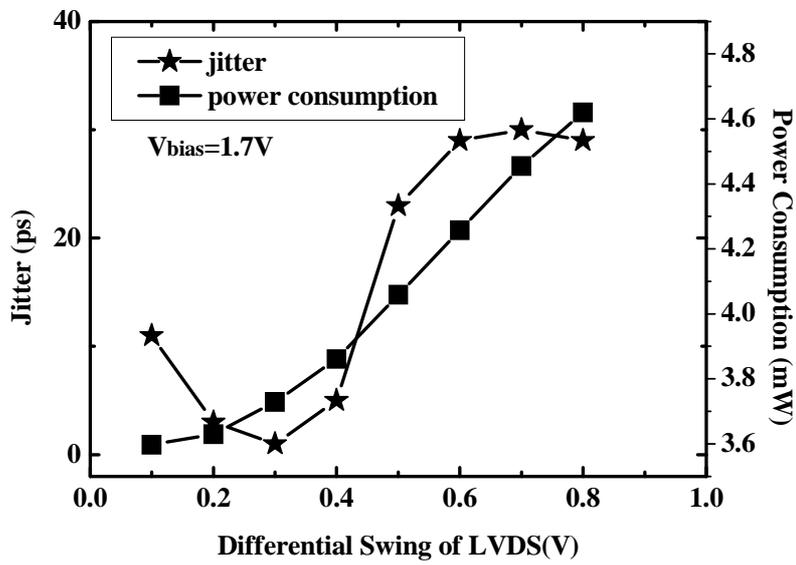


图 4-26 输入差分信号摆幅与抖动和功耗的关系

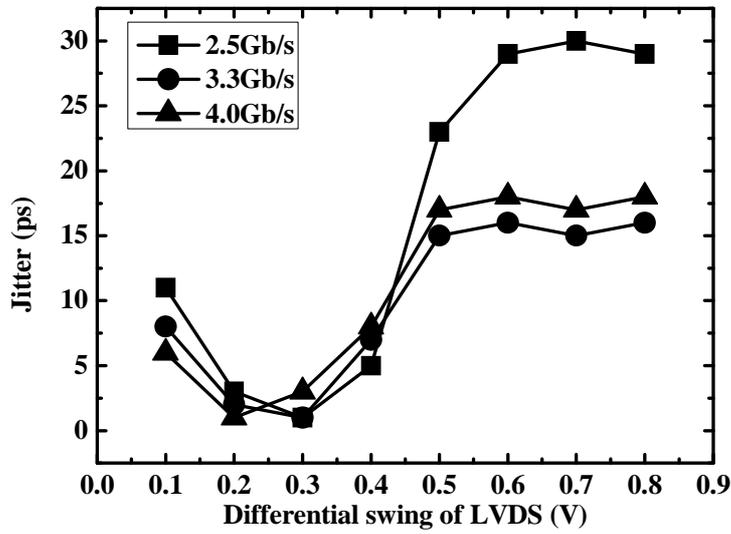


图 4-27 不同速率输入差分信号摆幅与抖动关系

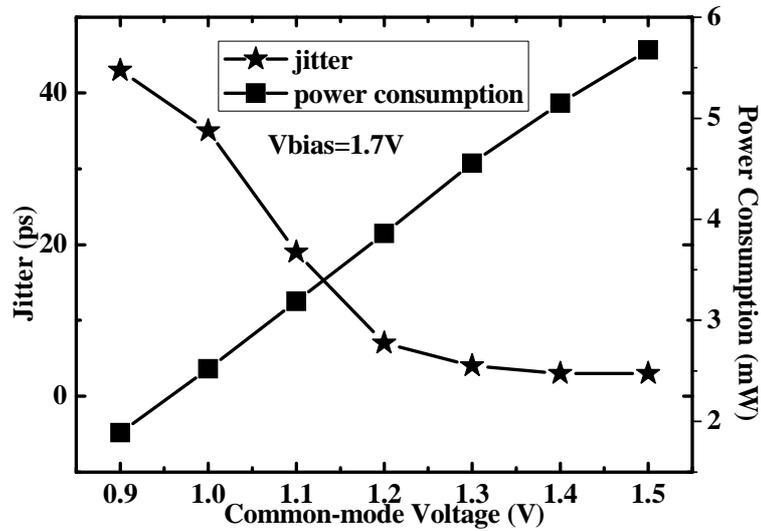


图 4-28 共模电压与抖动和功耗的关系

信号的共模电平同样会影响比较器的输出抖动。图 4-28 显示，在偏置电流和输入信号差分摆幅不变的条件下，随着信号共模电压的增加，比较器的输出抖动会逐渐的减少最后达到一个饱和的状态。

从以上各图所示，功耗是影响比较器输出抖动一个重要的因素，负载电容不变的条件下，功耗增加，意味着支路的电流切换能力增加，信号的切换速率增加，

所以就相应的减少了输出抖动，但是在功耗增加到一定的程度后，抖动基本上达到一个饱和的状态，此时，单独增加功耗已经无法再继续有效改善输出抖动了。在直流偏置相同的条件下，输入信号的摆幅会对电路的输出抖动具有重要的影响。

下图 4-29 仿真显示了理想的差分输入信号经过差分信号比较器后所引入的抖动情况，眼图触发周期为 $0.5UI$ 。在供电电压为 $3.3V$ 的条件下，输入差分信号的差分摆幅电压为 $0.3V$ ，共模电压为 $1.2V$ ，速率为 $2.5Gb/s$ ，比较器尾电流偏置管的偏置电压为 $1.7V$ 。在各种优化的条件下，差分信号经过比较器转换为 TTL 信号后，只引入了 $1ps$ 的额外抖动。

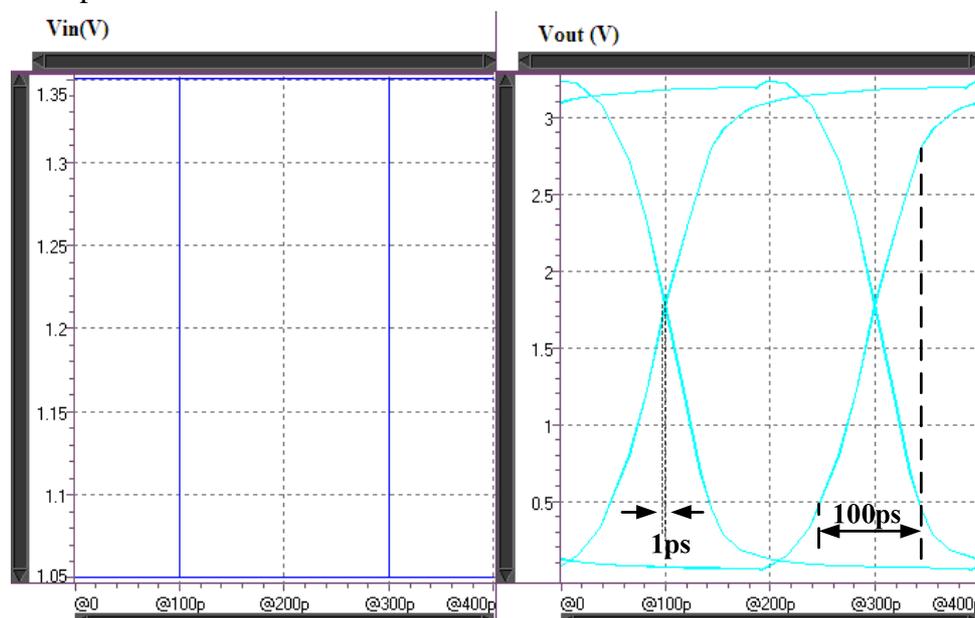


图 4-29 差分信号比较器输入信号和输出信号眼图

本文利用 Verilog-A 行为描述语言模拟实际的输入信号，并输入到均衡器和比较器中，通过仿真验证了均衡器和比较器的性能。

发送器端发送的 $2.5Gb/s$ 差分信号经过传输线后，信号发生了衰减和畸变，差分摆幅减少，差分共模电平出现波动。均衡器输入和输出眼图如图 4-30 所示，表明所设计的均衡器能够有效的扩展信号的摆幅。如图 4-31 和 4-32 所示，在非理想的条件下比较器同样能够正确的对差分信号进行判决，输出正确的 TTL 电平信号。

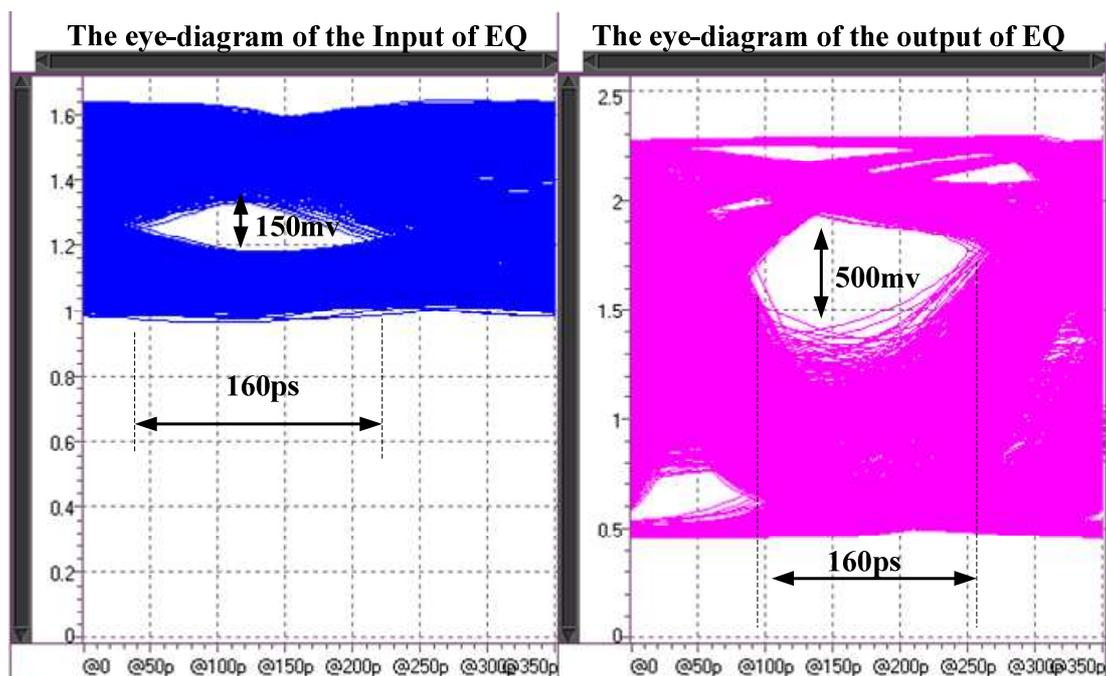


图 4-30 均衡器输入和输出眼图

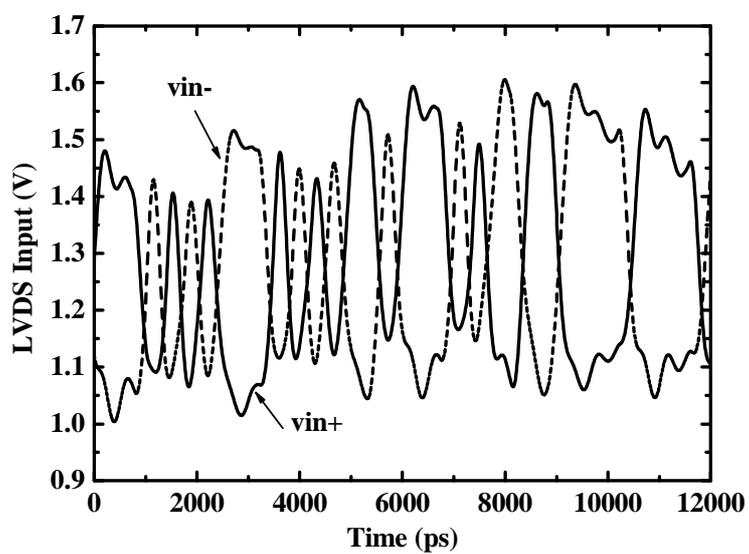


图 4-31 比较器差分信号输入

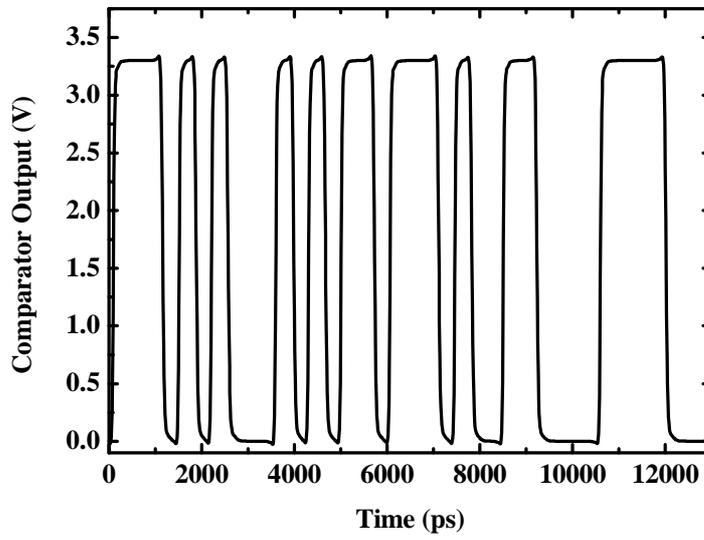


图 4-32 比较器判决输出

4.4 均衡器和比较器版图设计

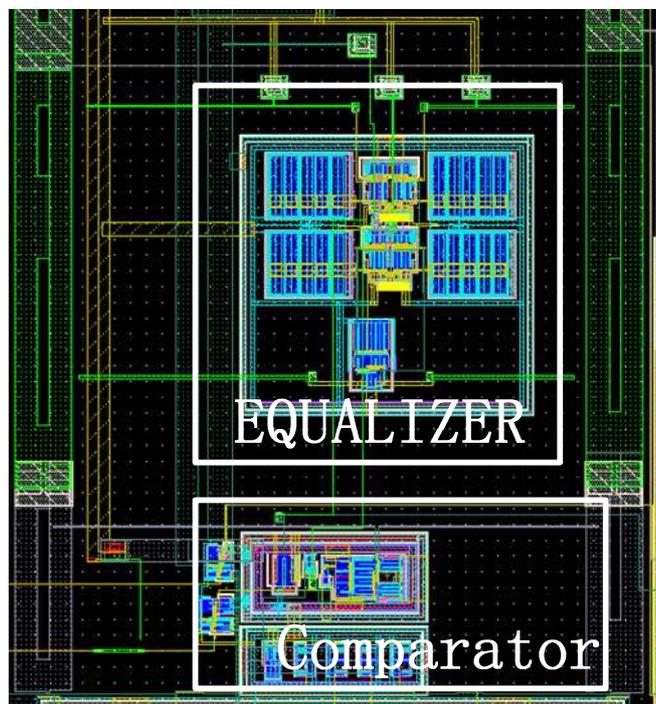


图 4-33 均衡器和比较器版图设计

均衡器和比较器版图如图 4-33 所示，分别采用阱隔离以避免相互之间的噪声影响。

4.5 本章小结

本章主要介绍了 SERDES 接口芯片中差分输入信号均衡器和比较器的设计。首先介绍了一些常用的均衡器电路结构，针对传统源极负反馈跨导滤波均衡器的不足，探索性的提出一种双电压偏置的源极负反馈跨导滤波均衡器，能够有效改善均衡器的高频增益和低频增益的比率，在基本不损耗低频增益的条件下提高高频增益。其次，详细的分析了差分信号比较器电路结构，工艺误差等因素对信号抖动的影响；结合一种比较器电路，指出不仅比较器的功耗大小会影响信号的输出抖动，信号的输入摆幅也会对输出抖动有着重要的影响，选择合适的输入摆幅和偏置尾电流将有助于获取最小化的输出抖动。最后，设计了电路的版图。

第五章 时钟与数据恢复电路设计

5.1 概述

在高速 SERDES 芯片的应用系统中，为了能够传输高速的数据，都会将时钟信息隐藏于所要传输的串行数据中，因此，SERDES 接口芯片中的时钟与数据恢复电路(Clock and Data Recovery: CDR)主要功能是接收输入高速串行信号并判断信号的相位，从中提取出时钟信息^[85]。实际的系统中，当高速信号在 PCB 板级电路或者线缆中传输时，由于路径距离和寄生电容等因素影响，信号从发送端到达接收端的时候，已经产生了随机的延迟，再加上传输过程中所引入的抖动和发送端和接收端同步时钟固有的频率偏差，将会使接收端采样时钟的相位与接收数据的相位发生了偏差。在高速条件下，数据的码元周期都比较小，一旦相位偏差超过一定的范围，就会发生采样错误。为了能够正确的对输入数据进行采样，满足系统传输误码率的指标要求，CDR 模块必须能够根据本地时钟和输入数据的相位差来正确的调整本地采样时钟的相位，以保证采样时钟的相位能够位于输入数据码元的中间位置。下图 5-1 描述了一个简化的时钟和数据恢复电路的原理，时钟恢复电路检测输入数据的跳变沿并调整本地采样时钟的相位。数据恢复电路利用调相后的时钟对相位飘移的输入数据进行采样输出。理想情况下，时钟采样时刻应该位于数据的中间位置，假若时钟采样时刻位于数据跳变沿位置，则容易产生采样错误。

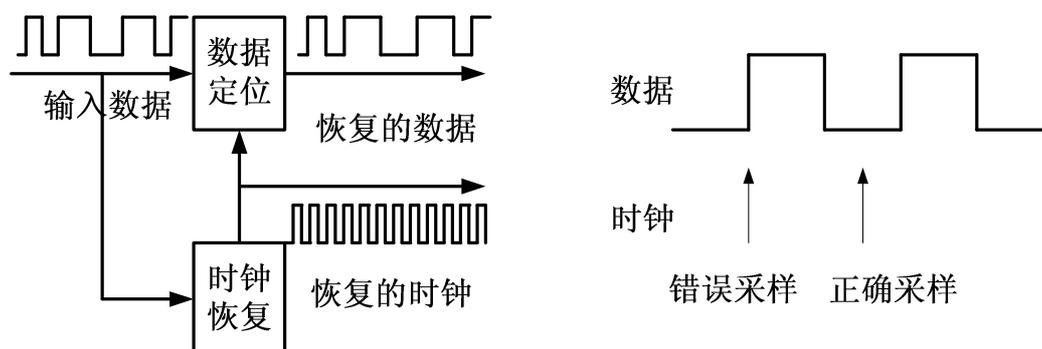


图 5-1 时钟与数据恢复原理

5.2 时钟与数据恢复电路结构

作为 SERDES 芯片中最重要的一个模块, CDR 担负着正确恢复数据的功能, 一直以来, 其都是业界研究的热点, 一些工作侧重于模型的研究^[86-88], 一些侧重于电路结构的设计^[89-93]。

为了满足各种工艺和误码率的指标要求, 业界提出了各种电路结构实现 CDR 的功能。根据结构的不同主要分为以下几类: 基于模拟锁相环结构^[14], 相位插值结构^[94-97], 脉冲注入锁定结构^[98], 过采样结构^[99], 基于门电路的振荡器结构^[16], 高 Q 带通滤波器结构^[2]和基于模数转换(ADC)的 feed-forward CDR 结构^[90]等。另外, 根据输入信号相位和本地采样时钟相位的关系, 又可以将 CDR 分为以下三个大类: (1) 利用反馈的方式进行相位跟踪的结构, 其中锁相环结构, 延迟线结构, 相位插值结构和脉冲注入锁定结构都属于这一大类。(2) 基于过采样的相位跟踪结构, 这种结构不需要相位反馈, 利用高速多相采样时钟对数据进行采样, 根据采样结构采用相应的算法对数据的跳变沿进行判断和采样。(3) 不需要反馈的相位重置结构, 包括基于门电路的环振结构和高 Q 带通滤波器结构。

5.2.1 基于锁相环结构的 CDR

根据是否利用外部参考时钟, 基于锁相环的 CDR 又可以细分为单环和双环结构。单环 PLL 的 CDR 结构利用单个 PLL 对数据进行恢复, 输入数据作为 PLL 的参考时钟, 这种结构的 CDR 必须先锁频再锁相, 在锁频环路到锁相环路的切换过程中容易发生失锁现象^[22]。双环 PLL 的 CDR 结构则包括两个 PLL 环路, 其中一个环路利用外部参考时钟锁定采样频率, 另外一个环路根据输入数据的跳变沿调整采样时钟相位, 从而恢复出数据^[101]。下图 5-2 和图 5-3 分别显示了单环 PLL 的 CDR 结构和双环 PLL 的 CDR 结构。

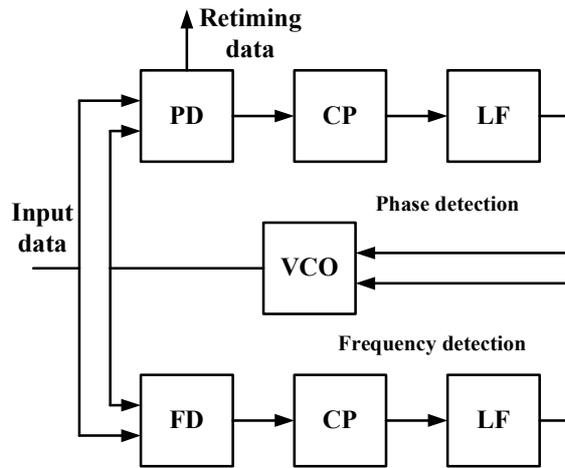


图 5-2 单环 CDR 结构

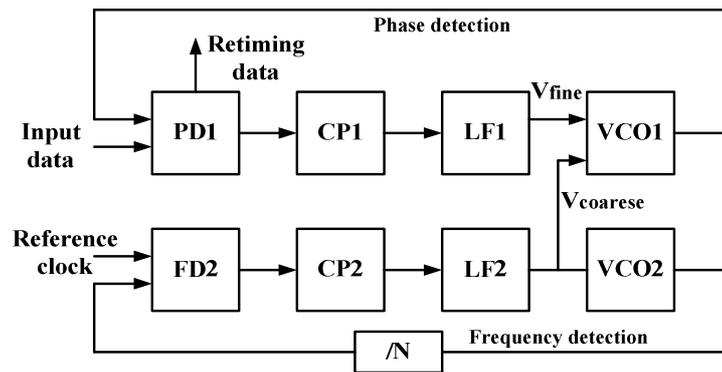


图 5-3 双环 CDR 结构

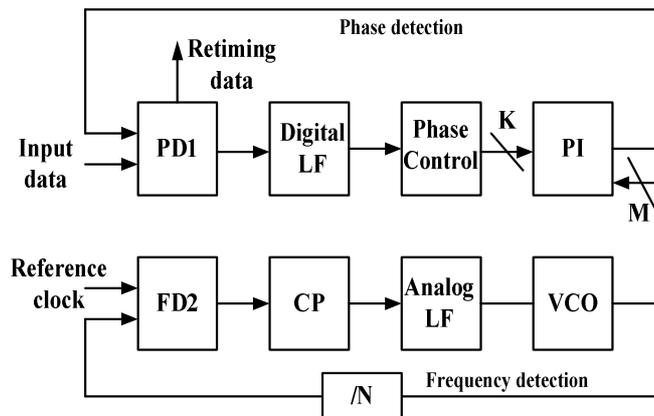


图 5-4 基于相位插值结构的 CDR

5.2.2 基于相位插值结构的 CDR

基于相位插值的 CDR 结构采用双环路结构,通常其中一个环路利用 PLL 实现,锁定采样频率。另外一个环路则根据输入信号的向外调整本地采样时钟的相位,从而恢复出数据,如图 5-4 所示。

在这种结构中,利用数字低通滤波器(DLF)对相位检测结果进行滤波,相位插值器(Phase Interpolator:PI)根据相位检测结果对采样时钟的相位进行插值调整。插值结构的 CDR 电路由于采用了双环结构,具有锁频稳定且快速锁相的优点,但是其峰峰值抖动较差,实际设计时需要仔细的优化系统的峰峰值抖动。值得注意的是,如果系统的环路延迟相对于 PI 相位检测周期来所不算太大,则可以获得较小的系统峰峰值抖动,因为当插值控制信号传到 PI 的时候,快速变化的抖动已经改变了极性^[2]。插值结构的 CDR 还能够工作在较宽的传输速率范围内,对于发送端和接收端采用不同的参考频率信号的应用来说,具有较大的频率容限。为了减小插值 CDR 的峰峰值抖动,需要仔细的考虑相位插值器的线性度和整个 CDR 的环路延迟。

5.2.3 脉冲注入锁定式 CDR

脉冲注入锁定式 CDR 实际上是插值式 CDR 的另外一种变化形式,同样具有快速锁定且锁频稳定的优点,而且其相位变化相对于插值式 CDR 更加平滑,其电路结构如图 5-5 所示。

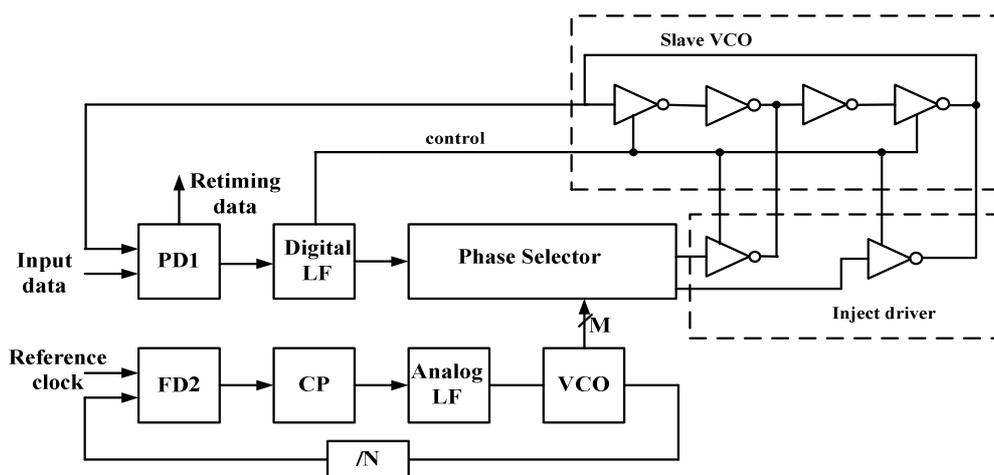


图 5-5 脉冲注入锁定式 CDR

脉冲注入锁定式 CDR 结构中，利用相位选择器(Phase Selector)，从属振荡器 (Slave Oscillator)和注入驱动器(Injection Driver)实现相位插值的功能。其中，从属振荡器的功能类似于一个低通滤波器和相位平滑器，用于校正采样时钟的占空比失真，因此其恢复出的时钟相位变化更加平滑。在锁定的时候，相位选择器输出的两相时钟需要保持 180° 的相位差以保证脉冲能够平衡注入从属振荡器。相对于传统的 PI 结构 CDR，脉冲注入锁定 CDR 的采样时钟占空比更好，相位抖动更小，但是需要对增加的从属振荡器进行详细的设计折中以防止外部噪声（电源噪声，衬底噪声和邻近电路干扰等）注入影响系统的抖动性能。

5.2.4 过采样 CDR

过采样 CDR 通过对输入信号进行多点采样，根据采样结果判断数据的跳变沿来进行数据恢复。由于是对多相采样结果进行处理，因此，其数据恢复电路包括了数据选择器，数据寄存器和比特边沿检测器三个部分。当数据选择器对采样数据进行选择时，数据寄存器用于暂存过采样数据，而比特边沿检测器则确定采样比特的边沿，以控制数据选择器能够正确的恢复出数据。

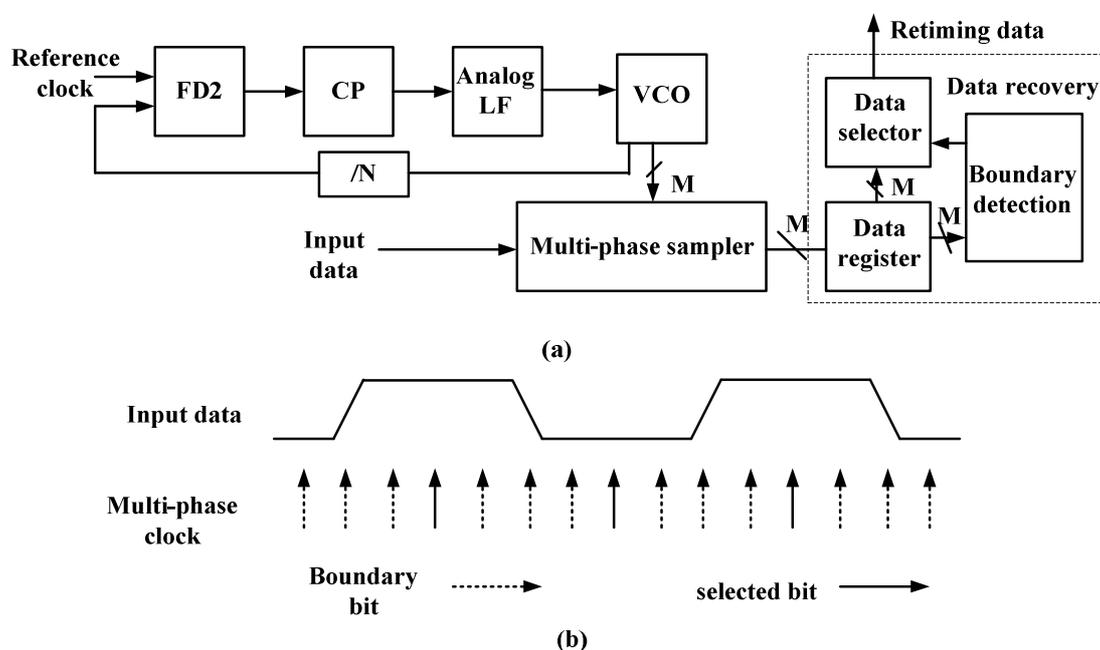


图 5-6 过采样 CDR 结构

由于过采样 CDR 没有采用负反馈机制，其优点是锁定迅速，系统的累积抖动

较小，可以工作在较高的传输速率条件下，但是过采样 CDR 需要检测数据的边沿才能够正确的恢复数据，因此为了克服高频抖动，其对输入数据的要求是具有较多的跳变沿，同时，需要较大的数据寄存器进行数据寄存。

5.2.5 基于门电路环振的 CDR

对于一些需要恢复出突发数据的应用，比如光纤网络和光纤路由系统，一般是采用基于门电路环振的 CDR，如图 5-7 所示。这种类型的 CDR 的时钟振荡器由门电路构成，其触发条件是检测是否有数据跳变沿到来，如果有数据跳变信号则触发环振工作，并对数据进行采样。基于门电路环振 CDR 的频率调谐范围由一个相同的门电路环振 VCO 决定，这个 VCO 嵌入在一个锁相环中，通过调整参考时钟信号控制着环振的工作频率范围。这种类型的 CDR 的结构简单，功耗低，但是由于采用的是门电路环振，其抖动性能较差且时钟相位容易受到工艺和温度波动的影响^[17]。

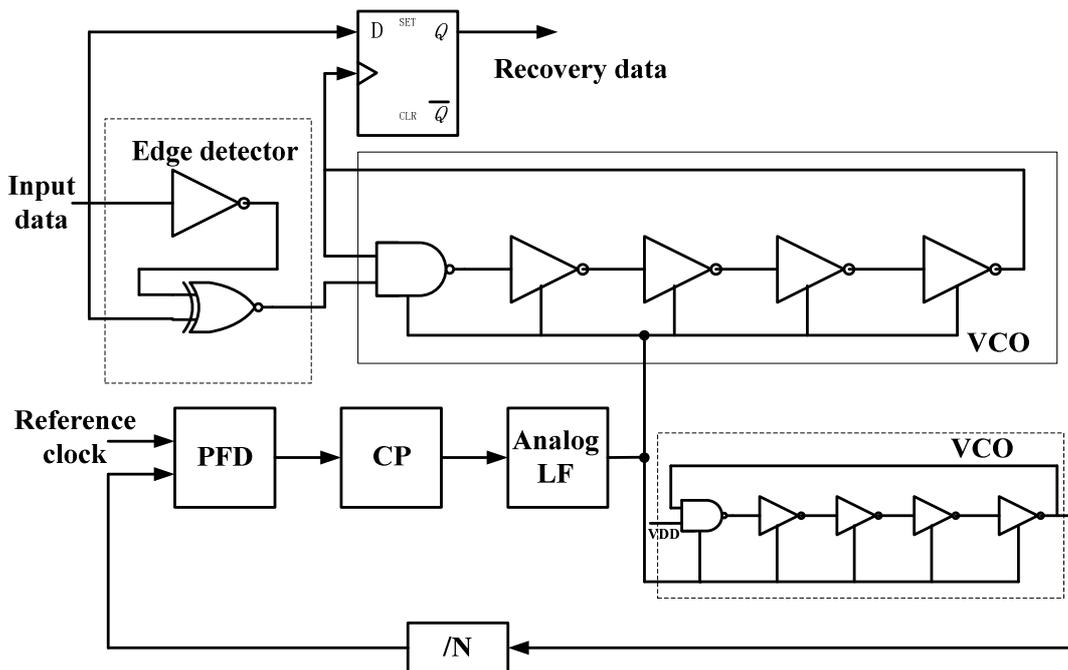


图 5-7 基于门电路环振的 CDR

5.2.6 基于高 Q 带通滤波器的 CDR

如果将门电路环振改为高品质因子的带通滤波器，则称为基于高 Q 带通滤波器的 CDR，如图 5-8 所示。高 Q 带通滤波器根据跳变沿信号脉冲提取出数据的频率信号，从而对数据进行采样恢复。通常滤波器可以采用 LC 滤波器，声表面波 (SAW) 滤波器实现。虽然这种类型的 CDR 结构简单，功耗低，但是其也同样容易受到输入抖动和工艺和温度波动的影响，导致抖动性能较差。

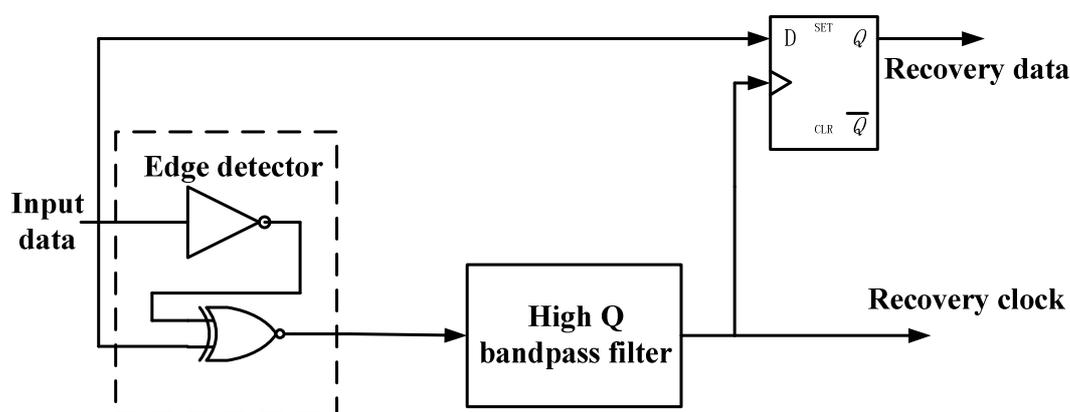


图 5-8 基于高 Q 带通滤波器的 CDR

5.2.7 基于模数转换结构的 feed-forward CDR

基于模数转换(ADC)结构的 feed-forward CDR 采用模数转换器首先将输入高速信号转换为相应的数字序列，然后通过相位判决算法，判断信号的过零点位置，提取出数据和时钟^[90]。

以上各种 CDR 结构都各有特点，基于锁相环的 CDR 对输入抖动具有很好的抑制特性，但是需要考虑系统的稳定性能和峰峰值抖动。基于 PI 的 CDR 系统稳定性好但是容易产生量化误差，影响相位跟踪性能。脉冲注入式 CDR 具有良好的采样时钟占空比特性但是却需要额外的环振。过采样由于采用的是数字解决方案，其工艺兼容性好。同时，由于需要较大的数据寄存器以保存数据，其环路延迟较大。门电路环振 CDR 和高 Q 带通滤波器 CDR 结构简单，锁定速度快，但是对输入抖动没有抑制能力，更容易受到工艺和温度波动的影响，导致输出抖动性能恶化。基于模数转换结构的 CDR 需要设计高速模数转换器作为前端采样，要求具有高带宽的模数转换器和复杂的判决算法。

总的来说，各种 CDR 结构都既有优点也有不足的一面，CDR 结构的选用应当

是根据特定的应用场合进行选择。下表罗列了各种 CDR 结构优点和不足，也给出了不同类型的 CDR 的应用场合建议。

表 5-1 各种 CDR 结构优缺点

CDR 结构	优点	缺点
基于锁相环	有效抑制输入抖动	锁定时间长
相位插值	环路稳定性好，多相时钟共享 PLL	存在相位量化误差
注入式	抖动容限好，时钟占空比均衡	存在相位量化误差
过采样	不需要反馈调整时钟相位	需要大的存储空间
基于门电路环振	不需要反馈调整时钟相位，快速锁定	不能抑制输入抖动
基于高 Q 值滤波器	不需要反馈调整时钟相位，快速锁定	需要高 Q 值 LC 滤波器，不能抑制输入抖动
基于模数转换器	不需要对采样时钟进行相位控制	判决算法复杂

5.3 基于相位插值器结构的 CDR 设计

5.3.1 CDR 电路原理

基于相位插值器的 CDR，环路稳定性好，易于数字实现，所以得到广泛的应用^[94,95,96,97]。插值结构 CDR 如图 5-9 所示，包括数据采样器 (Data Sampler)、相位检测器 (Phase Detector)、数字滤波器(Digital Filter)、相位插值器(Phase Interpolator)和锁相环(PLL)。相位插值器调整锁相环产生的本地时钟相位，对输入数据进行采样，利用相位检测器对该采样结果进行相位判断，输出相位变化的低频分量，并根据该低频分量控制相位插值器的权重，进一步调整采样时钟的相位。

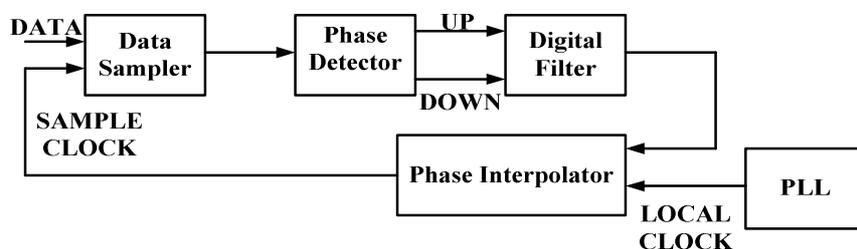


图 5-9 基于相位插值结构的 CDR 结构图

5.3.2 CDR 电路分析

不同于基于锁相环结构的 CDR，相位插值 CDR 主要是处理数字信号，其对相位的判断分析主要是基于 Bang-Bang 型相位检测器(BBPD)的基础之上。BBPD 具有较高的相位检测增益，能够处理高速脉冲信号，业界已经提出了不同的模型来分析 BBPD 的非线性特性^[86,87,102]，其中一个有效的办法是在 Z 域进行 CDR 相位分析^[102]。如图 5-10 所示， ϕ_{in} 表示输入数据的相位， ϕ_{samp} 表示采样时钟的相位， ϕ_{err} 表示输入数据和采样时钟的相位差， $Q(\phi_{err})$ 表示相位检测结果， $Q(N_{err})$ 表示表决器判决结果， K_{PD} 为相位检测器增益， K_{VOTE} 为表决器增益， K_{PF} 为滤波器增益， K_{PI} 为相位插值器增益， N_{del} 为环路的总延迟。

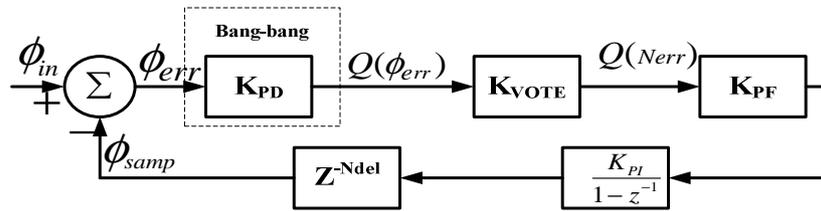


图 5-10 基于相位插值器 CDR 结构 Z 域模型

5.3.2.1 Bang-Bang 型相位检测器模型

Bang-Bang 鉴相器是一种典型的非线性二进制鉴相器，与线性鉴相器不同，Bang-Bang 鉴相器的输出与采样时钟和输入数据相位差的大小无关，鉴相器输出“1”和“0”分别只代表采样时钟和输入数据的相位是超前还是滞后。Bang-Bang 鉴相器类似于一个符号判决器，其输出就是相位差的符号，即

$$Q(\phi_{err}) = \text{sign}(\phi_{in} - \phi_{samp}) \quad (5-1)$$

理论上，Bang-Bang 鉴相器的输出只具有两个饱和电平值(V_s 和 $-V_s$)，如图 5-11 所示。相应的，Bang-Bang 鉴相器的相位输出行为也发生了变化。但是，由于输入数据抖动和采样时钟具有抖动现象，在抖动区域内，随机的相位差别导致 PD 的平均输出电平输出低于饱和电平。

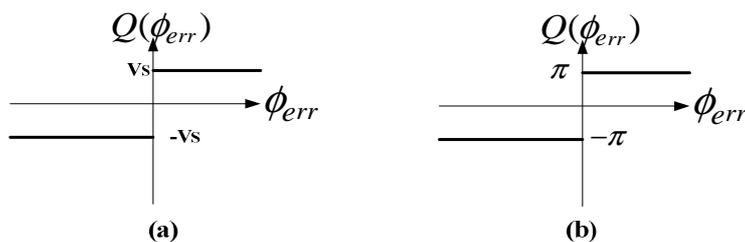


图 5-11 理想 Bang-Bang 鉴相器电压和相位输出

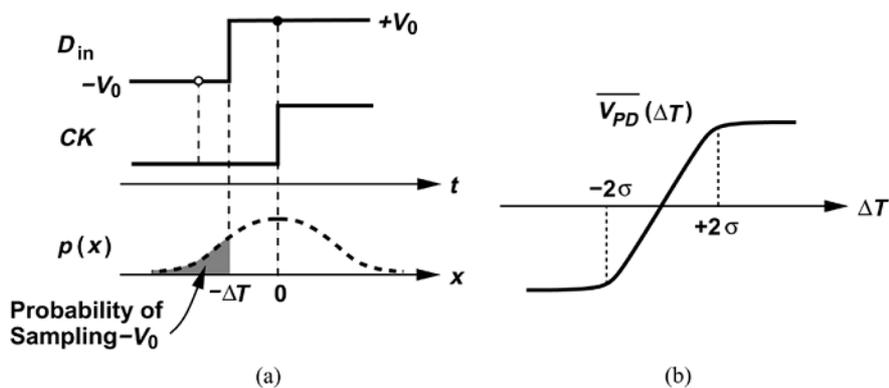


图 5-12 非理想 Bang-Bang 鉴相器概率传输^[86]

假设采样时钟和输入数据具有 ΔT 的相位差, 抖动分布为 $p(x)$, 方差为 σ , 在 ΔT 时刻采样时钟前后抖动的概率是相等的, 如图 5-12 所示, 则采样输出分别为^[86]

$$\overline{V_{PD}(\Delta T)} = -V_0 \int_{-\infty}^{-\Delta T} p(x) dx + V_0 \int_{-\Delta T}^{+\infty} p(x) dx \quad (5-2)$$

$$\overline{V_{PD}(\Delta T)} = -V_0 \int_{+\Delta T}^{+\infty} p(x) dx + V_0 \int_{-\infty}^{-\Delta T} p(x) dx \quad (5-3)$$

鉴相器的输出是鉴相器饱和输出值与抖动噪声的卷积, 当 $|\Delta T| < 2\sigma$ 时, 鉴相器的输出存在一个线性区。

同样, 在采样的时刻, 也同时存在满足高斯分布, 抖动噪声概率密度为 $p_n(x)$, 方差为 σ_n 的外部噪声, 则输出为

$$\overline{V_{tot}(\Delta T)} = \int_{-\infty}^{+\infty} \overline{V_{PD}(\Delta T - u)} p_n(u) du \quad (5-4)$$

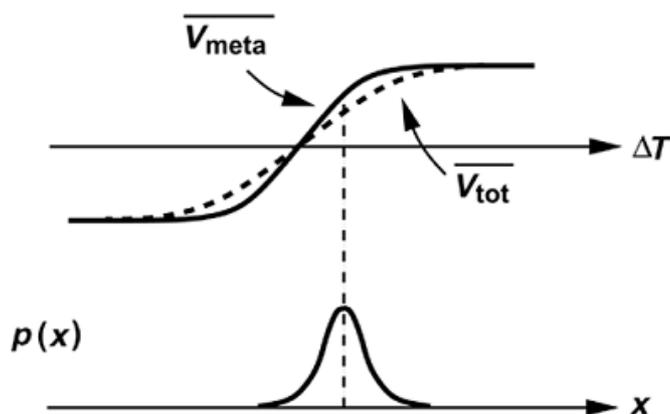


图 5-13 bang-bang 鉴相器采样时刻的平均输出^[102]

由于噪声的影响，鉴相器的线性斜率进一步降低，线性区进一步扩宽，如图 5-13 所示，其平均输出可以表示为^[102]

$$V_{mean} = \frac{\phi_{err} \cdot slope \cdot \sqrt{2}}{\sigma_v \sqrt{\pi}} \quad (5-5)$$

在过零点，PD 输出电压的方差可以表示为 $\sigma_v = slope \cdot \sigma_n$ ，因此，可以得到

$$V_{mean} = \frac{\phi_{err} \sqrt{2}}{\sigma_n \sqrt{\pi}}, \quad \text{其归一化平均增益系数为}$$

$$K_{PD} = \frac{\sqrt{2}}{2\sigma_n \sqrt{\pi}} = \frac{1}{\sigma_n \sqrt{2\pi}} \text{ (radian / unit)} \quad (5-6)$$

以上对 PD 的分析是在时域里进行的，同样的，如果是在相位域里，一个完整的 Bang-Bang 鉴相器的归一化小信号增益 K_{pd} 也可以表示为

$$K_{PD} = \frac{1}{\sigma_n \sqrt{2\pi}} \text{ (radian / unit)} \quad (5-7)$$

5.3.2.2 表决器模型

表决器的输入是相位检测器(PD)的判决输出，对输入进行多数投票表决输出。意味着电路会在同一个时刻对所有输入的电平进行判断，如果时钟超前于数据相位的占据多数，则表决器输出超前信号，反之则输出滞后信号。从另一个角度来看，也可以认为是利用一个采样时钟对输入数据进行采样，根据输入信号 0 和 1 的个数的差值，判断输出。因此，表决器的输出只有两种状态，在相位域上表示为 π 或者 $-\pi$ ，如下图 5-14(a)所示。类似于 Bang-Bang 相位检测器根据相位误差判断输出，表决器根据输入信号中“0”和“1”的个数的差异来判断输出，1 比 0 多则输

出 1，否则输出 0。理想情况下，仅仅输出 1 和 0 两种状态表征相位超前和滞后，由于表决电路本身也具有固有的抖动噪声的影响，其输出同样可以认为是理想输出和抖动噪声的卷积的结果，因此，表决器的小信号增益可以表示为：

$$K_{VOTE} = \frac{1}{\sigma_v \sqrt{2\pi}} (\text{radian / unit}) \quad (5-8)$$

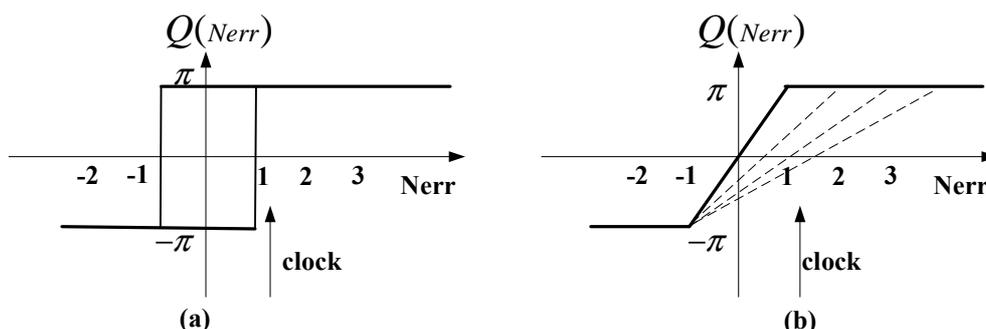


图 5-14 表决器相位传输特性

实际表决器输出特性曲线如图 5-14(b)所示，其中，横轴表示表决器输入中 1 的个数和 0 的个数的差值。理想情况下，如果检测到差值为 1 则表决器即可正确的输出饱和电平 V_S （或者 $-V_S$ ）。但是由于内部噪声的影响，其增益变小，如图虚线所示，导致在某一个固定的采样时刻输出了错误的电平值。噪声越大，则斜率越小，因此，减少表决器的内部噪声将有助于获取正确的表决结果。另外，由图可以看到，若希望获取正确的表决结果，一种方法是将时钟采样时刻延后，待表决器完全表决稳定之后再进行采样输出。另外一种方法是采样时刻不变，但是减少表决器的表决延时，在时钟采样时刻来临之时表决器已经完成表决过程。

5.3.2.3 相位滤波模型

相位滤波(Phase Filter)的功能是将相位检测结果进行滤波，获得相位变化的低频直流分量。可以采用数字滤波器或者计数器实现滤波功能，其增益用 K_{PF} 表示，表示每隔多少周期内对相位进行一次采样。

5.3.2.4 相位插值器模型

相位插值模块根据输入的数字信号对时钟信号相位进行积分，从而改变本地时钟的输出相位，以实现正确的数据采样功能。相位插值传输函数是一个重要的参数，表征了输出相位与输入控制信号之间的关系，理想的传输函数应该是一条直线，表明相位随输入信号线性变化。相位插值器的增益 K_{PI} 通常表示需要进行多

少次基本的相位调整步进才能调整一个完整的码元(UI)。

5.3.2.5 环路延迟增益

环路延迟增益 K_{DL} 表征了整个 CDR 环路中数据的延迟，环路延迟 N_{del} 越大，则环路增益越小，跟踪抖动的能力越小，因此，必须采用相应的技术减少环路延迟。

5.4 CDR 环路相位传递函数和抖动容限

一个 CDR 系统的性能一般用以下四个指标来衡量：抖动传输 (J_{TRAN})，抖动峰值 (J_{PEAK})，抖动容限 (J_{TOR}) 和抖动生成 (J_{GEN})。抖动传输指的是输出抖动和输入抖动的比率，其表示的是输入抖动是如何传递到输出端的。为了抑制输入抖动，抖动传输函数应该是一个低通滤波器。抖动峰值指的是抖动传输函数的幅度增益，由于抖动峰值会不断叠加，所以其通常会导致严重的累积抖动。系统的抖动容限指的是在一定的误码率条件下，系统所允许输入的最大相位抖动，其表示的是 CDR 系统从噪声环境中恢复信号的能力。抖动容限本质上也应该是一个低通滤波系统，因为其不可能及时的对高频抖动产生响应。为了跟踪数据的高频抖动，抖动容限应该有一个比较大的抖动容限带宽。抖动生成指的是当输入数据是理想无抖动的时候，CDR 环路输出端所产生的抖动，它表示了 CDR 环路自身抖动产生的大小。

一个理想的 CDR 系统，应该具有低抖动传输带宽，高抖动容限带宽，抖动峰值增益为 1 且自身环路产生的抖动要小。

根据图 5-10 所示，相位插值器结构整个环路的相位传递 Z 域模型可以表示为，

$$\phi_{samp} = (\phi_{in} - \phi_{samp}) \cdot K_{PD} \cdot K_{VOTE} \cdot K_{PF} \cdot \frac{K_{PI}}{1-Z^{-1}} \cdot Z^{-N_{del}} \quad (5-9)$$

则相位传递函数为

$$H(Z^{-1}) = \frac{\phi_{samp}}{\phi_{in}} = \frac{K_{PD} \cdot K_{VOTE} \cdot K_{PF} \cdot \frac{K_{PI}}{1-Z^{-1}} \cdot Z^{-N_{del}}}{1 + K_{PD} \cdot K_{VOTE} \cdot K_{PF} \cdot \frac{K_{PI}}{1-Z^{-1}} \cdot Z^{-N_{del}}} \quad (5-10)$$

$$\text{设 } G(Z^{-1}) = K_{PD} \cdot K_{VOTE} \cdot K_{PF} \cdot \frac{K_{PI}}{1-Z^{-1}} \cdot Z^{-N_{del}} \quad (5-11)$$

可得

$$H(Z^{-1}) = \frac{\phi_{smp}}{\phi_{in}} = \frac{G(Z^{-1})}{1+G(Z^{-1})} \quad (5-12)$$

同样，相位误差传递函数为

$$H_{err}(Z^{-1}) = \frac{\phi_{err}}{\phi_{in}} = \frac{1}{1+G(Z^{-1})} \quad (5-13)$$

系统的抖动容限指的是在一定的误码率条件下，系统所允许输入的最大相位抖动 $Max(\phi_{in})$ ，如图 5-15 所示，因此，系统的抖动容限函数 H_{jt} 就可以用所允许的最大输入相位抖动 ($Max(\phi_{in})$) 来表示，在一定的误码率条件下，它与系统所允许在最大相位误差 ($Max(\phi_{err})$) 存在着特定的关系，即

$$H_{jt} = Max(\phi_{in}) = (1+G(Z^{-1})) \cdot Max(\phi_{err}) \quad (5-14)$$

由上式(5-11)和(5-14)可以看到，减少环路的延迟可以提高环路的抖动容限。

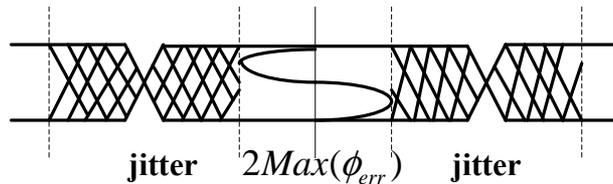


图 5-15 串行系统的抖动容限示意图

5.5 CDR 系统设计

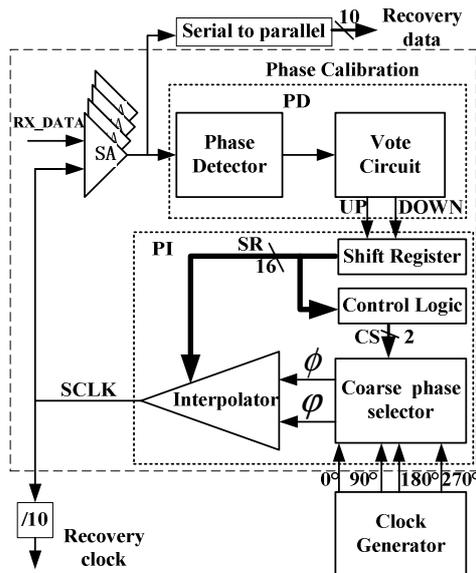


图 5-16 CDR 系统结构图

本文设计的 CDR 系统如上图 5-16 所示，相位检测模块包括相位检测器和相位表决器，表决器输出表决信号控制移位寄存器的输出，从而调整插值器的状态。粗略相位选择器根据输入的四相时钟，经过处理之后输出两相时钟（ ϕ 和 $\bar{\phi}$ ），插值器则对该两相时钟进行相位插值。

5.5.1 相位检测算法和电路设计

为了满足系统误码率的指标要求，CDR 系统中的相位检测电路(phase detector)和相位插值电路(phase interpolator)必须要仔细的进行设计。在相位检测电路中，Alexander 相位检测器是一种使用比较广泛的相位检测器^[22]。其原理如图 5-17(a)所示，利用三个相位相差 90°的时钟对数据进行采样，根据采样结果来判断采样时钟和数据的相位关系。如果数据没有发生跳变，三个采样值 S1, S2, S3 都相同。当数据存在跳变的时候，如果时钟相位超前于数据相位，那么第一个采样值 S1 与后两个采样值 S2, S3 不同。如果时钟滞后于数据，则采样值 S1, S2 相同但是与 S3 不同。因此，利用异或运算， $S1 \oplus S2$ 和 $S2 \oplus S3$ 就可以得到时钟和数据的相位关系。假设 T 是每个数据发生跳变时相位关系检测的结果，通过如下算法确定 T 值。

如果 $S1 \oplus S2 = 1$ ， $S2 \oplus S3 = 0$ 则采样时钟滞后于数据， $T=0$ 。

如果 $S1 \oplus S2 = 0$ ， $S2 \oplus S3 = 1$ 则采样时钟超前于数据， $T=1$ 。

如果 $S1 \oplus S2 = 0$ ， $S2 \oplus S3 = 0$ 则数据无跳变， $T=0$ 。

为了降低采样时钟的频率，接收器采用四相时钟进行半速率相位检测。结构如图 5-17(b)所示。对于高速数据传输系统来说，如果只是 1 比特的鉴相数据，则会产生同样高速的检测结果，容易受到输入噪声的影响。所以，需要利用表决电路对相位检测结果进行表决滤波，以消除不必要的抖动。在相位检测期间，PD 利用 4 相采样时钟持续采样 8 比特数据，对检测结果进行表决处理并保持到下一个检测周期。为了持续采样 8 比特数据，需要利用 7 个基本的 Alexander 相位检测电路，如图 5-17(b)所示。如果 T[1], T[2], T[3], T[4], T[5], T[6]和 T[7]分别表示在每个数据比特跳变时的相位检测结果，则最终的相位判决算法如下。

如果 $\sum_{k=1}^7 T[k] > \sum_{k=1}^7 \overline{T[k]}$ ，则 UP=1, DOWN=0;

如果 $\sum_{k=1}^7 T[k] < \sum_{k=1}^7 \overline{T[k]}$ ，则 UP=0, DOWN=1;

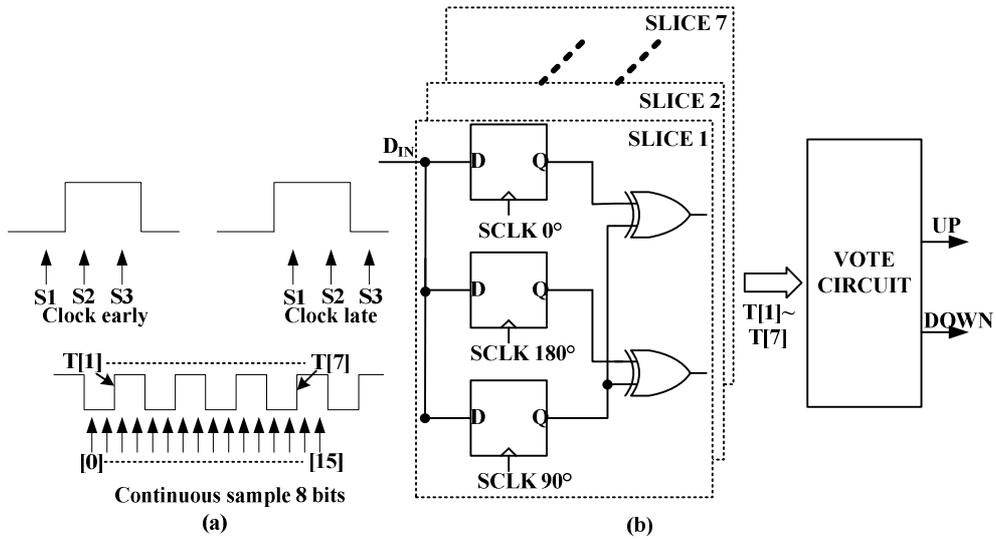


图 5-17 相位检测原理和结构图(a)Alexander 相位检测器(b)半速率采样检测结构

传统的表决器电路利用逻辑与非门实现^[103]，如图 5-18 所示，在表决变量较少(如 4 输入)且供电电压较高时的时候，该电路能够迅速的输出判决结果，但是一旦表决变量较多(如 8 个以上输入)且供电电压低，导通电阻会加大，该电路已经不能有效工作在高速低供电电压状态下。

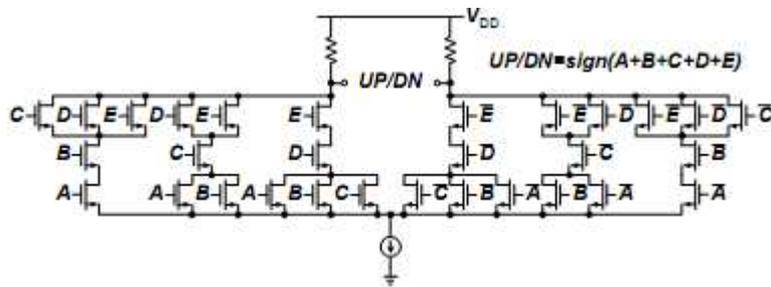


图 5-18 传统表决器电路^[103]

为了提高检测速度和降低环路延迟，CDR 采用了一种新颖的表决电路以实现相应的判决算法。其电路结构如图 5-19(a)所示，表决电路由 22 个二选一选择器构成，每个选择器有三个输入端 (A,B 和 C) 和一个输出端 (C)。选择器的选择控制端(D)的信号是相位检测结果 T[k]，表决器逻辑仿真如图 5-19(b)所示。图 5-19(a)所示的平均电路的环路延迟最大值是单个二选一选择器电路延迟的 7 倍，仔细设计选择器电路的传输门，可以获得最优的环路延迟。

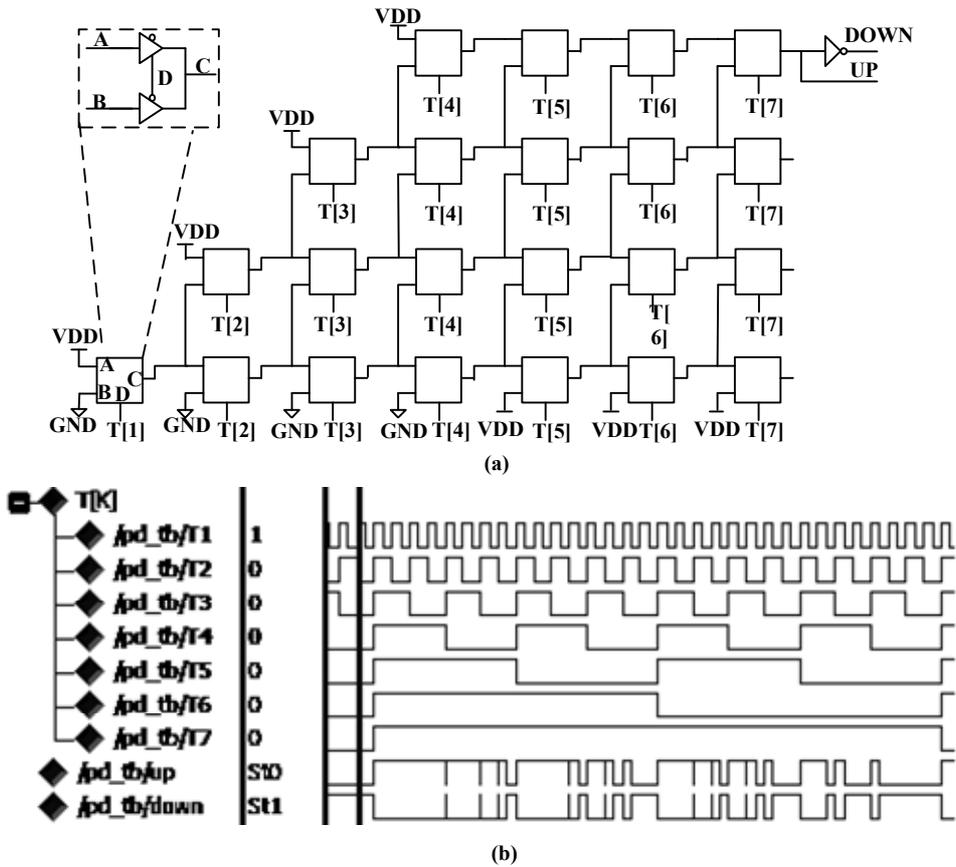


图 5-19 表决器电路和仿真波形 (a)表决器电路 (b)表决器仿真

5.5.2 环路参数设计

为了能够跟踪数据的抖动，接收器的跟踪速率(T_{rec})必须要大于数据抖动的漂移速率(D_J)，系统的抖动和数据传输速率可以近似为正比例关系，即^[96]

$$D_J / D_{JBW} = T_J / T_{JBW} \quad (5-15)$$

其中 D_{JBW} ， T_J 和 T_{JBW} 分别是抖动的数据传输速率（即允许的抖动带宽），数据的总抖动和数据传输率。对于接收器的跟踪速率，可以表示为。

$$T_{rec} = \alpha / N_D \quad (5-16)$$

其中 α 是相位检测时间和保持时间的比值， N_D 是整个相位检测期间内的总的数据传输序列。 N_D 越小则表示接收器的跟踪速率 T_{rec} 越大，为了能够跟踪抖动，必须满足关系

$$T_{rec} \geq D_J \quad (5-17)$$

根据式(5-15),(5-16)和(5-17)，可以得到

$$N_D \leq \alpha \cdot T_{JBW} / (T_J \cdot D_{JBW}) \quad (5-18)$$

值得注意的是， α 表示的是检测时间和保持时间的比值，虽然小的 α 可以减少系统的跟踪抖动，但是过小的 α 则会减少检测的准确度。

假设根据设计的需要，定义的指标如下 $T_{JBW} = 1500 \text{Mbit/s}$ ， $T_J = 0.6UI$ 和 $D_{JBW} = 2 \text{Mbit/s}$ ，可以得到

$$N_D \leq 1250\alpha \quad (5-19)$$

如果相位检测周期是 T_D 个时钟周期，移位寄存器输出一共是 N_S 比特，则需满足关系

$$T_D \cdot N_S \leq 1250\alpha \quad (5-20)$$

基于以上的分析，同时考虑系统所能容忍的峰峰值抖动和芯片面积，接收器每 16 个时钟周期对数据进行一次相位检测，使得 $\alpha = 0.33$ 。移位寄存器输出则采用 16 比特移位输出。

5.5.3 信号采样器设计

信号采样器采用基于灵敏放大器的差分触发器结构，采用这种结构的触发器可以满足高速采样的应用需求。本文采用的灵敏放大触发器结构如图 5-20 所示^[104]，当采样时钟 CLK 为低电平时，电路节点 N1 和 N2 都保持高电平。CLK 上升沿来之后，尾电流管导通，根据输入差分数据的极性，某一差分支路会导通，电流流过导通支路，N1 或者 N2 节点处存储的电荷会慢慢释放，最终其中一个节点慢慢变为低电平而另外一个节点维持高电平，N1 和 N2 电平极性相反使得 RS 触发器保持采样输出。

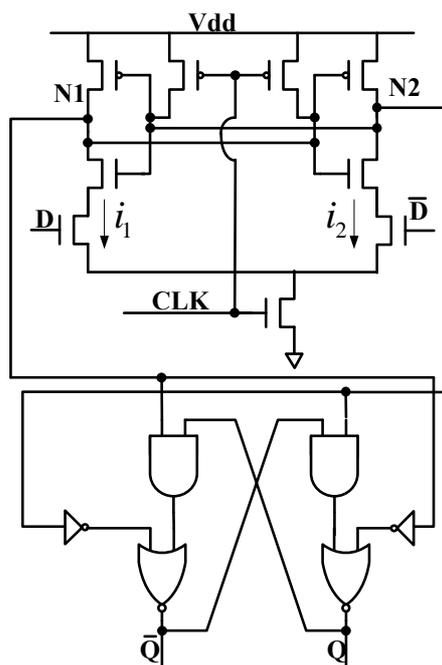


图 5-20 灵敏放大触发器结构

5.5.4 时钟选择和插值器设计

本文采用的相位插值器权重值是 16 比特移位寄存器的输出，移位寄存器的输入则是相位检测信号（UP 和 DOWN）。每当 UP 信号有效时，移位寄存器左移一个 1，否则右移一个 0。当 16 比特输出全 1 或者全 0 时，控制逻辑被触发产生相位选择控制信号(CS)输入到相位粗调器。利用相位选择控制信号 CS 选择两路相差 45°的时钟输入到插值器作为插值时钟。插值时钟选定之后，移位寄存器则根据 UP 或者 DOWN 信号继续调节移位寄存器输出对时钟进行插值输出。

相位粗调器如图 5-21 所示相位粗调根据选择信号 CS 选择两路相位相差 90°的时钟，经过权重平均，输出相位差为 45°的两路时钟，作为插值时钟输出到相位插值器(PI)。

CDR 采用 TYPE-I 型模拟插值器对时钟相位进行插值输出^[95]。如图 5-22 所示，插值器的输出电压 v_{out} 可以表示为

$$v_{out} = R \cdot \left(\sum_{k=1}^{16} i_{\phi} \cdot SR[k] + \sum_{k=1}^{16} i_{\phi} \cdot \overline{SR[k]} \right) \quad (5-21)$$

每个支路的电流 i_r 的相位分别受到插值时钟相位的控制，支路电流相位的变化通过负载电阻反馈到输出电压，使输出电压的相位发生变化。因此，输出电压 v_{out} 的相

位也受到移位寄存器输出信号 SR 和插值时钟相位的控制。

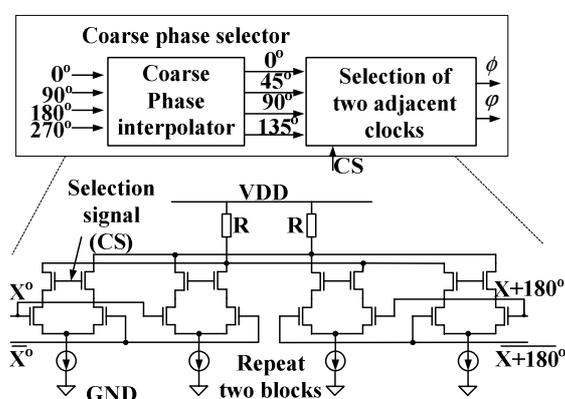


图 5-21 相位粗调器

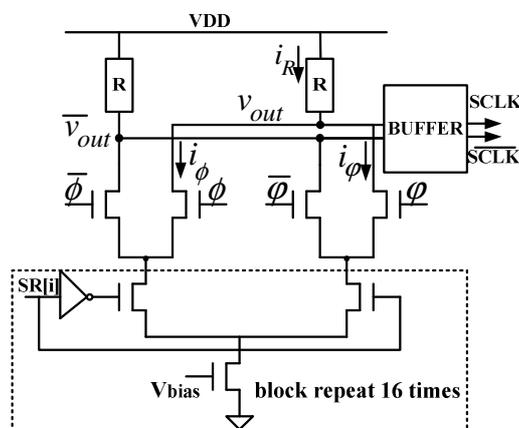


图 5-22 插值器电路

相位插值器传输函数表征的是输出相位和控制比特的关系，它的线性度直接影响着相位插值效果。理想的 TYPE-I 型相位插值器相位步进可以表示为

$$\Delta P = \frac{P_{total}}{N} \tag{5-22}$$

其中 P_{total} 表示输入插值时钟的相位差， N 表示插值比特。 N 越大，则步进越小，抖动越小；线性度越好，表明插值越均匀，抖动也越均衡。理想的相位插值器的传输函数是一条直线，但是由于栅漏电容耦合效应，在插值边界会出现较大的抖动现象，此时相位插值步进较大，传输曲线偏离了理想直线轨道，如下图 5-23 所示。改善插值边界相位抖动较大的问题可以通过增加插值比特，即减少相位步进来解决，但是无疑会增加电路的面积和功耗，同时也会增加环路的锁定时间。

图 5-24 显示了本文插值器的版图后仿真结果，时钟的输出是经过缓冲器整形之后的输出，其中 ϕ 和 $\bar{\phi}$ 是即将插值的时钟，灰色的线条表示 16 步插值输出。在整个仿真中 ϕ 和 $\bar{\phi}$ 相差 209ps，则相位插值的最大步进为 28ps，最小步进为 9ps。当采样时钟锁定时，采样时钟的相位会在锁定位置来回偏移，如图 5-25 所示，在每个相位锁定的时刻，插值器的输入控制信号会在锁定位置附近变化。因此，最大的相位步进则意味着系统时钟最大的峰峰值抖动。

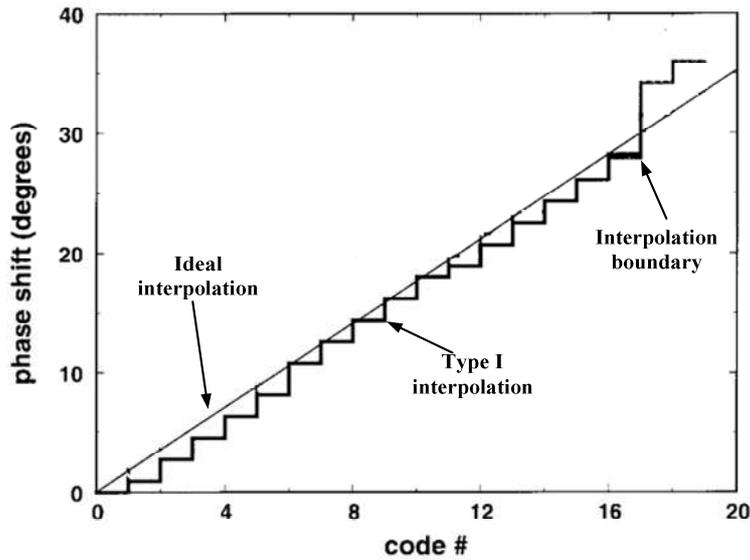


图 5-23 TYPE-I 插值器传输函数特性^[95]

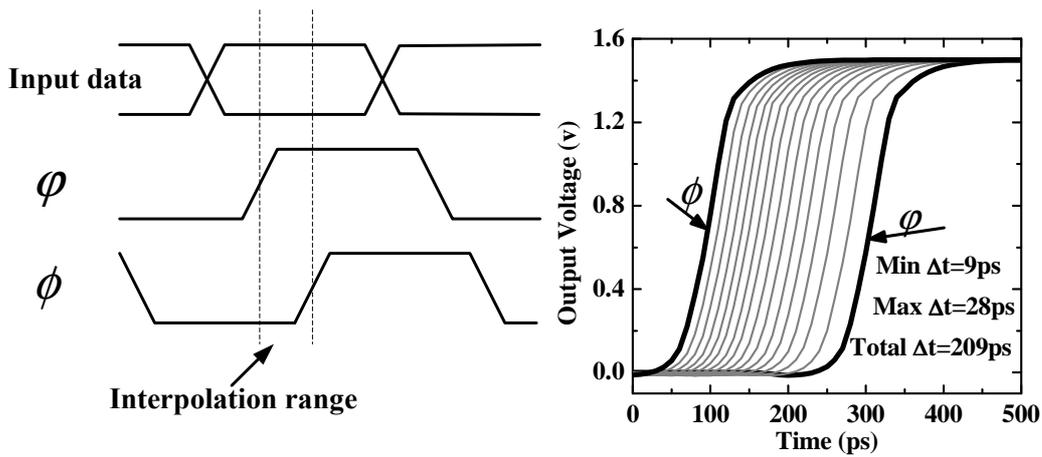


图 5-24 时钟插值仿真

CDR 设计中一个需要仔细考虑的问题是环路的延迟，延迟太大会导致严重的相位误差甚至发生误码现象。理论上，采样时钟的频率可以表示为^[93]

$$f(t) = f_0 \pm a(t) / N \tag{5-23}$$

其中 f_0 是采样时钟的本征频率， $a(t)$ 表示时钟相位漂移率， N 为相移步数。因此，根据设计的 CDR 系统参数，系统整个调频范围在 $1 / ((16+4) \times 16 \times 4) = 0.0781\%$ ，即 781ppm 范围内。

由于发送端和接收端同步时钟具有频率偏差 Δf ，环路延迟经过 m 时钟周期之

后，时钟和数据的时间累积周期误差 Δt 可能会达到

$$\Delta t = \frac{m}{f_{clk} - \Delta f} - \frac{m}{f_{clk}} \quad (5-24)$$

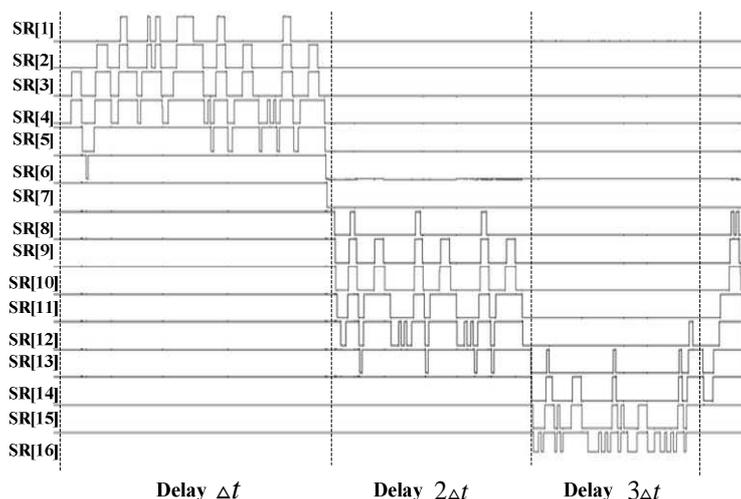


图 5-25 各种延迟锁定状态下插值器控制信号

如果 Δt 超过了一个数据码元周期 (Unit Interval: UI)，就会导致误码现象。因此，根据式 (5-23) 和 (5-24)，有

$$m \leq \frac{N}{a(t)} - 1 \quad (5-25)$$

式 (5-25) 显示，在 N 一定的条件下，如果采样时钟和发送时钟的相位漂移率越大，则环路延迟必须越小。整个环路延迟仿真如下图 5-26 所示，采样周期是 4 个周期，即 8bit，表决器延迟仿真显示其在 0.1UI~1UI 之间，相位插值器延迟大概为 1UI。

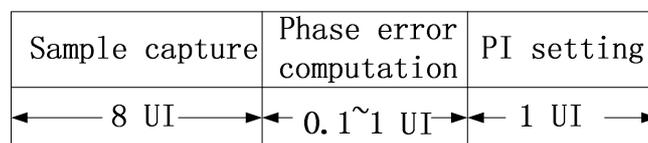


图 5-26 环路延迟

5.6 抖动容限仿真

根据 CDR 的电路设计指标要求，误码率要小于 $10E-12$ ，因此，对输入信号的

抖动方差要求在 1.5Gb/s 条件下要小于 47ps，根据式(5-7)计算， $K_{PD}=5.8/UI$ ，各部分电路的增益和指标如下表所示：

表 5-2 CDR 电路参数表

参数	值
K_{PI}	$1UI/2^6$ bits
$K_{PD} * K_{VOTE}$	$5.8/UI$
K_{PF}	2^{-4}
N_{del}	$10UI$

抖动容限是表征系统在一定的误码率条件下，能够容忍的不同频率的抖动行为。最基本的验证抖动容限的方法是在接收器输入端输入理想信号，通过附加注入不同抖动频率、抖动幅度以及抖动成分的噪声信号，直到其误码率超出容限为止^[105]。在仿真过程中，通过对输入信号施加不同频率和幅度的正弦波抖动信号来验证，直到输出出现误码。下图 5-27 图示了正弦抖动的产生过程， t_1 、 t_2 、 t_3 、 t_4 各时刻的传输信号波形以及在时域里的抖动幅度波形，其中抖动频率为 f_m ，峰峰值抖动为 j_{p-p} 。图 5-28 显示了抖动频率与抖动峰峰值幅度的仿真结果，并且与文献[3]所描述的一阶 CDR 抖动容限比较。低频段(小于 MHz)抖动容限大表明系统跟踪数据相位抖动能力强，高频段(大于 MHz)抖动容限则表明了系统本身的抖动性能。

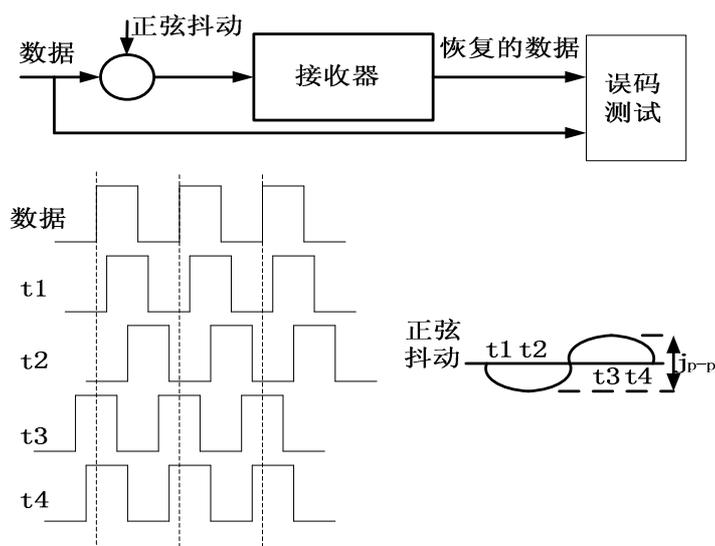


图 5-27 抖动容限仿真示意图

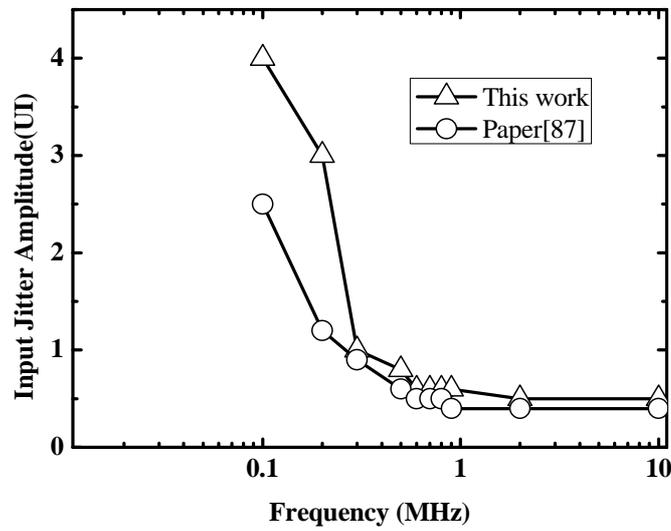


图 5-28 CDR 抖动容限仿真曲线

图 5-29 描述了 CDR 电路平衡时本地输出时钟和采样时钟的眼图，其中本地输出锁相环时钟的输入参考信号和输入数据都已经引入了相应的噪声，分别如图 2-16 和图 2-22 所示。由图 5-29 可以看到，由于采用的是 Bang-Bang 鉴相器结构，回路输出时钟在平衡状态时，输出时钟也会在平衡点附近抖动，额外引入的抖动约为 40ps，具有良好的平衡抖动性能。

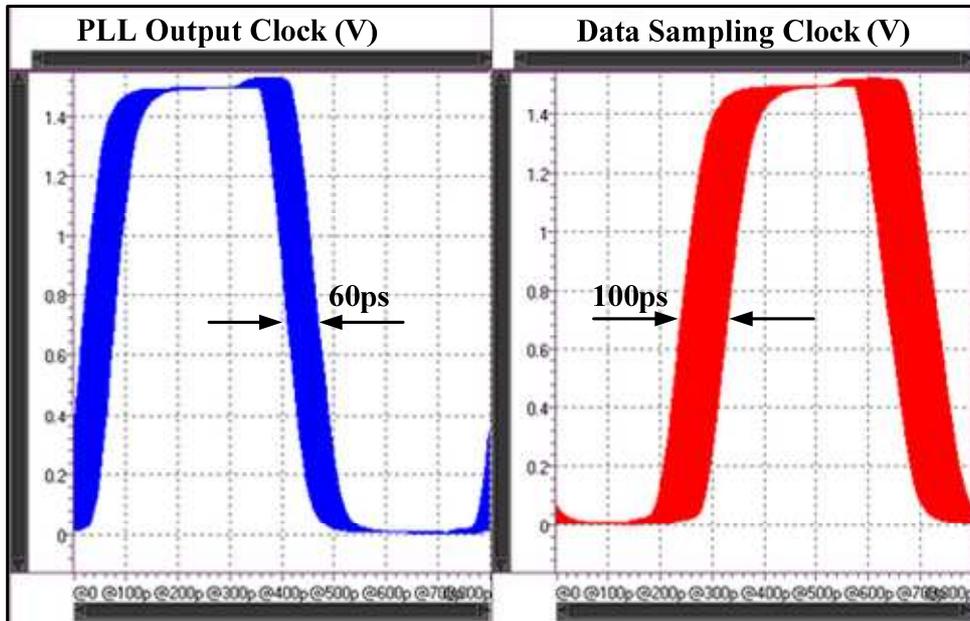


图 5-29 PLL 输出时钟和数据采样时钟眼图

5.7 本章小结

本章主要介绍了时钟与数据恢复电路的设计。首先介绍了一些常用的 CDR 电路结构，针对项目的特点采用相位插值器结构的电路实现本项目的时钟与数据的恢复功能，分析了相位插值器结构 CDR 电路的 Z 域模型。采用多比特采样然后多数投票表决相位状态的算法来判断信号相位状态。为了减少环路的延迟，提出一种表决器电路结构，以判断高速信号与时钟的相位是超前或者滞后。其次，详细介绍了 CDR 环路中插值器的设计，并给出 CDR 电路的仿真结果。仿真结果表明所设计的 CDR 环路的环路延迟小，抖动容限满足设计要求。

第六章 低压差分信号强度有效检测电路设计

6.1 概述

在 SERDES 的设计中，差分信号强度检测的设计也是一个关键的部分，因为 LVDS 信号经过 PCB 板级电路传输之后，信号的共模电压、差模电压摆幅以及信号跳变沿都会因为复杂的传输路径发生了或多或少的恶化，造成如差分信号的共模电压降低，差模电压摆幅减少，有效持续时间太短等严重的问题。因此，如何检测已经畸变的差分信号状态并正确接收是设计者面临的重要的课题。近年来国内外关于差分信号接收检测做了一些研究^[106-108]，也设计了一些内置的信号失效检测电路（Loss of Signal: LOS）^[107,108]，文献[107]通过将一个失效检测电路端接差分信号接收器，通过控制差分信号接收器的工作状态来保证接收到的差分信号是有效的。文献[108]采用两个积分器电路，对输入差分信号分别进行两次积分后进行比较，从而判断信号强度。不同于[107]和[108]，本文的电路首先分别对输入信号和参考信号分别进行一次积分，然后再对积分信号进行电平比较的方法，设计了另外一种信号有效检测电路，根据电平比较结果来判断信号是否有效后，再输出控制信号来控制后继电路是否工作。

6.2 低压差分信号强度有效性检测电路

一般来说，串行差分信号接收端主要包括四个主要部分，如图 6-1 所示，包括电阻匹配网络、信号转换电路、串并转换电路和信号强度有效检测电路（LOS）。

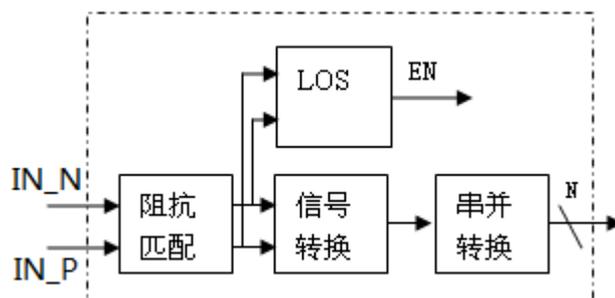


图 6-1 差分信号接收器模块结构

图 6-1 中, 阻抗匹配网络主要功能是利用片内 100 欧姆电阻端接差分信号, 一方面匹配传输线特征阻抗, 一方面将电流信号转换到电压信号。信号转换电路利用差分放大电路将高速差分信号转换到 TTL 电平信号, 一般是通过差分信号比较器实现, 如第四章所述。串并转换电路则利用高速时钟将高速串行 TTL 信号转换为低速 TTL 并行信号, 高速采样时钟为恢复出的时钟信号, 如第五章所述。LOS 模块则检测输入差分信号强度是否有效, 当输入信号的差模电压摆幅或共模电压低于某一个标准值时, 说明信号传输路径已经严重恶化。因为不同的差分信号传输标准对信号的共模电压, 差模电压摆幅等参数都有不同的要求, 一旦输入差分信号不能满足输入指标要求时, 就应当立即切断信号回路, 避免错误的数据对后继电路模块造成严重的影响。那么, 为了防止后继电路出现错误输出, 需要通过 LOS 模块产生一个使能信号, 禁止后继电路继续工作。

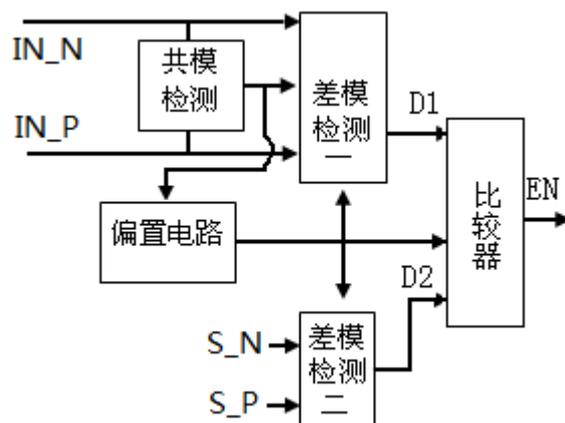


图 6-2 信号强度有效检测电路(LOS)模块框图

本文采用比较器基于电平比较的方式实现了信号有效性检测。如图 6-2 所示, LOS 模块主要有四大部分构成, 包括共模检测电路, 偏置电路, 差模检测电路和比较器。共模检测电路提取出差分信号 $IN_P(IN_N)$ 的共模电平之后, 利用该共模电平控制偏置电路, 偏置电路给差模检测电路和比较器提供偏置电压。差模检测电路的主要功能是根据输入信号的摆幅不同而输出不同幅度的电平。LOS 模块中包括两个差模检测电路, 一个检测输入信号的差模摆幅, 一个检测参考差分信号的参考差模摆幅。参考差分信号 $S_P(S_N)$ 具有固定的差分摆幅。两个差模检测电路的输出值大小分别代表了两组差分信号摆幅的大小, 通过比较器则能够判断输入差分信号的摆幅是否满足要求。

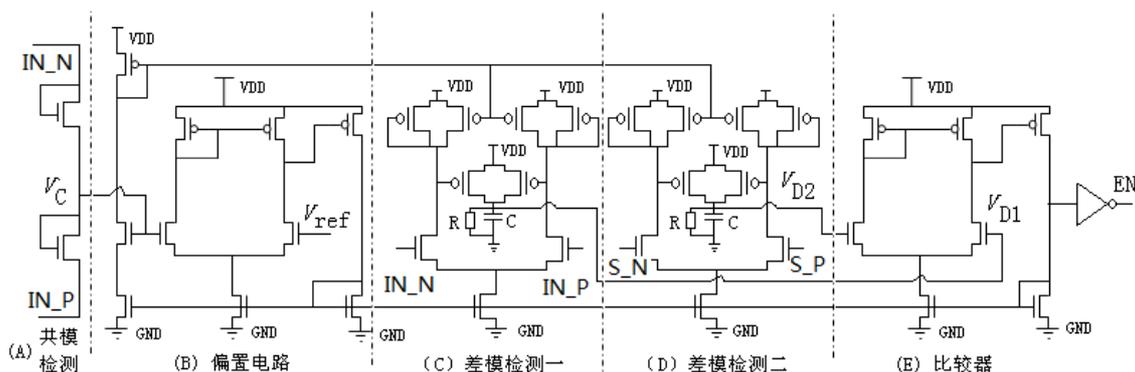
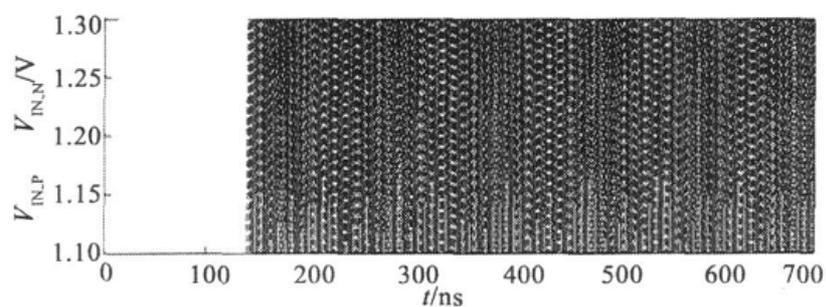


图 6-3 信号有效检测(LOS)电路

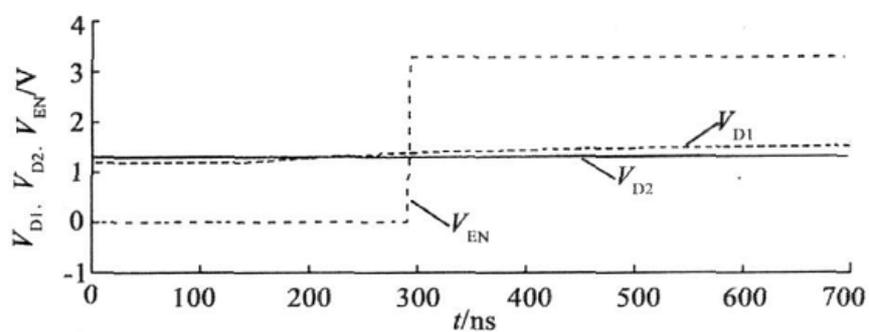
图 6-3 详细描述了 LOS 电路，其中 $IN_P(IN_N)$ 为输入差分信号， $S_P(S_N)$ 为参考差分信号， V_c 为检测出的差模信号的共模电压， V_{ref} 为输入参考电压。在差模检测电路中，电阻 R 和电容 C 的作用是将差分摆幅值转换为一个稳定的电压输出，差分摆幅越大，则差模检测电路输出电压 V_{D1} (或者 V_{D2}) 则越大。差模检测电路的输出 V_{D1} 和 V_{D2} 直接输入到比较器进行电平比较，如果输入差分信号 $IN_P(IN_N)$ 的摆幅满足要求，则输出 EN 有效。

6.3 电路仿真

低压差分信号强度检测电路采用 $0.13\mu\text{m}$ CMOS 工艺设计并实现。图 6-4 显示了 LOS 模块的仿真结果，仿真图的上部分为输入的差分信号 $IN_P(IN_N)$ ，在 150ns 的时候差分摆幅达到 200mV 。当差分信号摆幅为 0 时， $V_{D1} < V_{D2}$ ，输出信号 EN 无效，为低电平。当差分信号之间具有一定的摆幅差异时，差模检测电路一内部的并联电阻电容开始充电，输出 V_{D1} 值慢慢升高。一旦差分信号摆幅超过 200mV ，最终 $V_{D1} > V_{D2}$ ，输出信号 EN 有效，为高电平。



(a) 输入差分信号



(b) 差模检测电平输出

图 6-4 LOS 模块检测信号输出

6.4 本章小结

本文介绍了一种低压差分信号强度有效性检测电路，采用基于电平比较的方式，对输入信号的摆幅是否在可接受范围内进行有效的检测，最后，给出检测电路的仿真结果，仿真表明所设计的电路能够有效检测输入信号强度是否满足要求。

第七章 SERDES 接口芯片接收器实现与测试

7.1 芯片结构

为了验证所设计的接收器电路功能，基于 $0.13\mu\text{m}$ CMOS 工艺设计了一个能满足 1.5Gb/s 传输速率的串行信号接收器，并将其集成在一个完整的 SERDES 接口芯片内部。完整的 SERDES 芯片结构如前述图 2-2 所示，芯片设计采用 I/O 供电电压为 3.3V ，内核供电电压为 1.5V 。

所设计的接收器电路结构如图 7-1 所示，值得一提的是，图 7-1 所示的测试芯片并没有包括均衡器电路。差分信号首先经过信号比较器，比较判决输出 TTL 信号，时钟和数据恢复电路根据输入的 TTL 信号，判断出信号的相位状态，调整本地时钟的相位，进行正确的采样输出。

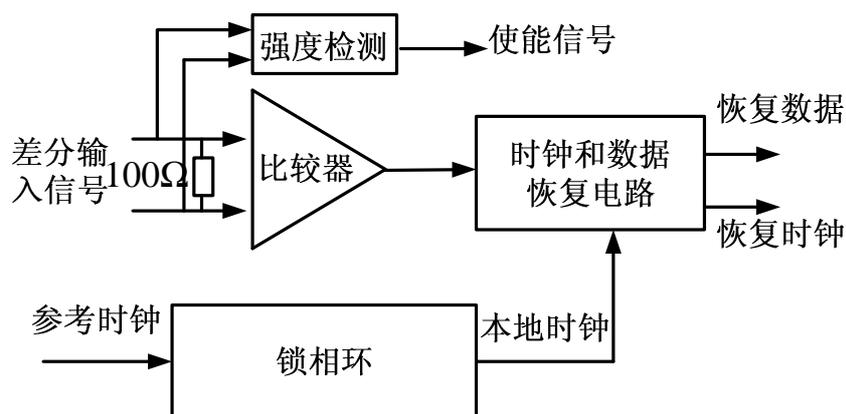


图 7-1 SERDES 接口芯片接收器结构

SERDES 芯片接收器所接收的串行数据经过 1:10 串并转换后，输出的恢复数据为低速的 10 比特并行数据，将这并行数据经过 8B/10B 解码之后输出芯片。为保持时钟和数据一致，恢复的时钟也经过 10 分频后输出，作为输出数据的采样时钟。

7.2 芯片图概貌

接收器芯片概貌如图 7-2 所示，因为锁相环需要同时处理发送和接收，因此将

其放入 SERDES 芯片的中心位置，以保证信号传输延时和缩小芯片面积。

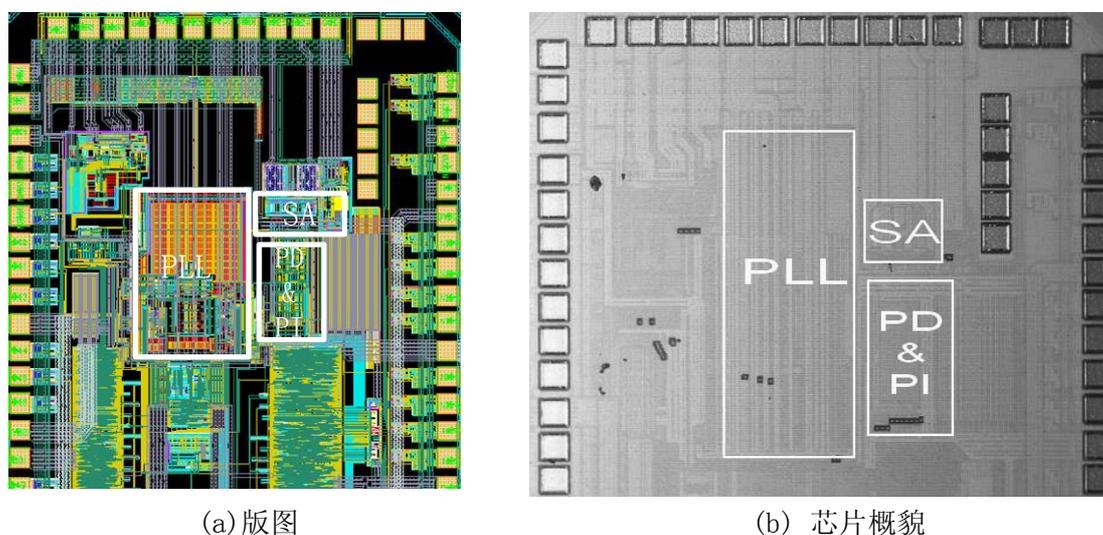


图 7-2 接收器版图和芯片概貌

7.3 芯片测试方案

芯片测试系统采用随机数据发送和接收的方法实现，如下图 7-3 所示，利用 FPGA 发送 16 比特随机并行数据，经过 SERDES 芯片内部的 8B/10B 编码后，发送输出差分信号。接收器接收 LVDS，经过比较器和时钟数据恢复电路之后，解码输出。

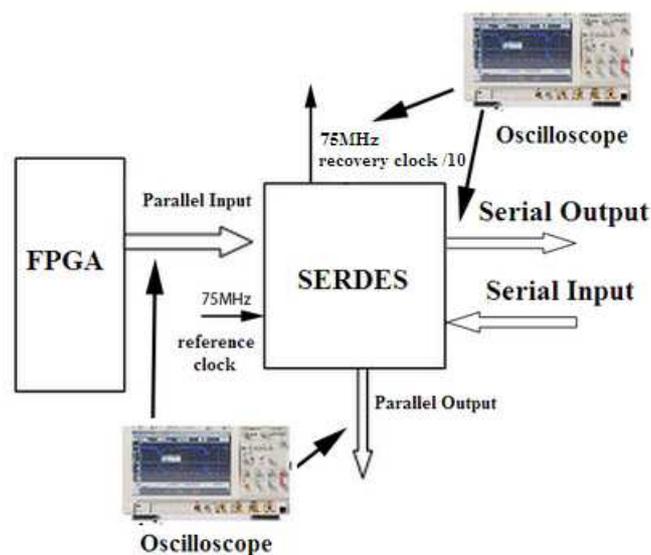


图 7-3 测试方案

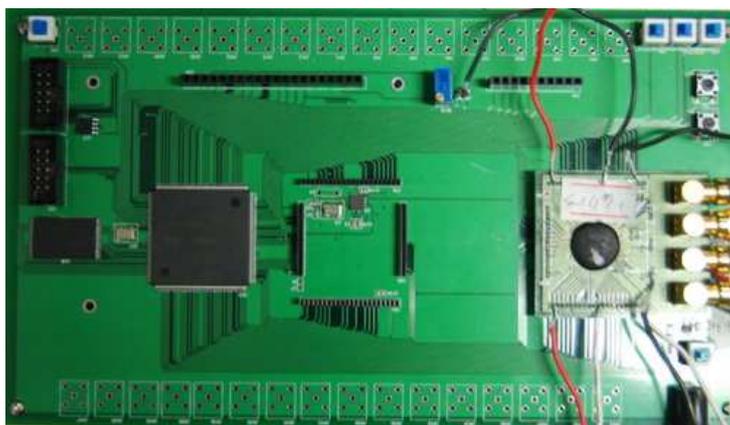


图 7-4 测试板

7.4 测试结果

(1) 串行输出信号和时钟频谱

高速时钟信号的质量可以通过观测输出串行数据的质量来判断，假若输出信号的眼图张开程度大，则表明输出时钟信号的抖动小。同时，利用频谱分析仪对高速输出差分信号进行频谱分析，也可以分析时钟的抖动大小。如图 7-4 和 7-5 所示了利用锁相环输出高速时钟产生的高速串行信号及其眼图。根据串行信号提取的 750MHz 时钟频谱信息如图 7-7 所示，具有较好的频谱特性，表明采样时钟比较稳定。



图 7-5 高速输出串行信号

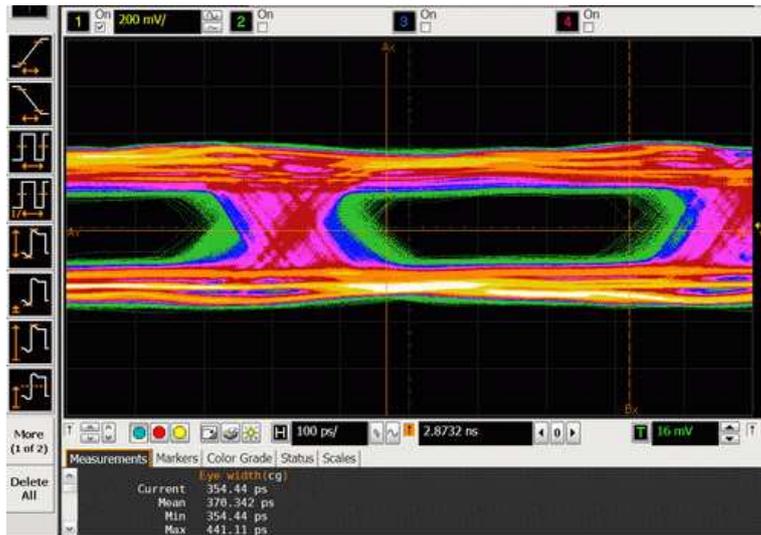


图 7-6 高速输出串行信号眼图

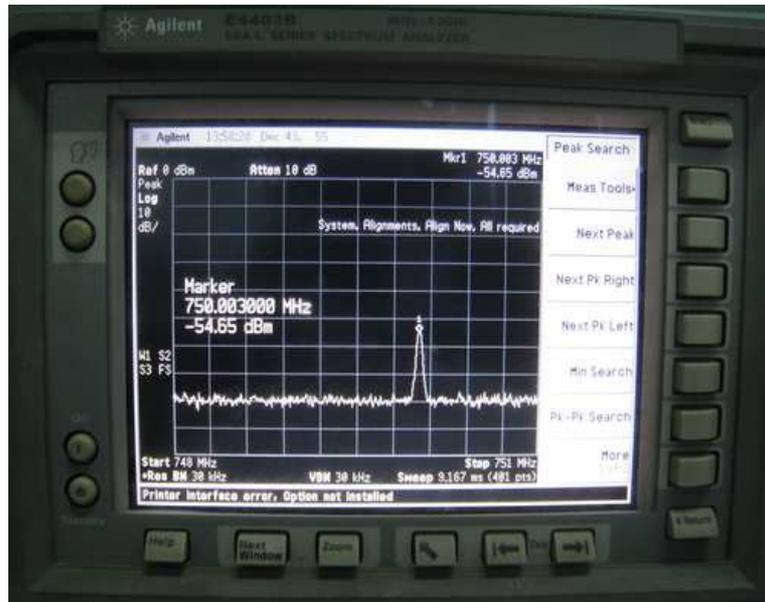


图 7-7 时钟频谱

(2) 恢复时钟输出

本地高速时钟经过插值后即是所需要的恢复时钟，恢复时钟经过 10 分频后输出，并利用该时钟对输出的恢复数据进行采样。图 7-8 描述了恢复时钟的波形图和 EYE JIT RMS 值。图中可以看到，输出时钟波形稳定，它的峰峰值抖动小于 $0.15UI$ ，满足设计指标要求。

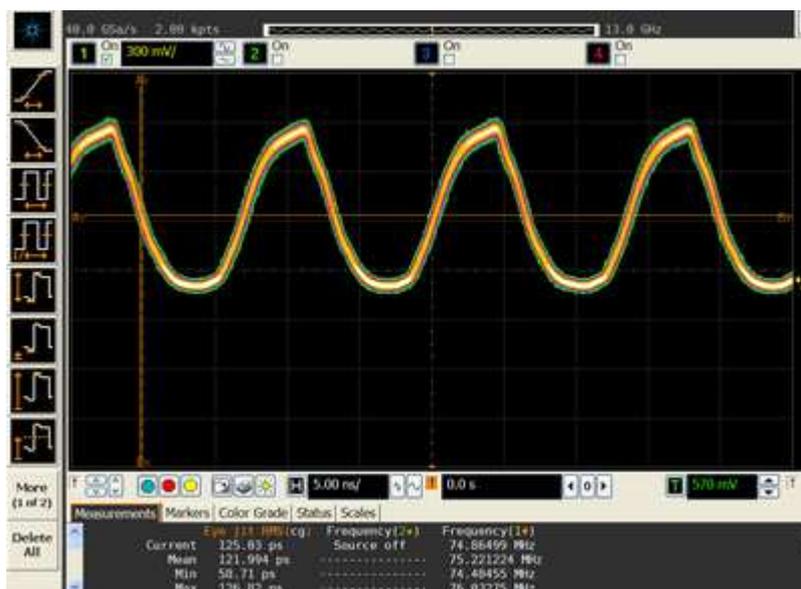


图 7-8 恢复时钟 10 分频输出

(3) 恢复的时钟和数据

恢复的时钟与数据在相位上应该满足特定的要求，以使得能够利用恢复的时钟对恢复数据进行采样。理想的数据采样点应该位于数据的中间位置。图 7-9 显示了输出的恢复时钟和数据的相位关系，可以看到，采样时钟的跳变沿能够稳定的位于数据的中间位置进行采样。

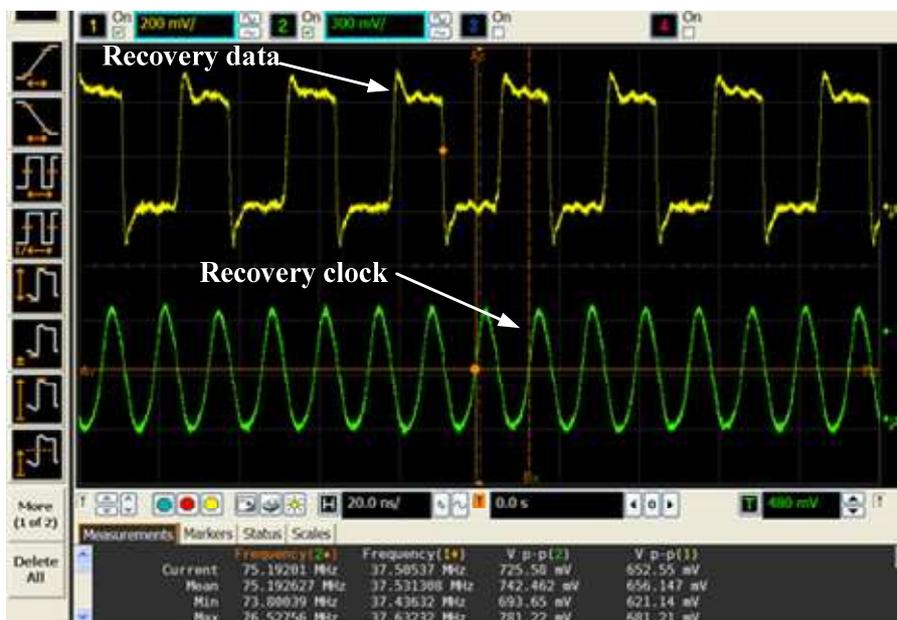


图 7-9 恢复时钟与恢复数据输出

(4) 并行端输入数据和恢复数据

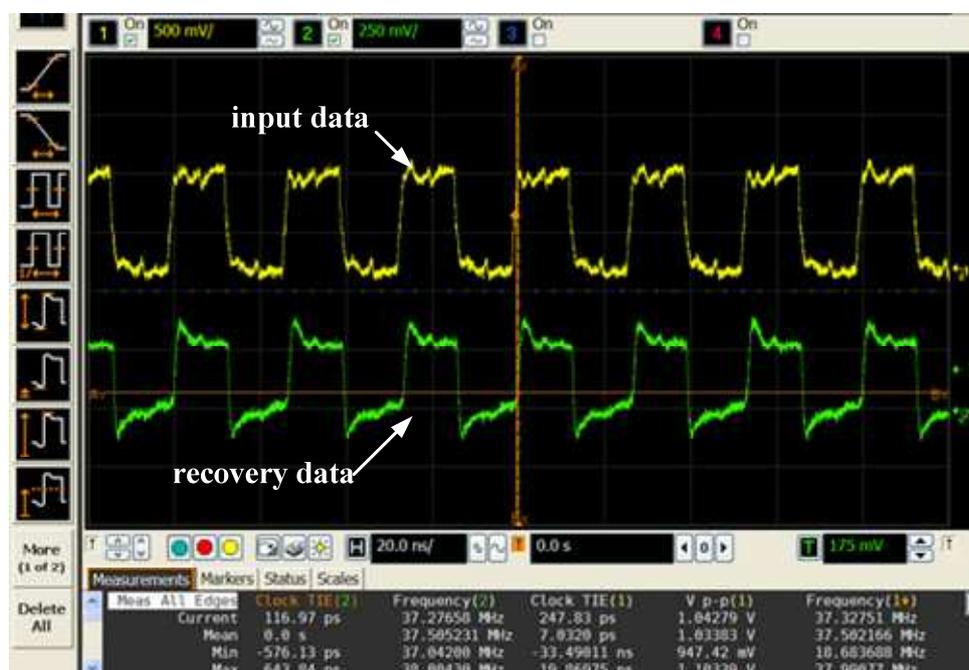


图 7-10 输入数据与恢复的数据

测试中，利用 FPGA 产生不同频率的方波数据。16 路不同频率的方波数据代表了输入数据的各种随机组合状态。并行输入数据经过 8B/10B 编码和并串转换之后，变换为随机的串行数据。接收器接收到串行数据之后，经过串并转换和 8B/10B 解码后输出。

如果在并行端口处，SERDES 芯片的输出数据与输入数据相同，表明接收器能够正确的接收数据，性能良好。测试结果如图 7-10 所示，SERDES 芯片的并行端输出数据与并行端输入数据相同，接收器能够正确的接收 1.5Gb/s 的串行信号。

接收器设计参数和测试参数如表 7-1 所示。从测试结果可以看到，所设计的串行信号接收器在接收速率为 1.5Gb/s 的信号时，其恢复出的时钟满足了抖动设计指标的要求。但是，测试结果也表明，接收器不能接收速率为 2.5Gb/s 的信号。经过分析，主要是由于系统采用了全摆幅的 VCO 结构，导致 VCO 功耗增加，同时由工艺波动等因素的原因，导致锁相环时钟输出频率未能满足设计要求。

表 7-1 一些接收器测试参数

参数	设计指标	测试结果
工艺	0.13 μ m CMOS 1P8M	
供电电压	内核 1.5V, I/O 3.3V	
输入码率范围	0.8~2.5Gb/s	0.5~1.5Gb/s
信号门限电平	200mV	300mV
EYE JIT RMS	无	122ps @ 75MHz
恢复的输出时钟抖动(P-P)	小于 0.2UI@75MHz	小于 0.15UI@75MHz
功耗	不超过 200mW	约 200mW@1.5Gb/s

7.5 本章小结

本章主要介绍了所设计的一款 SERDES 接口芯片及其一些测试结果。芯片工作在 1.5V/3.3V 供电条件下；测试表明，应用本文所提出的 VCO 和表决器电路，SERDES 接口芯片接收器能够接收 1.5Gb/s 的数据。

第八章 结论与展望

8.1 工作总结

由于大规模数据传输的需要，SERDES 高速数据传输接口 IP 的应用将越来越广泛。而对于该类型的芯片，国内的研究才刚刚起步，且总体进展缓慢，与国外的技术相比有一定的差距。基于这样的一个背景，本文围绕着高速数据传输电路设计中的一些关键问题，以降低数据信号传输过程中的信号抖动为目标，从抖动的模拟评估、芯片的电路设计等关键技术进行了深入的研究，做了如下一些工作。

1、根据 SERDES 系统中抖动产生的原理，为了能够更好的估计整个芯片的性能，利用 Verilog-A 语言模拟抖动噪声源，考虑了系统中各种导致抖动的因素，结合芯片电路 SPICE 网表进行仿真，有效的客观的评估芯片性能。通过仿真和测试对比，表明所采用的仿真方法能够有效的模拟实际应用系统中的各种噪声，从而使得 SERDES 的系统仿真结果能够反映出实际环境的结果。

2、针对芯片供电电压较低的特点，设计了一种全摆幅输出的 VCO 延迟单元结构。本文提出的 VCO 结构不仅能够在低供电电压环境下工作，还保证了频率-电压调谐范围广，相应的可以提高相位噪声性能，适合应用在调频范围宽的场所。芯片测试结果表明，该电路结构能够很好的工作在低供电电压条件下，采用该 VCO 结构的锁相环输出时钟相位噪声特性较好。

3、本文提出一种新的表决器电路结构，对输入数据和采样时钟的相位检测结果进行多数表决，表决电路结构简单，导通电阻小，环路延时小，特别适合于低压条件下的多电平表决。芯片测试结果表明通过该电路恢复出的时钟信号质量好，抖动小，满足设计需求。

4、本文探索性的设计了一种新的 LVDS 信号均衡放大器结构，采用双电压偏置方式以及有源电感的负载结构，能有效提高放大器的高频增益和低频增益的比率。仿真显示，相比较于传统的电路结构，在同样的负载电容条件下，可以获得更大的放大器高频增益。同时，定性分析了差分信号比较器的设计参数对信号抖动的影响，有助于设计低抖动的差分信号比较器。

8.2 工作展望

在博士学习期间，我致力于高速 SERDES 接口芯片的研制，通过在信号抖动评估和低抖动电路设计等方面的深入研究，取得了一些进展，然而，所做的工作跟国外的相比还存在一定的差距，而且，要形成高速低抖动的商用 SERDES 产品并真正应用于市场中，还需要继续探索并深化本论文的工作。未来的工作中，需要认真考虑高可靠的 SERDES 芯片研究，本文研究的 SERDES 芯片仅仅考虑了常温工作条件下的性能，对各种极端工作条件，比如超高低温环境，抗辐照环境的考虑不足，在各种极端环境下信号的抖动会如何变化，其机理如何及其如何评估都有待于进一步的研究。同时，后续工作应该继续进行可靠性设计，在原型电路基础上进行电路、版图、工艺、封装方面的改进，具体如下：电路可靠性设计方面，针对温度、性能参数值的容差范围进行优化设计。版图可靠性设计方面，针对布局、寄生参数影响、温度不均匀进行优化设计。工艺可靠性设计方面，针对工艺误差、工艺控制能力给予足够的裕度设计。

致谢

光阴似箭，恍然回首，四年的学习期间辛酸与喜乐都还在脑间闪现。值此毕业之际，感谢四年来所有指导我的老师、同学和关心我的家人、朋友。

真诚地感谢我的导师李平教授对我的栽培，李老师严谨和活跃的学术思维，给我留下了深刻的印象，也是我这几年来最大的财富。无论是项目的选择到还是论文的撰写，李老师都倾力指教，使我能够不断进步，不断成长！

感谢王忆文教授，王老师严谨的治学精神和认真的工作态度让我受益，在王老师的帮助下使得项目能够顺利的推进；感谢罗和平老师，他一直在我身边协助解决各种技术问题，在遇到困难的时候给我各种帮助和建议。感谢李威教授，李威老师渊博的知识，幽默的谈吐让我膜拜。在项目研究过程中他对我的建议让我受益匪浅，也让我认识到芯片设计是一个多么复杂的工程，其中的每一个步骤都非常的关键。

感谢 SERDES 研究小组的所有成员，感谢研究生彭颖、周祥福、陈景阔和沈竟宇，感谢你们作出自己的努力，陪我一起从无到有，一步步的解决项目的种种问题！感谢王婧老师耐心教我画版图！感谢杜涛老师总是在最关键的时候给我们有效的建议！感谢王劲老师背后默默的后勤工作支持项目组的运行。感谢和我一起工作的博士师弟和师妹，特别是李建华博士总在我无助彷徨和困难的时候伸出援助之手！感谢所有教研室的老师和同学！

最后，感谢父母，养儿 30 载却依然没有能够享受生活，始终在默默的牵挂并贡献他们的力量。感谢爱妻，她无怨无悔的持家才能让我安心完成这段刻骨铭心的学习。感谢岳父岳母，是他们的理解和帮助才能够让我专心完成学业。感谢姦姦！他期盼我回家的心情永远是我努力的动力。

感谢母校成都电子科技大学，我永远爱你。

参考文献

- [1] D. Lewis. SERDES architectures and applications. Proceedings of Euro Design Con, Chicago, U.S.A, 2004.
- [2] M. T. Hsieh. Single chip high-speed serial link communications for multi-channel and multi-standard applications. 2008.
- [3] Robert Reutemann, Michael Ruegg, Fran Keyser, et al. A 4.5 mW/Gb/s 6.4 Gb/s 22+1-Lane source synchronous receiver core with optional cleanup PLL in 65 nm CMOS. IEEE Journal of solid-state circuits, 2010, 45(12):2850-2860.
- [4] 仇应华. 光纤传输系统用超高速时钟恢复集成电路研究: [博士学位论文]. 南京: 东南大学, 2006, 83-97.
- [5] J. F. Wang, Y. H. Li. 11.6 -GHz 0.18-um monolithic CMOS phase -locked loop. Journal of Southeast University (English Edition), 2007, 23(1):35- 38.
- [6] C. Y. Liu, J. Caroselli. Comparison of Signaling and Equalization Schemes in High Speed SerDes (10-25Gbps). Proceedings of Euro Design Con, Chicago, USA, 2007.
- [7] C. L. Hsieh, S. I. Liu. A 40Gb/s decision feedback equalizer using back-gate feedback technique. 2009 Symposium on VLSI Circuits Kyoto, Japan, 2009, 218-219.
- [8] K. L. J. Wong, E. H. Chen, C. K. K. Yang, Edge and data adaptive equalization of serial-link transceivers. IEEE Journal of solid-state circuits, 2008, 43(9):2157-2169.
- [9] S. Gondi, B. Razavi. Equalization and clock and data recovery techniques for 10-Gb/s CMOS serial-link receivers. IEEE Journal of solid-state circuits, 2007, 42(9):1999-2011.
- [10] Z. Y. Zhao, J. J. Wang, Shaoqing Li, et al. A 2.5-Gb/s 0.13- μm CMOS current mode logic transceiver with pre-emphasis and equalization. 7th International Conference on ASIC, Guilin, China, 2007, 368-371.
- [11] J. Lee. A 20-Gb/s Adaptive Equalizer in 0.13- μm CMOS Technology, IEEE Journal of solid-state circuits, 2006, 41(9): 2058-2066.
- [12] V. Balan, J. Caroselli, J. G. Chern. A 4.8–6.4-Gb/s serial link for backplane applications using decision feedback equalization. IEEE Journal of solid-state circuits, 2005, 40(9): 1957-1967.

- [13] M. Z. Zhou, E. Zhu, S.J. Wang, et al. A 6.25 Gb/s decision feedback equalizer used in SERDES for high-speed backplane communications. International conference on microwave and millimeter wave technology, Guilin, China, 2007, 1-4.
- [14] 王涛. 高速低噪声锁相时钟恢复电路研究: [博士学位论文]. 上海: 复旦大学, 2004, 94-104.
- [15] 黄林. CMOS 高速串行数据接收器的研究和设计: [博士学位论文]. 上海: 复旦大学, 2005, 38-39.
- [16] J. K. Woo, H. Lee, W. Y. Shin. A fast-locking CDR circuit with an autonomously reconfigurable charge pump and loop filter. IEEE Asian Solid-State Circuits Conference, Hangzhou, 2006, 411-414.
- [17] 郭淦. 高速串行通信中的时钟恢复技术. [博士学位论文]. 上海: 复旦大学, 2005: 26-38.
- [18] H. V. Venkatanarayanan, M. L. Bushnell. A jitter reduction circuit using autocorrelation for phase-locked loops and serializer-deserializer (SERDES) circuits. 21st International Conference on VLSI Design, Hyderabad, 2008, 581-588.
- [19] R. C. H. V Beek, C. S. Vaucher, D.M. W. Leenaerts. A 2.5–10-GHz clock multiplier unit with 0.22ps RMS jitter in standard 0.18- μ m CMOS. IEEE Journal of solid-state circuits, 2004, 39(11): 1862-1872.
- [20] M. Kossel, P. Buchmann, C. Menolfi. A low-jitter wideband multiphase PLL in 90nm SOI CMOS technology. ISSCC, San Francisco, U.S.A, 2005, 414-415.
- [21] G. D. Astis, D. Cordeau, J. M. Paillot. A 5-GHz fully integrated full PMOS low-phase-noise LC VCO. IEEE Journal of solid-state circuits, 2005, 40(10): 2087-2091.
- [22] B. Razavi. Challenges in the design of high-speed clock and data recovery circuits. IEEE Communications Magazine, 2002, 40(8): 94-101.
- [23] J. Savoj, B. Razavi. A 10-Gb/s CMOS clock and data recovery circuit with a half-rate binary phase/frequency detector. IEEE Journal of solid-state circuits, 2003, 38(1): 13-21.
- [24] 陈莹梅, 王志功, 赵海兵. 10Gb/s CMOS 时钟和数据恢复电路的设计. 固体电子学研究进展, 2005, 25(4): 494-498.
- [25] W. G. Zhang, Y. Q. Hu, D. Rui. Research on high-speed asynchronous serial transmission based on 8b10b. Applied Informatics and Communication, 2011, 225(2): 586-592.
- [26] T. Geurts, Wi. Rem, J. Crols. A 2.5 Gbps-3.125 Gbps multi-core serial-link transceiver in 0.13 μ m CMOS. Proceeding of the 30th European Solid-State Circuits Conference, Leuven, Belgium, 2004, 487-490.

- [27] C. H. Yen. An efficient PCS to transmit FEC-coded frames in ethernet PON. International Symposium on High Capacity Optical Networks and Enabling Technologies, Penang, 2008: 245-250.
- [28] A. W. Moore, L. B. James, M. Glick. Optical network packet error rate due to physical layer coding. Journal of lightwave technology, 2005, 23(10): 3056-3065.
- [29] D. banerjee. PLL performance, simulation, and design (4th edition). 2006
- [30] IEEE Std. 1596.3-1996. IEEE standard for low voltage differential signals (LVDS) for scalable coherent interface (SCI), 1996.
- [31] M. P. Li. Jitter, noise and signal integrity at high-speed. Pearson Education, Inc., 2008.
- [32] 闫景富, 李淑秋. LVDS 和 CML 电平在高速串行连接中的应用. 微计算机应用, 29(8), 2008: 105-108.
- [33] 高长平. 一种基于 0.13 μm CMOS 工艺的 CML 高速串行接口电路. [硕士学位论文]. 长沙: 国防科学技术大学, 2007, 15-38.
- [34] 沈竞宇. 基于 SerDes 芯片 8b/10b 编解码电路的设计及验证. [硕士学位论文]. 成都: 电子科技大学, 2011, 16-17.
- [35] Eric Bogatin. 信号完整性分析(李玉山, 李丽平译). 北京: 电子工业出版社, 2005.
- [36] Lattice Semiconductor Corporation. Serdes jitter. 2008.
- [37] Agilent Technology Corporation. Jitter analysis techniques for high data rates. 2003.
- [38] N. Ou, T Farahmand, A. Kuo. Jitter models for the design and test of Gbps-speed serial interconnects. IEEE Design & test of computers, 2004, 302-313.
- [39] D. Telian, S. Camerlo, B. Kirk. Simulation techniques for 6+Gbps serial links. Proceedings of Euro Design Con, Chicago, U.S.A, 2010.
- [40] E. Song, J. Lee, J. Kim. Estimation of data-dependent jitter using single pulse analysis method in high-speed differential signaling. Electronics system integration technology conference, Dresden, Germany, 2006: 741-746.
- [41] J. Buckwalter, B. Analui, A. Hajimiri. Data-dependent jitter and crosstalk-induced bounded uncorrelated jitter in copper interconnects. IEEE International microwave symposium, Los Alamitos, CA, 2004, 1627-1630.
- [42] K. K. Kim, Y. B. Kim, Fabrizio Lombardi. Data dependent jitter (DDJ) characterization methodology. 20th IEEE International Symposium on defect and fault tolerance in VLSI systems, Monterey, California, U.S.A, 2005, 294-302.

- [43] M. T. Hsieh, G. E. Sobelman. Modeling and verification of high-speed wired links with verilog-AMS. IEEE international symposium on circuits and systems, Island of Kos, Greece, 2006, 2105-2108.
- [44] B. Wang, D. Y. Chen, B. L. Liang. Modeling, simulation and analysis of high-speed serial link transceiver over band-limited channel. 11th International conference on computer modeling and simulation, Cambridge, UK, 2009, 574-578.
- [45] A. Youssef, M. E. Modelling a 1.25Gb/s optical transmitter in IEEE 1076.1 standard VHDL-AMS. IEEE Canadian conference on electrical and computer engineering, Montreal, Canada, 2003, 175-178.
- [46] G. Khanna, R. Chandel, A. K. Chandel. Impact of skew and jitter on the performance of VLSI interconnects. Proceedings of the 2010 Asia Pacific Conference on Circuit and System, Kuala Lumpur Malaysia, 2010, 1223-1226.
- [47] B. Young 数字信号完整性：互连、封装的建模与仿真(李玉山, 蒋冬初译). 北京：机械工业出版社, 2008.
- [48] J. Jang, S. Xu, W. Burleson. Jitter in deep sub-micron interconnect. Proceedings of the IEEE computer society annual symposium on VLSI, Tampa, Florida, 2005, 84-89.
- [49] 何捷. DVB-T 接收机中频率综合器的研究. [博士学位论文]. 上海：复旦大学, 2005, 16-24.
- [50] 张涛. 锁相环频率合成器建模、设计与实现. [博士学位论文]. 武汉：华中科技大学, 2006, 79-136.
- [51] F. E. William, Phase-lock Basics(Second Edition). John Wiley & Sons, Inc., Hoboken, New Jersey, 2007, 15-26.
- [52] 严杰锋. 电荷泵锁相环的模型研究和电路设计. [博士学位论文]. 上海：复旦大学, 2006, 51-58.
- [53] M. J. E. Lee, W. J. Dally, P. Chiang. Low-power area-efficient high-speed I/O circuit techniques. IEEE Journal of solid-state circuit, 2000, 35(11): 1591-1599.
- [54] J. G. Maneatis. Low-jitter process-independent DLL and PLL based on self-biased techniques. IEEE Journal of solid-state circuit, 1996, 31(11):1723-1732.
- [55] 王礼生, 赵信, 刘晓强. 三阶自偏置锁相环的数学建模与稳定性分析. 中国集成电路, 2005, 132: 33-37.
- [56] 彭云, 李春梅, 任俊彦. 自偏置锁相环结构及其稳定性条件分析. 微电子学, 1999, 29(2): 73-82.

- [57] Y. Chen, P. I. Mak, Y. Zhou. Self-tracking charge pump for fast-locking PLL. *Electronics Letters*, 2010, 46(11): 755-757.
- [58] G. P. Pratim, E. Xiao. A 2.5 GHz radiation hard fully self-biased PLL using 0.25 μm SOS-CMOS technology. *IEEE International Conference on Integrated Circuit Design and Technology*, Austin, TX, 2009, 121-124.
- [59] F. M. Gardner. Charge-pump phase-lock loops. *IEEE Journal of communications*, COM-28, 1980, 1849-1858.
- [60] 杨沛, 张磊, 王平连. 锁相环相位噪声的研究与仿真. *电子测量技术*, 2009, 32(4): 35-37.
- [61] 李仲秋, 胡锦涛, 陈迪平. 三阶电荷泵锁相环的稳定性分析. *电子器件*, 2006, 29(2): 483-485.
- [62] A. Yazdi, M. M. Green. A 40 GHz differential push-push VCO in 0.18 μm CMOS for Serial Communication. *IEEE Microwave and wireless components letters*, 2009, 19(11): 725-727.
- [63] I. C. Hwang, C. Kim, S. M. Kang. A CMOS Self-Regulating VCO With Low Supply Sensitivity. *IEEE Journal of solid-state circuits*, 2004, 39(1): 42-48.
- [64] A. A. Abidi. Phase Noise and Jitter in CMOS Ring Oscillators. *IEEE Journal of solid-state circuits*, 2006, 41(8): 1803-1816.
- [65] A. Hajimiri, S. Limotyrakis, T. H. Lee. Jitter and Phase Noise in Ring Oscillators. *IEEE Journal of solid-state circuits*, 1999, 34(6): 790-804.
- [66] F. Herzel, B. Razavi. A Study of Oscillator Jitter Due to Supply and Substrate Noise. *IEEE Transactions on circuits and systems-II: Analog and digital signal processing*, 1999, 46(1): 56-62.
- [67] M. El-Hage, F. Yuan. An overviews of low voltage VCO delay cells and a worst-case analysis of supply noise sensitivity. *Canadian conference on electrical and computer engineering*, Niagara Falls, Canada, 2004, 1785-1788.
- [68] M. T. Hsieh, G. E. Sobelman. Comparison of LC and ring VCOs for PLLs in a 90 nm digital CMOS process. *Proceeding of International SoC Design Conference*, Busan, Korea, 2008, 19-22.
- [69] D. Liang, H. Ramesh. Design of low-phase-noise CMOS ring oscillators. *IEEE transactions on circuit and systems-II: Analog and digital signal processing*, 2002, 49(5):328-338.
- [70] F. Yuan. A Fully Differential VCO Cell with Active Inductors for Gbps Serial Links. *Analog Integrated Circuits and Signal Processing*, 2006, 47: 213-223.

- [71] Ali Hajimiri, Thomas H. Lee. A General Theory of Phase Noise in Electrical Oscillators. *IEEE Journal of solid-state circuits*, 1998, 33(2): 179-194.
- [72] Y. Masahiro, F. Nobuo. Reduction of charge injection and current-mismatch errors of charge pump for phase-locked loop. *IEICE Transactions on fundamentals of electronics, communications and computer sciences*, 2009, E92-A (2): 381-388.
- [73] J. M. Sadegh, B. A. Sharif, Mirabbasi, et al. A charge-pump with a high output swing for PLL and CDR applications. *Proceedings of the 8th IEEE International NEWCAS Conference, Montreal, Canada*, 2010, 297-300.
- [74] 韦雪明, 李平. 一种可快速锁定的低抖动自偏置锁相环设计. *微电子学*, 2011, 41(2): 185-188.
- [75] C. F. Liao, S. I. Liu. A 40Gb/s CMOS Serial-Link Receiver With Adaptive Equalization and Clock/Data Recovery. *IEEE Journal of solid-state circuits*, 2008, 43(11):2492-2502.
- [76] J. Liu, X. F. Lin. Equalization in High-Speed Communication Systems. *IEEE Circuits and systems magazine*, second quarter, 2004, 4-17.
- [77] 孙烨辉, 江立新, 许长喜. CMOS 5Gb/s 串行接收器. *固体电子学研究进展*, 2007, 27(4): 514-518.
- [78] H. Higashi, S. Masaki, M. Kibune. A 5–6.4-Gb/s 12-Channel transceiver with pre-emphasis and equalization. *IEEE Journal of solid-state circuits*, 2005, 40(4): 978-985.
- [79] J. F. Buckwalter, M. M., Daniel J. Friedman. Phase and amplitude pre-emphasis techniques for low-power serial links. *IEEE Journal of solid-state circuits*, 2006, 41(6): 1391-1399.
- [80] 鲁雪晴. 高速通信系统中的模拟均衡器研究. [硕士学位论文]. 西安:西安电子科技大学, 2007, 20-23.
- [81] Y. Tomita, M. Kibune, J. Ogawa, et al. A 10-Gb/s Receiver with Series Equalizer and On-Chip ISI Monitor in 0.11- μm CMOS. *IEEE Journal of solid-state circuits*, 2005, 40(4): 986-993.
- [82] 毕查德. 拉扎维著. 模拟 CMOS 集成电路设计(陈贵灿, 程军, 张瑞智译). 西安:西安交通大学出版社, 2003.
- [83] C. K. K. Yang. Design of high-speed serial links in CMOS. Technical Report, No. CSL-TR-98-775, Stanford, California, December 1998.
- [84] C. C. Wang, J. M. Huang, J. F. Huang. 1.0 Gbps LVDS transceiver design for LCD panels. *IEEE Asia-Pacific conference on advanced system integrated circuits*, Fukuoka, Japan, 2004, 236-239.
- [85] H. C. Lee. An estimation approach to clock and data recovery. 2006.

- [86] J. Lee, K. S. Kundert, B. Razavi. Analysis and modeling of bang-bang clock and data recovery circuits. *IEEE Journal of solid-state circuits*, 2004, 39(9): 1571-1580.
- [87] Y. H. Sun, H. Wang. Analysis of digital bang-bang clock and data recovery for multi-gigabit/s serial transceivers. *IEEE Custom integrated circuits conference*, San Jose, U.S.A, 2009, 343-346.
- [88] M. V. Ierssel, H. Yamaguchi, A. Sheikholeslami. Event-driven modeling of CDR jitter induced by power-supply noise, finite decision-circuit bandwidth and channel ISI. *IEEE Transactions on circuits and systems—I: regular papers*, 2008, 55(5):1306-1315.
- [89] L. D. Chen, F. Spagna, P. Marzolf, J. K. Wu. A 90nm 1-4.25-Gb/s multi data rate receiver for high speed serial links. *IEEE Asian solid-state circuits conference*, Hangzhou, china, 2006:391-394.
- [90] H. Yamaguchi, H. Tamura, Y. Doi. A 5Gb/s transceiver with an ADC-based feed-forward CDR and CMA adaptive equalizer in 65nm CMOS. *IEEE International solid-state circuits conference*, San Francisco, U.S.A, 2010, 168-170.
- [91] C. F. Liao, S. I. Liu. A 40Gb/s CMOS Serial-Link receiver with adaptive equalization and CDR. *IEEE International solid-state circuits conference*, San Francisco, U.S.A, 2008, 100-101.
- [92] H. Noguchi, N. Yoshida, H. Uchida. A 40-Gb/s CDR circuit with adaptive decision-point control based on eye-opening monitor feedback. *IEEE Journal of solid-state circuits*, 2008, 43(12): 2929-2938.
- [93] M. Aoyama, K. Ogasawara, M. Sugawara. 3Gbps, 5000ppm Spread Spectrum SerDes PHY with frequency tracking phase interpolator for serial ATA. *IEEE Symposium on VLSI Circuits*, Kyoto, Japan, 2003, 107-110.
- [94] F. P. Robert, Allen, et al. interpolator based clock and data recovery(CDR) circuit with digitally programmable BW and tracking capability[P] TEXAS INSTRUMENTS INCORPORATED, No.7315596B2, 2008.
- [95] S. Sidiropoulos, M. A. Horowitz. A Semidigital Dual Delay-Locked Loop. *IEEE Journal of solid-state circuits*, 1997, 32(11):1683-1692.
- [96] K. H. Cheng, P. K. Tseng, Y. L. Lo. A phase interpolator for Sub-1V and high frequency for clock and data recovery. *14th IEEE International Conference on Electronics, Circuits and Systems*, Marrakech, Morocco, 2007, 363-366.

- [97] Y. M. Jiang, Alessandro Piovaccan. A compact phase interpolator for 3.125G SERDES application. Southwest Symposium on mixed-signal design, Vegas, Nevada, U.S.A, 2003, 249-252.
- [98] J. Lee, M. C. Liu. A 20Gb/s burst-mode CDR circuit using injection-locking technique. IEEE International solid-state circuits conference, San Francisco, U.S.A, 2007, 46-47.
- [99] M.V. Ierssel, A. Sheikholeslami, H. Tamura. A 3.2 Gb/s CDR using semi-blind oversampling to achieve high jitter tolerance. IEEE Journal of solid-state circuits, 2007, 42(10):2224-2234.
- [100] A. Tajalli, P. Muller, M. Atarodi, Y Leblebici. A multichannel 3.5mW/Gbps/Channel Gated oscillator based CDR in 0.18 μ m digital CMOS technology. Proceedings of the 31st European solid-state circuits conference, Grenoble, France, 2005, 193-196.
- [101] J.C. Scheytt, G. Hanke, and U. Langmann, A 0.155-, 0.622, and 2.488-Gb/s automatic bit-rate selecting clock and data recovery IC for bit-rate transparent SDH systems. IEEE Journal of solid-state circuits, 2003, 34(12):1935–1943.
- [102] J. L. Sonntag, J. Stonick. A digital clock and data recovery architecture for multi-gigabit/s binary links. IEEE Journal of solid-state circuits, 2006, 41(8):1867-1875.
- [103] J. H. Lu, K. H. Chen. A. M. Lee. A merged CMOS digital near-end crosstalk canceller and analog equalizer for multi-lane serial-link receivers. IEEE Symposium on VLSI Circuits, Honolulu, HI, 2008, 56-57.
- [104] B. Nikoli, V. Stojanovic, V. G. Oklobdz. Sense Amplifier-Based Flip-Flop. IEEE International solid-state circuits conference, San Francisco, U.S.A, 1999, 282-283.
- [105] T. J. Yamaguchi, M. Soma, M. Ishida. A new method for testing jitter tolerance of SERDES devices using sinusoidal jitter. Proceedings of international test conference, Washington, D.C., 2002, 717-725.
- [106] S. Hirsch, H. J. Pfliederer. CMOS receiver circuits for high-speed data transmission according to LVDS-standard. Proceedings of SPIE, San Diego, Vol. 5117, 2003, 238~244.
- [107] 蔡敏,王谧. LVDS 失效保护电路设计. 半导体技术. 2005, 30(4):61~64.
- [108] 王海永, 李振国,王东旺等.差分信号强度检测装置. 中国专利, 101567729A, 2009-10-28.

博士在学期间的研究成果

一、已发表的论文

- [1] **Wei Xueming**, Wang Yiwen, Li Ping and Luo Heping. A 750 MHz semi-digital clock and data recovery circuit with 10^{-12} BER. Journal of Semiconductors, 2011, 32(12):125009
(EI: 20115214640644)
- [2] **Xueming Wei**, Ping Li, Yiwen Wang. A LVDS Transmitter with Low-jitter PLL and Pre-emphasis for Serial Link. J. Electrical Systems, 2011, 7-3: 373-381
(EI: 20120514728035)
- [3] **Wei Xueming**, Li Ping. The Self-biased Based PLL with Fast Lock Circuit. International Conference on Communications, Circuits and Systems (ICCCAS), Chengdu, China, 2010:901-904
(EI: 20104613393915)
- [4] **韦雪明**, 李平. 一种 2.5Gb/s 带预加重结构的低压差分串行发送器. 微电子学, 2010, 40(6):770-773
- [5] **韦雪明**, 李平. 一种可快速锁定的低抖动自偏置锁相环设计. 微电子学, 2011, 41(2):185-188
- [6] **韦雪明**, 李平. 串行低压差分信号接收器设计. 半导体技术, 2010, 35(12):1213-1216