

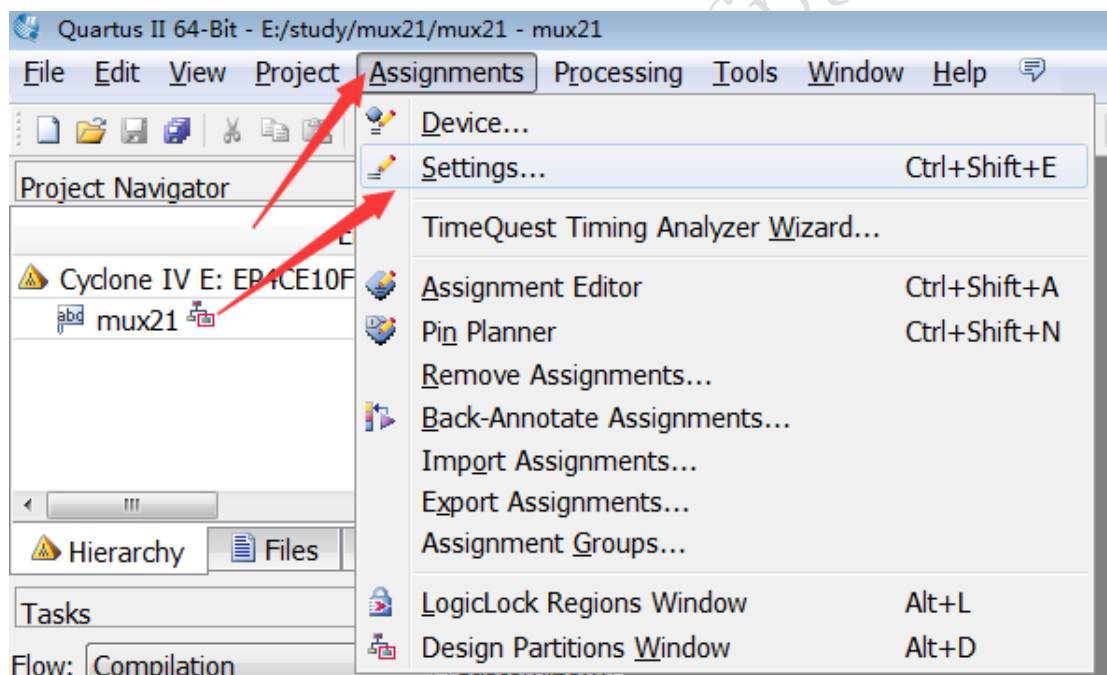


奋斗的小孩之 altera 系列

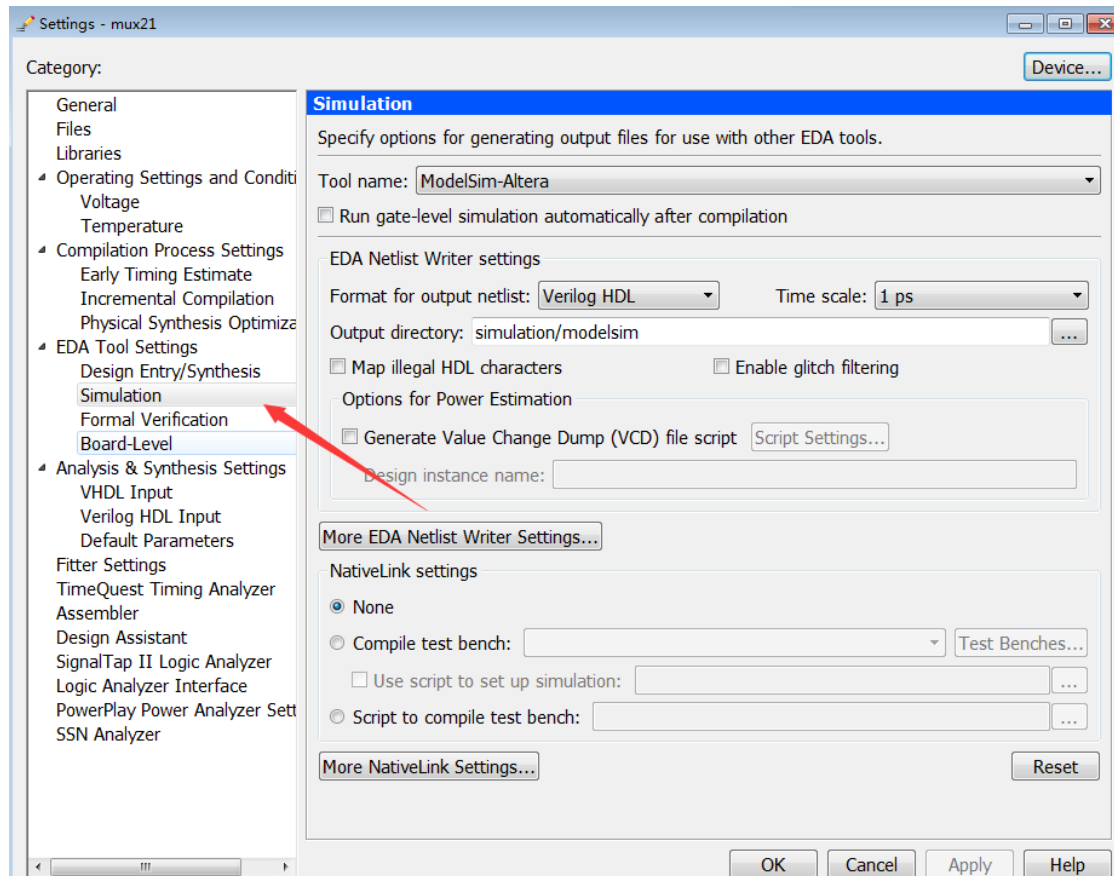
第十一篇 添加激励

写完了设计和激励的代码，我们还是不能够去仿真。设计和激励都是 verilog HDL 的文件，软件也分不清楚那个是设计文件、哪个是激励文件。下面我们就来告诉“它”哪个是激励文件。

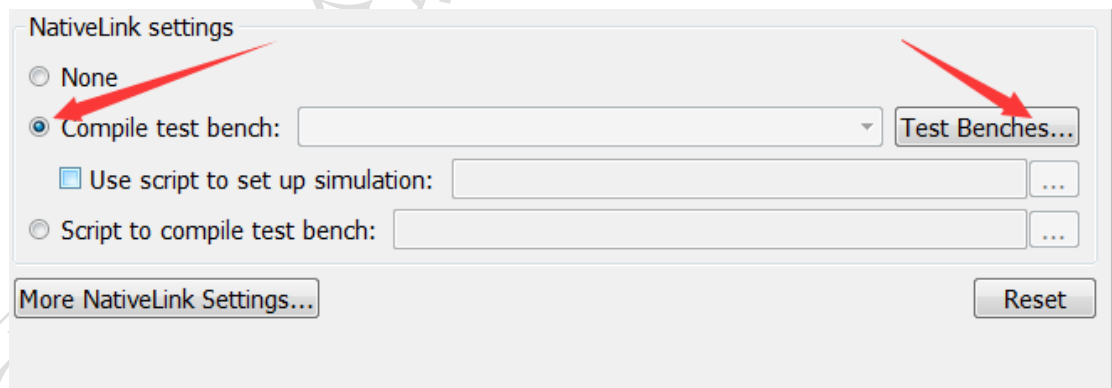
1. 打开 Assignments，点击 settings。



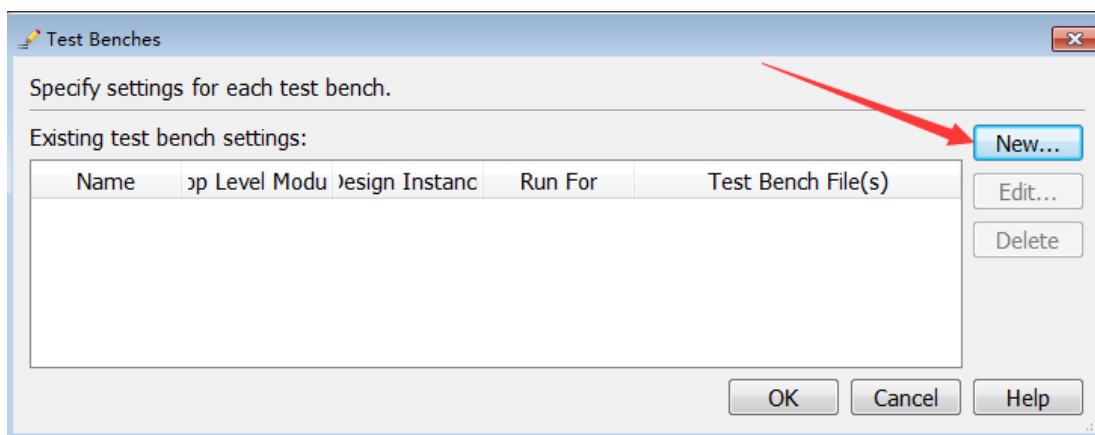
2. 在左侧列表中，点击：EDA TOOLS Settings-> simulation。



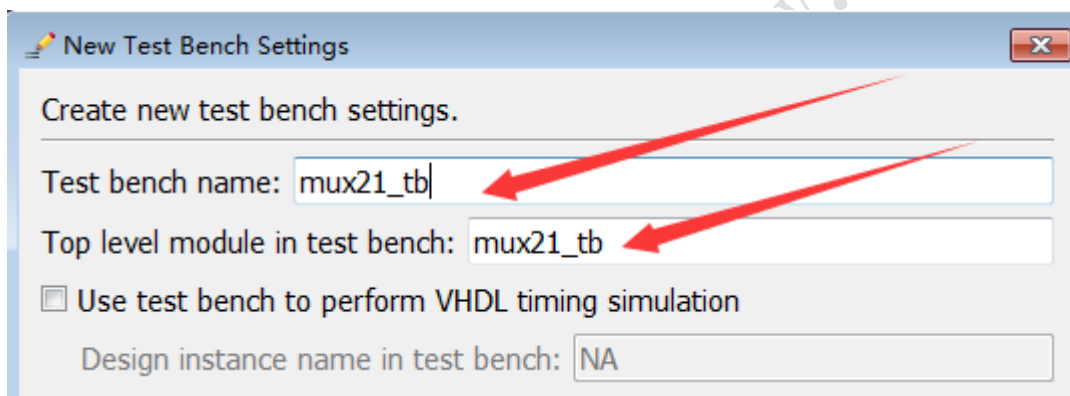
3. 选中 Compile test bench，然后点击 Test Benches。



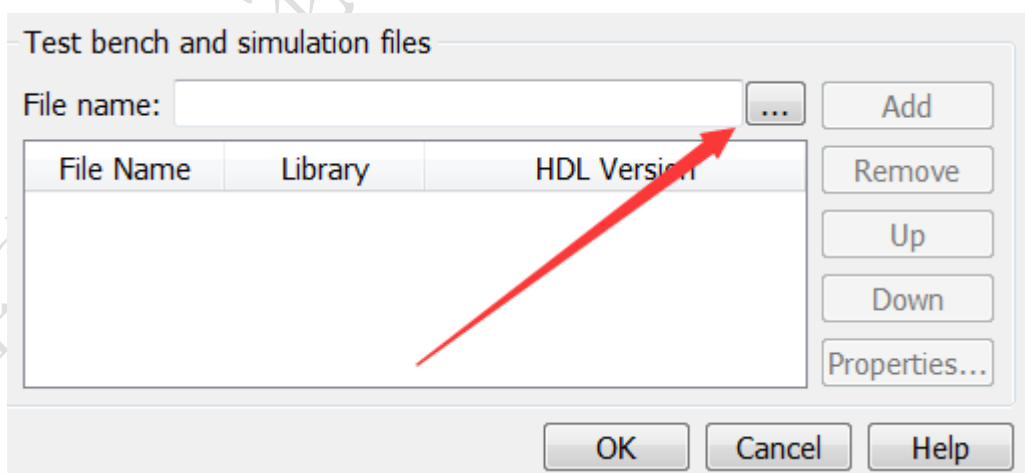
4. 然后点击 NEW。



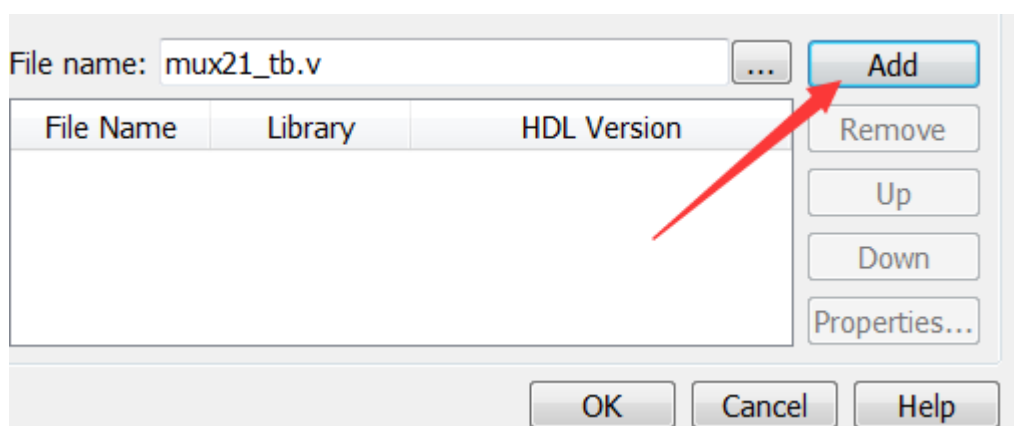
5. 填写激励的名称。



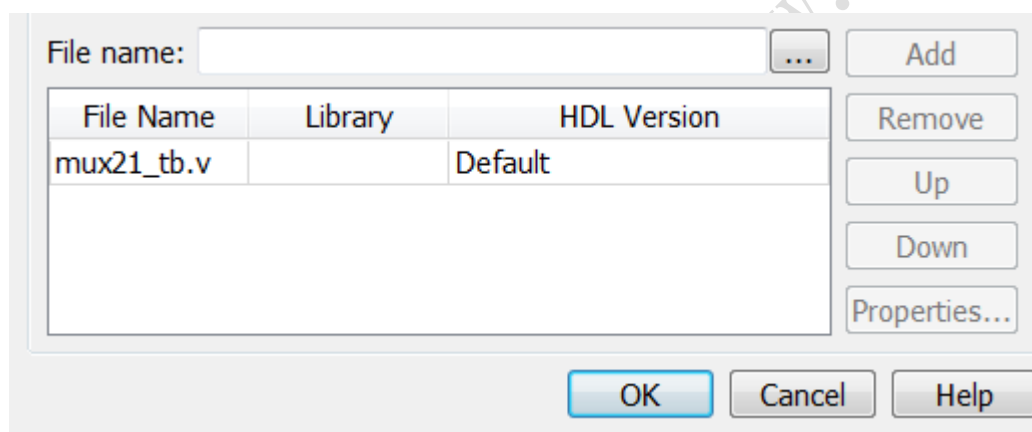
6. 找到激励文件。



7. 点击 add。



8. 一直点击 OK。



经过上述的步骤，我们成功地“告诉”软件那个是激励了，下面我们就可以去仿真了。如果还是有不明白的小伙伴可以发邮件到我邮箱或者加群询问。

制作人: 奋斗的小孩

fpga 交流群: 282124839