



奋斗的小孩之 altera 系列

第十篇 二选一多路选择器激励的设计

写完了“二选一多路选择器”的代码，我们可以去检查一下代码是否有语法错误，点击：，快捷键是：Ctrl + K。

如果出现语法错误，我们要去修改代码并且再一次检查语法，直到不再有错误。虽然语法错误没有了，但是逻辑是否正确呢？这些还是不得而知的。写上一段激励，通过 modelsim 来查看我们的波形是否正确。

首先新建一个 verilog 文件，名称为“mux21_tb”（在复杂设计中有很多的设计文件，并且都需要去测试。笔者建议：对那个模块测试，激励的名称就叫做“<测试模块名称>_tb”）。

激励的代码如下：

```
/*  
模块名称: mux21_tb  
模块功能: 为 mux_21 提供输入信号  
编写时间: 2016-08-02  
作者: 至芯科技——奋斗的小孩  
邮箱: zxopenhxs@126.com  
*/  
  
`timescale 1ns/1ps  
  
module mux21_tb;  
  
    reg a;  
    reg b;  
    reg s;
```



```
wire c;
```

```
initial begin
```

```
    a = 1'b0;
```

```
    b = 1'b1;
```

```
    s = 1'b0;
```

```
    # 50
```

```
    a = 1'b0;
```

```
    b = 1'b1;
```

```
    s = 1'b1;
```

```
    # 50
```

```
    a = 1'b1;
```

```
    b = 1'b0;
```

```
    s = 1'b0;
```

```
    # 50
```

```
    a = 1'b1;
```

```
    b = 1'b0;
```

```
    s = 1'b1;
```

```
    # 50
```

```
    $stop;
```

```
end
```

```
mux21 mux21_dut (
```

```
    .a(a),
```

```
    .b(b),
```

```
    .s(s),
```

```
    .c(c)
```

```
);
```

```
endmodule
```

上述代码就是 mux21 的测试代码，大家写完之后也要去检测代码是否有语法错误。下面笔者来一一解释激励中的各个语句都是什么意思：

1. 时标

```
`timescale 1ns/1ps
```

1) 前面的”`”是 Esc 键下面的键（和波浪线为同一键）。



2) “/” 前面的 1ns 为时间单位。

3) “/” 后面的 1ps 为时间精度。

深入理解时标的意义：在激励中，有很多的 “# xx “，代表的意思是：延时 xx ns。那么时间精度是什么呢？这个我们可以看看自己的存款余额，例如：100.21 元。单位是：元，精度是：0.01 元（也可以理解为：分）。对比一下，是不是一下子就理解了呢。但是，要注意，精度不能比单位大。

2. 模块开始和结束。

```
module mux21_tb;
```

```
endmodule
```

激励是不需要有端口的，所有的信号自己内部产生，然后连接到我们要测试的设计上。

3. 定义的变量。

```
reg a;
```

```
reg b;
```

```
reg s;
```

```
wire c;
```

将设计的输入定义成 reg 的类型（在 initial 模块中赋值必须是 reg 类型），我们在激励当中对它们赋值，然后传输到设计当中。

将设计的输出定义成 wire 的类型，连接到设计的输出端口，在 modelsim 中查看输出波形是否正确。

4. 上电过程。

```
initial begin
```

```
    a = 1'b0;
```



```
b = 1'b1;  
s = 1'b0;  
# 50  
a = 1'b0;  
b = 1'b1;  
s = 1'b1;  
# 50  
a = 1'b1;  
b = 1'b0;  
s = 1'b0;  
# 50  
a = 1'b1;  
b = 1'b0;  
s = 1'b1;  
# 50  
$stop;  
end
```

initial 模块是顺序执行的。我们通过延时将输入在不同的时间段赋不同的值。” 1’ b1”：前面的“1“代表1bit,” ‘b“代表用二进制表示（这个” ’“是单引号，一定要和`tiemscale的”`“区分开），后面的” 1“代表高电平。\$stop 是仿真的停止命令，具体的意思：当运行这个地方的时候，仿真自动停止（如果有不明白的小伙伴，可以查看后续章节）。

5. 设计例化并连线。

```
mux21 mux21_dut(  
    .a(a),  
    .b(b),  
    .s(s),  
    .c(c)  
);
```

例化方式笔者在《奋斗的小孩之altera 系列 第八篇 verilog基础语法》中有介绍。

上述就是二选一多路选择器激励的分析，如果还是有不明白的小



至芯科技
ZHI XIN TECHNOLOGY

FPGA 培训专家 www.zxopen.com

伙伴可以发邮件到我邮箱或者加群询问。

制作人: 奋斗的小孩

fpga 交流群: 282124839

至芯科技论坛—www.fpgaw.com

至芯科技论坛 www.fpgaw.com