

电子设计与嵌入式开发实践丛书

FPGA 设计实战演练 (高级技巧篇)

王敏志 编著

清华大学出版社
北京

内 容 简 介

现代 FPGA 的结构越来越复杂,多时钟域的设计现在已是常态。对于功能电路来说,复位结构都必不可少。在同步逻辑设计中如何很好地处理异步复位,甚至在多时钟域之间传递(异步)复位信号也是逻辑工程师经常面临的挑战。本书除专门介绍了上述电路的设计方法,还介绍了状态机的设计。在介绍这些通用电路结构的基础上,还介绍了代码优化以及如何对设计进行综合与布局布线优化方面的相关内容。

本书可供通信工程、电子工程、计算机、微电子等专业并有一定 FPGA 开发基础的在校大学生参考,也可作为硬件工程师、FPGA 工程师的工具书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

责任编辑:刘 星

封面设计:

责任校对:

责任印制:

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>,010-62795954

印 刷 者:

装 订 者:

经 销:全国新华书店

开 本: mm× mm 印 张:

字 数: 千字

版 次:20 年 月第 1 版

印 次:20 年 月第 1 次印刷

印 数:1~ 000

定 价: .00 元

产品编号:061716-01

前言

设计者学习 FPGA 开发,有时难免会面临一些选择。对于初学者来说,从来就面临着学习哪种硬件语言,采样哪家平台的问题。而实际应用中,不管使用哪种语言,设计采用哪家的器件,其相互之间都可以转换,彼此存在共通的东西。本书就是希望通过介绍一些通用电路的设计技巧,使读者能够掌握 FPGA 逻辑设计的基本指导原则以及代码优化方法。书中尽量通过实例介绍如何描述硬件电路,某些实例代码还提供了两种 HDL 语言的对比。

一、本书的由来

一直在想,是否可以写这样一本参考书,这样大家不管学习哪种语言,使用哪家器件,都可以作为很好的参考。

在答复一些正在学习 FPGA 的同学或工程师的问题时,也常被人问及两个问题,一个是怎么学习 FPGA 的设计开发?另一个是如何学好 FPGA 的设计开发?前一个问题是 FPGA 开发如何入门的问题;而后一个则是 FPGA 开发如何进阶的问题。本书主要讨论第二个问题。

在收到了清华大学出版社编辑刘星的约稿邮件并与之讨论了本人的上述想法后,编纂一本面对高级 FPGA 开发工程师的参考书的想法便顺理成章地开始实施了。

二、本书特点

现在有很多有关 FPGA 开发方面的书籍,其中大部分都不错,但比较遗憾的是,很多书都过多地介绍了开发工具或软件。本书希望多从纯粹逻辑设计的角度入手,尽量减少开发工具的介绍,大量介绍通用电路的设计开发技巧。

根据笔者多年的工作体会,感觉 FPGA 工程师还是应该掌握一些电路设计方面的知识,故本书开篇即从 FPGA 硬件电路设计开始。FPGA 工程师在对设计进行系统联调时,如果对电路设计不了解,很可能会妨碍逻辑设计中故障的排除。

逻辑设计是 FPGA 设计的核心,所以本书的重点就是介绍逻辑设计的方法和技巧。本书不但会介绍应用软件工具对设计优化,更会介绍代码级的优化方法,而且会重点为读者推介后者。现代逻辑设计的复杂程度已经超乎我们的想象,但是一些基本的设计原则并未改

Foreword

变,所以掌握一些通用电路的设计方法和技巧就显得极为重要。时钟及多时钟域处理在现在的 FPGA 设计中极为常见,书中详细介绍了如何管理这些时钟,且重点讨论了跨越时钟域的数据处理。

我们知道,现在的设计工具随着 FPGA 规模的变大,已变得越来越复杂,功能也越来越强。软件可以帮助设计者获得更佳的设计性能。在本书中笔者提出,设计者不要过于依赖软件的帮助,应该更加直接地将电路描述出来,执行更直接的优化,而不是让软件来决定到底执行何种优化。所以,我们需要根据一些特有的逻辑设计原则将电路设计得更简单、更直接、更易优化以及可重用。这些设计原则中有很多已在笔者个人设计经历中屡试不爽,还有一些是本人通过查阅各种参考手册提炼而来,我想也一定能够对读者有所帮助。

三、本书主要内容

本书主要内容为根据笔者的经历并从众多开发文档中提炼出的许多 FPGA 开发的高级技巧和优化方法。全书共分为 11 章,先从具体逻辑电路出发,过渡到通用的设计技巧。

第 1 章从基于 FPGA 的 PCB 设计开始介绍 FPGA 的设计开发,其中专门介绍了有关 FPGA 的高速电路设计。

第 2 章专门介绍了 FPGA 内部的时钟域管理,特别是多时钟域设计。

第 3 章介绍了 FPGA 内部衍生时钟处理,并通过实例介绍了如何对这类时钟进行正确的分析和处理。

第 4 章介绍了复位电路的设计,尤其是异步复位同步释放电路及复位级联的处理,同时介绍了如何对复位电路进行时序分析。

第 5 章介绍了如何写好状态机。

第 6 章介绍了如何对设计进行代码级的速度优化。

第 7 章介绍了如何对设计进行代码级的面积优化。

第 8 章通过几个实例介绍了如何对设计进行优化。

第 9 章介绍了编写可综合代码的方法及指导原则。

第 10 章在对设计进行代码级优化的基础上,介绍了如何使用软件中的设置及工具对设计进行综合及布局布线优化。

第 11 章介绍了预先布图规划及对设计进行布图规划的指导原则。

四、本书读者对象

本书可供通信工程、电子工程、计算机、微电子等专业并有一定 FPGA 开发基础的在校大学生参考,也可作为硬件工程师、FPGA 工程师的工具书。

五、附盘内容

六、致谢

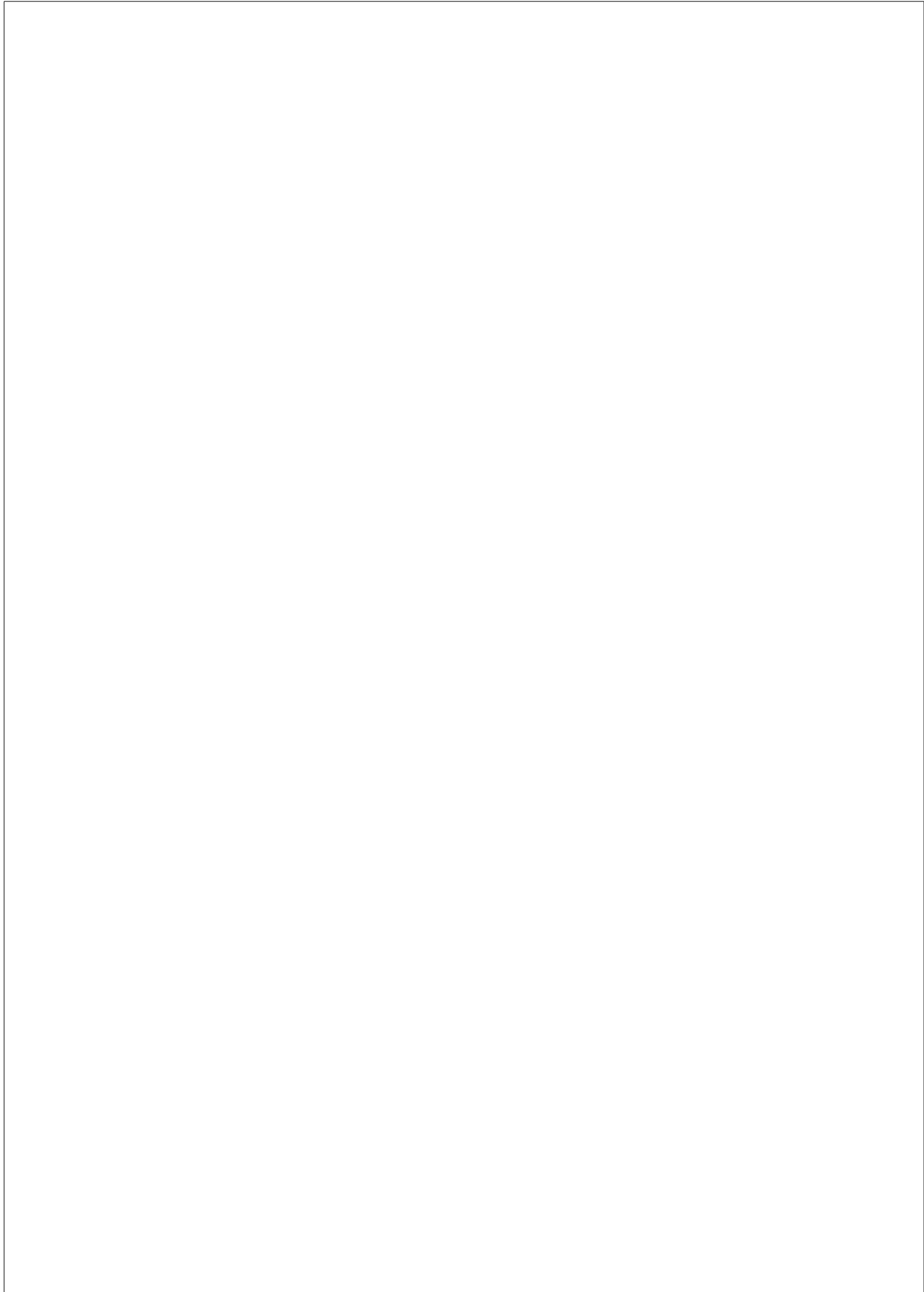
感谢清华大学出版社工作人员对本书的关心和支持,尤其是编辑的大力支持。

最后,感谢您选择了本书。如果您对本书有什么批评和建议或者对书中的内容有任何疑问请和我联系。

电子邮箱:keyou123@sina.com。

王敏志

2015年1月



目 录

第 1 章 从 PCB 开始研究 FPGA 设计问题	1
1.1 基于 FPGA 的高速电路板设计	1
1.1.1 PCB 材料选择	1
1.1.2 PCB 上的传输线走线	2
1.1.3 阻抗计算	3
1.1.4 降低串扰和维持信号完整性的布线方法	3
1.2 FPGA 的电源供电	5
1.2.1 供电要求	6
1.2.2 PCB 设计的电源和地叠层分布	8
1.3 退耦电容	10
1.3.1 为何需要退耦电容	11
1.3.2 计算电容值	12
1.3.3 电容的摆放	13
1.4 小结	15
第 2 章 如何处理逻辑设计中的时钟域	16
2.1 PLL 对时钟域的管理	17
2.2 单比特信号跨时钟域的同步处理	18
2.2.1 亚稳态及其危害	18
2.2.2 处理亚稳态的经典办法——双触发	19
2.2.3 使用三级触发器对亚稳态进行同步处理	21
2.2.4 如何同步快速信号到慢速时钟域	22
2.3 多比特信号跨时钟域同步处理	25
2.3.1 多比特信号融合	25
2.3.2 多周期路径规划	28
2.4 使用 FIFO 结构处理多比特跨时钟域信号	29
2.5 多时钟域设计分区划分	31

Contents

2.5.1	在时钟边界划分分区	31
2.5.2	多时钟域分区划分后的静态时序分析	32
2.5.3	对多周期规划逻辑设计进行分区划分	33
2.6	设计中的门控时钟行波时钟的处理	33
2.6.1	衍生时钟处理指导原则一	34
2.6.2	衍生时钟处理指导原则二	35
2.6.3	衍生时钟处理指导原则三	35
2.6.4	衍生时钟处理的其他方法	35
2.7	小结	37
第 3 章	正确分析衍生时钟	38
3.1	实例演示门控时钟分析处理	39
3.1.1	时钟反相生成的时钟	39
3.1.2	时钟经过缓冲后生成的时钟	40
3.1.3	经过使能处理后的时钟	41
3.1.4	时钟多路选择器输出的时钟	44
3.1.5	经外部反馈回来的时钟	58
3.2	实例演示衍生时钟的分析和处理	61
3.2.1	触发器切换生成的时钟	61
3.2.2	由行波计数器生成的时钟	63
3.2.3	由同步计数器生成的时钟	64
3.2.4	由 PLL 生成的时钟	66
3.3	小结	69
第 4 章	复位电路的实现及其时序分析处理	70
4.1	同步复位设计处理	70
4.2	异步复位设计处理	75
4.3	异步复位同步化(异步复位同步释放设计处理)	79
4.4	Recovery 和 Removal 分析	86
4.4.1	什么是 Recovery 和 Removal 分析	87
4.4.2	什么是 Recovery 和 Removal 故障	88
4.4.3	为何总是建议使用异步复位	90
4.4.4	分析并解决 Recovery 和 Removal 故障	91
4.5	小结	94
第 5 章	如何写好状态机	95
5.1	状态机的特定及常见问题	95
5.2	如何选择状态机的编码方式	96
5.3	合理选择及使用单进程或多进程来设计状态机	98

5.3.1	多进程状态机	98
5.3.2	单进程状态机	100
5.3.3	状态机的比较	100
5.4	设计综合工具能够识别的状态机	107
5.4.1	采样 Verilog 编写	108
5.4.2	采样 VHDL 编写	109
5.5	小结	113
第 6 章	如何在书写代码时进行速度优化	114
6.1	逻辑设计中速度的概念	114
6.2	时序收敛的早期考虑	115
6.3	代码编写过程中时刻考虑时序优化	116
6.3.1	编写时序收敛代码的总体规则	117
6.3.2	通过减少关键路径上的组合逻辑单元数来优化时序	117
6.3.3	为了优化设计速度,可以适当进行逻辑复制	120
6.3.4	在组合逻辑中插入寄存器优化时序	124
6.3.5	通过寄存器平衡优化时序	128
6.3.6	使用并行结构优化时序	134
6.3.7	通过消除代码中的优先级优化速度(if-case)	134
6.4	小结	139
第 7 章	如何在书写代码时进行面积优化	140
7.1	优化设计面积——操作符平衡	140
7.2	优化设计面积——打破设计流水	143
7.3	优化设计面积——资源共享	148
7.3.1	在互斥操作中共享操作符	148
7.3.2	共享表达式	151
7.3.3	共享逻辑功能模块	153
7.4	复位对设计面积的影响	156
7.5	从器件角度理解如何节省资源	157
7.5.1	利用厂家原语进行面积优化	158
7.5.2	巧用触发器的控制端口	158
7.5.3	多路选择器优化	164
7.6	小结	172
第 8 章	代码优化设计实例分析	173
8.1	对设计时序进行优化的实例分析	173
8.1.1	时序优化实例一:同步电路时序分析	173
8.1.2	时序优化实例二:异步电路及时序例外分析	179

8.1.3	时序优化实例三:利用 PLL 对设计进行时序优化	187
8.2	修改代码优化面积具体实例分析	192
8.3	小结	200
第 9 章	如何编写可综合代码	201
9.1	普通 if 和 case 语句可综合代码书写规则	202
9.1.1	基本的 if 语句	202
9.1.2	简单的 case 语句	204
9.2	如何调整 if 和 case 语句中关键信号的路径	207
9.2.1	简单、多个并行 if 语句的情况	207
9.2.2	单个 if 语句中的情况	209
9.2.3	if 语句嵌套 case 语句的情况	212
9.2.4	case 语句嵌套 if 语句的情况	216
9.3	提高设计性能的代码技巧	220
9.3.1	通过复制数据路径提高设计性能	220
9.3.2	如何更好地处理 if 条件语句中的算术操作	224
9.4	代码可综合常用指导原则	226
9.4.1	避免创建不必要的锁存器	226
9.4.2	进程中的敏感列表一定要完备	229
9.4.3	FOR 循环的使用以及避免组合逻辑回环	229
9.4.4	阻塞和非阻塞赋值	231
9.4.5	可综合代码设计对时钟和复位的要求	233
9.5	小结	236
第 10 章	综合以及布局布线优化	237
10.1	综合级速度与面积优化设置	237
10.2	使用设计助手和优化顾问	239
10.3	对设计执行早期时序估算	241
10.4	综合网表优化	242
10.5	物理综合	245
10.5.1	物理综合	245
10.5.2	针对性能的物理综合优化选项	247
10.5.3	针对布局布线的物理综合优化选项	250
10.6	了解并理解布局布线工具及其对设计的优化	250
10.6.1	可以帮助布局布线的一些综合建议	251
10.6.2	时序约束及其优化	251
10.6.3	优化 I/O 时序	254
10.6.4	优化设计面积	254
10.7	了解逻辑单元所见即所得结构	261

10.7.1	逻辑单元结构	261
10.7.2	布线延时与布线距离以及布线规则的关系	261
10.7.3	综合网表建议	263
10.7.4	综合及优化	264
10.8	小结	267
第 11 章	预先布图规划	268
11.1	增量编译	268
11.1.1	增量编译简介	268
11.1.2	使用增量编译的设计流程	270
11.2	为何要对设计进行分区和布图规划	271
11.3	对设计进行分区划分	274
11.3.1	设计分区划分宏观考虑因素	275
11.3.2	设计分区划分指导原则	277
11.3.3	如何对第三方设计进行分区划分	288
11.3.4	检查设计分区的质量	294
11.3.5	从底层导入设计时如何导入 SDC 约束	298
11.4	对设计进行预先布图规划的危害	302
11.5	布图规划	302
11.5.1	布图规划简介	302
11.5.2	布图规划布局指导原则	305
11.5.3	实际应用实例推荐的设计流程	308
11.6	小结	310
参考文献	311