



## 实验八 模数转换

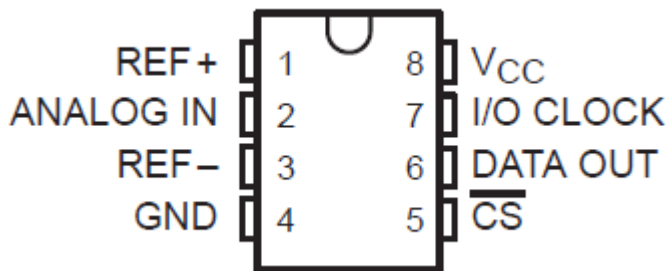
——TLC549 ADC

### 一、 实验背景

转换器，又称 A/D 转换器，简称 ADC，通常是指一个将模拟信号转变为数字信号的电子元件。通常的模数转换器是将一个输入电压信号转换为一个输出的数字信号。由于数字信号本身不具有实际意义，仅仅表示一个相对大小。故任何一个模数转换器都需要一个参考模拟量作为转换的标准。比较常见的参考标准为最大的可转换信号大小。而输出的数字量则表示输入信号相对于参考信号的大小。

### 二、 实验原理

#### a) TLC549 芯片接口



特点：

1. 微处理器外设或独立工作
2. 8位分辨率的A/D转换器
3. 差分参考输入电压
4. 最大转换时间17us
5. 总访问和转换周期每秒可达40000
6. 采样和保持功能
7. 标准的4MHZ的内部系统时钟

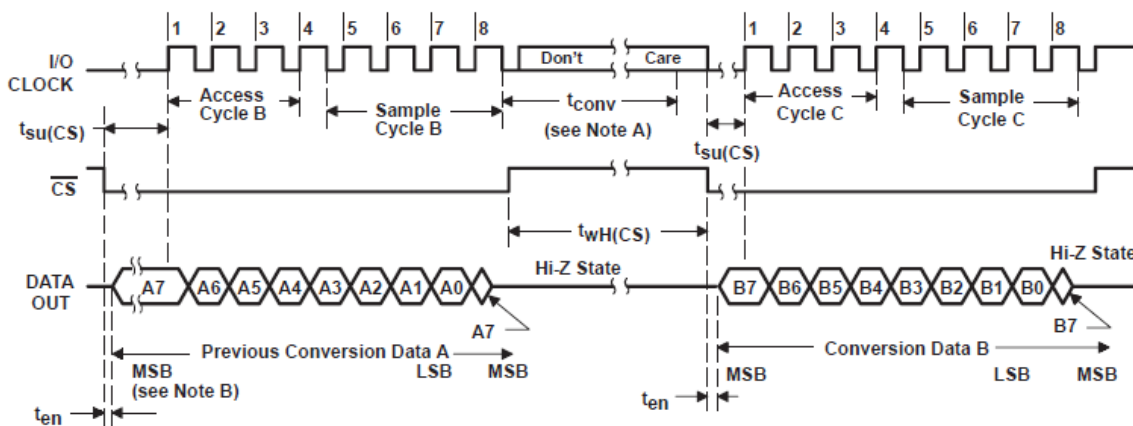


注意：TLC549是 TI公司生产的一种低价位、高性能的8位 [A/D转换器](#)，它以8位开关电容逐次逼近的方法实现 A/D转换，其转换速度小于 17us，最大转换速率为 40000HZ，4MHZ典型内部[系统时钟](#)，电源为 3V至 6V。TLC549的使用只有输入/输出时钟（I/O时钟）以及芯片选择（CS）输入的数据控制。TLC549的I/O时钟被指定至1.1MHz。

功能表

端口		描述
名称	序号	
I/O CLK	7	外接输入/输出时钟
/CS	5	芯片选择
REF+	1	正基准电压输入
REF-	3	负基准电压输入
ANALOG IN	2	模拟信号输入
DATA OUT	6	转换结果数据串行输出

#### b) TLC 549 接口时序



当 CS 为高时，数据输出 (DATA OUT) 端处于高阻状态，此时 I/O CLOCK 不起作用。这种 CS 控制作用允许在同时使用多片 TLC549 时，共用 I/O CLOCK，以减少多路（片）A/D 并用时的 I/O 控制端口。

一组通常的控制时序为：

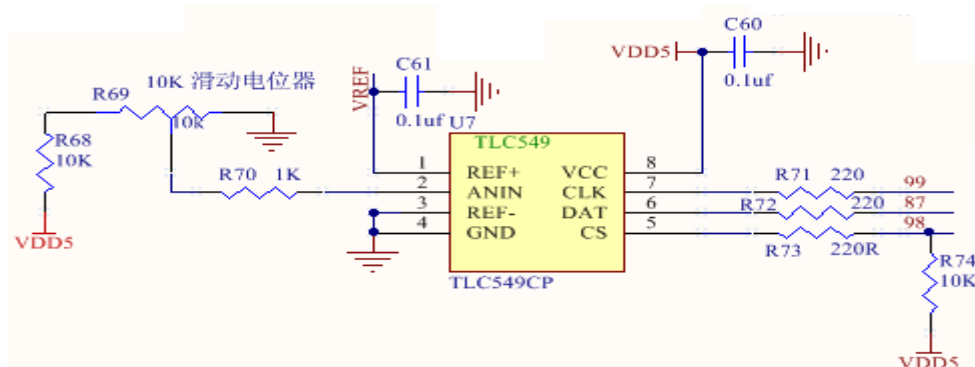
- (1) 将 CS 置低。内部电路在测得 CS 下降沿后，再等待两个内部时钟上升沿和一个下降沿后，然后确认这一变化，最后自动将前一次转换结果的最高位 (D7) 位输出到 DATA OUT 端上。
- (2) 前四个 I/O CLOCK 周期的下降沿依次移出第 2、3、4 和第 5 个位 (D6、D5、D4、D3)，片上采样保持电路在第 4 个 I/O CLOCK 下降沿开始采样模拟输入。
- (3) 接下来的 3 个 I/O CLOCK 周期的下降沿移出第 6、7、8 (D2、D1、D0) 个转换位。
- (4) 最后，片上采样保持电路在第 8 个 I/O CLOCK 周期的下降沿将移出第 6、7、8 (D2、D1、D0) 个转换位。保持功能将持续 4 个内部时钟周期，然后开始进行 32 个内部时钟周期的 A/D 转换。第 8 个 I/O CLOCK 后，CS 必须为高，或将 I/O CLOCK 保持低电平，这种状态需要维持 36 个内部系统时钟周期以等待保持和转换工作的完成。如果 CS 为低时 I/O CLOCK 上出现一个有效干扰脉冲，则微处理器/控制器将不器件的 I/O 时序失去同步；若 CS 为高时出现一次有效低电平，则将使引脚重新初始化，从而脱离原转换过程。

在 36 个内部系统时钟周期结束之前，实施步骤 (1) — (4)，可重新启动一次新的 A/D 转换，不此同时，正在进行的转换终止，此时的输出是前一次的转换结果而不是正在进行的转换结果。若要在特定的时刻采样模拟信号，应使第 8 个 I/O CLOCK 时钟的下降沿不该时刻对应，因为芯片虽在第 4 个 I/O CLOCK 时钟下降沿开始采样，却在第 8 个 I/O CLOCK 的下降沿开始保存。

在此实验中的工作时序：

	MIN	MAX	UNIT
Tsu(CS)	1.4		us
Tconv		17	us
Ten		1.4	us
TwH(CS)	17		us

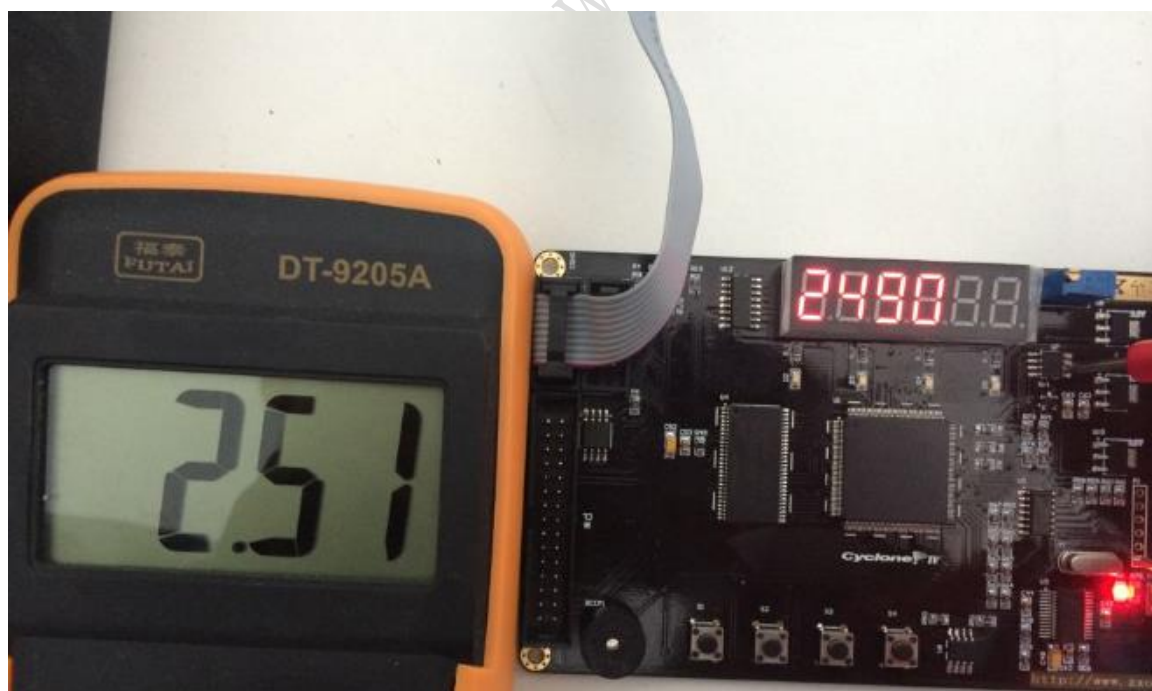
c) TLC549 原理图



### 三、 实验目的

转动模拟量控制器，通过 TLC549 芯片的 AD 转换，将相应的模拟量转化为数字量，并将数字量显示在数码管上。

### 四、 实验结果



如图：通过调节模拟输入控制器，数码管上显示的数字量达到最大值，此时电压也最大