

Altera 新的 Cyclone® IV 系列 FPGA 器件巩固了 Cyclone 系列在低成本、低功耗 FPGA 市场的领导地位，并且目前提供集成收发器功能的型号。Cyclone IV 器件旨在用于大批量，成本敏感的应用，使系统设计师在降低成本的同时又能够满足不断增长的带宽要求。

Cyclone IV 器件系列是建立在一个优化的低功耗工艺基础之上，并提供以下两种型号：

- Cyclone IV E— 最低的功耗，通过最低的成本实现较高的功能性
- Cyclone IV GX— 最低的功耗，集成了 3.125 Gbps 收发器的最低成本的 FPGA



Cyclone IV E 器件可以在 1.0 V 和 1.2 V 核电压下使用。



欲了解详细信息，请参考 *Power Requirements for Cyclone IV Devices* 章节。

Cyclone IV 器件集成了一个可选择的低成本收发器，在未影响性能的情况下，节省了功耗及成本。针对无线、有线、广播、工业，用户以及通信等行业中的低成本的小型应用，Cyclone IV 器件无疑是最理想的选择。

Cyclone IV 器件系列特性

Cyclone IV 器件系列具有以下特性：

- 低成本、低功耗的 FPGA 架构：
 - 6 K 到 150 K 的逻辑单元
 - 高达 6.3 Mb 的嵌入式存储器
 - 高达 360 个 18 × 18 乘法器，实现 DSP 处理密集型应用
 - 协议桥接应用，实现小于 1.5 W 的总功耗

- Cyclone IV GX 器件提供高达八个高速收发器以支持：
 - 高达 3.125 Gbps 的数据速率
 - 8B/10B 编码器 / 解码器
 - 8-bit 或者 10-bit 位物理介质附加子层 (PMA) 到物理编码子层 (PCS) 接口
 - 字节串化器 / 解串器 (SERDES)
 - 字对齐器
 - 速率匹配 FIFO
 - 公共无线电接口 (CPRI) 的 TX 位滑块
 - 电路空闲
 - 动态通道重配置以实现数据速率及协议的即时修改
 - 静态均衡及预加重以实现最佳的信号完整性
 - 每通道 150 mW 的功耗
 - 灵活的时钟结构以支持单一收发器模块中的多种协议
- Cyclone IV GX 器件对 PCI Express (PIPE) (PCIe) Gen 1 提供了专用的硬核 IP：
 - $\times 1$, $\times 2$, 和 $\times 4$ 通道配置
 - 终点和根端口配置
 - 高达 256-byte 的有效负载
 - 一个虚拟通道
 - 2 KB 重试缓存
 - 4 KB 接收 (Rx) 缓存
- Cyclone IV GX 器件提供多种协议支持：
 - PCIe (PIPE) Gen 1 $\times 1$, $\times 2$, 和 $\times 4$ (2.5 Gbps)
 - 千兆以太网 (1.25 Gbps)
 - CPRI (高达 3.072 Gbps)
 - XAUI (3.125 Gbps)
 - 三倍速率串行数字接口 (SDI) (高达 2.97 Gbps)
 - 串行 RapidIO (3.125 Gbps)
 - Basic 模式 (高达 3.125 Gbps)
 - V-by-One (高达 3.0 Gbps)
 - DisplayPort (2.7 Gbps)
 - 串行高级技术附件 (Serial Advanced Technology Attachment (SATA)) (高达 3.0 Gbps)
 - OBSAI (高达 3.072 Gbps)

- 高达 532 个用户 I/O
 - 高达 840 Mbps 发送器 (Tx), 875 Mbps Rx 的 LVDS 接口
 - 支持高达 200 MHz 的 DDR2 SDRAM 接口
 - 支持高达 167 MHz 的 QDRII SRAM 和 DDR SDRAM
- 每器件中高达 8 个锁相环 (PLLs)
- 支持商业与工业温度等级

器件资源

表 1-1 列出了 Cyclone IV E 器件资源。

表 1-1. Cyclone IV E 器件系列资源

资源	EP4CE6	EP4CE10	EP4CE15	EP4CE22	EP4CE30	EP4CE40	EP4CE55	EP4CE75	EP4CE115
逻辑单元 (LE)	6,272	10,320	15,408	22,320	28,848	39,600	55,856	75,408	114,480
嵌入式存储器 (Kbits)	270	414	504	594	594	1,134	2,340	2,745	3,888
嵌入式 18 × 18 乘法器	15	23	56	66	66	116	154	200	266
通用 PLL	2	2	4	4	4	4	4	4	4
全局时钟网络	10	10	20	20	20	20	20	20	20
用户 I/O 块	8	8	8	8	8	8	8	8	8
最大用户 I/O (注释 1)	179	179	343	153	532	532	374	426	528

表 1-1 注释:

(1) 管脚列表文件中的用户 I/O 管脚包括所有的通用 I/O 管脚、专用时钟管脚以及两用配置管脚。收发器管脚和专用配置管脚不包括在这一管脚列表中。

表 1-2 列出了 Cyclone IV GX 器件资源

表 1-2. Cyclone IV GX 器件系列的资源

资源	EP4CGX15	EP4CGX22	EP4CGX30 (注释 1)	EP4CGX30 (注释 2)	EP4CGX50 (注释 3)	EP4CGX75 (注释 3)	EP4CGX110 (注释 3)	EP4CGX150 (注释 3)
逻辑单元 (LE)	14,400	21,280	29,440	29,440	49,888	73,920	109,424	149,760
嵌入式存储器 (Kbit)	540	756	1,080	1,080	2,502	4,158	5,490	6,480
嵌入式 18 × 18 乘法器	0	40	80	80	140	198	280	360
通用 PLL	1	2	2	4 (注释 4)	4 (注释 4)	4 (注释 4)	4 (注释 4)	4 (注释 4)
多用 PLL	2 (注释 5)	2 (注释 5)	2 (注释 5)	2 (注释 5)	4 (注释 5)	4 (注释 5)	4 (注释 5)	4 (注释 5)
全局时钟网络	20	20	20	30	30	30	30	30
高速收发器 (注释 6)	2	4	4	4	8	8	8	8
收发器最大数据速率 (Gbps)	2.5	2.5	2.5	3.125	3.125	3.125	3.125	3.125
PCIe (PIPE) 硬核 IP 模块	1	1	1	1	1	1	1	1
用户 I/O 块	9 (注释 7)	9 (注释 7)	9 (注释 7)	11 (注释 8)	11 (注释 8)	11 (注释 8)	11 (注释 8)	11 (注释 8)
最大用户 I/O (注释 9)	72	150	150	290	310	310	475	475

表 1-2 注释:

- 应用于 F169 和 F324 封装。
- 应用于 F484 封装。
- 仅有两个多用途 PLL 可应用于 F484 封装。
- 其中两个通用 PLL 可以支持收发器时钟。欲了解详细信息,请参阅 *Clock Networks and PLLs in Cyclone IV Devices* 章节。
- 当多用 PLL 未用于同步收发器时,可将它们用于通用时钟。有关详细信息,请参阅 *Clock Networks and PLLs in Cyclone IV Devices* 章节。
- 如果 PCIe x1, 您可以将该象限中其它收发器用于相同或者不同的数据速率下的其他协议。
- 包括用于 HSSI 参考时钟输入的一个配置 I/O 块和两个专用的时钟输入 I/O 块。
- 包括用于 HSSI 参考时钟输入的一个配置 I/O 块和四个专用的时钟输入 I/O 块。
- 管脚列表文件中的用户 I/O 管脚包括所有的通用 I/O 管脚、专用时钟管脚以及两用配置管脚。收发器管脚和专用配置管脚不包括在这一管脚列表中。

封装矩阵

表 1-3 列出了 Cyclone IV E 器件封装产品。

表 1-3. Cyclone IV E 器件系列的封装产品 (注释 1)

封装	E144		M164		U256		F256		U484		F484		F780	
尺寸 (毫米)	22 × 22		8 × 8		14 × 14		17 × 17		19 × 19		23 × 23		29 × 29	
间距 (毫米)	0.5		0.5		0.8		1.0		0.8		1.0		1.0	
器件	用户 I/O	LVDS (注释 2)	用户 I/O	LVDS (注释 2)	用户 I/O	LVDS (注释 2)	用户 I/O	LVDS (注释 2)	用户 I/O	LVDS (注释 2)	用户 I/O	LVDS (注释 2)	用户 I/O	LVDS (注释 2)
EP4CE6	↑ 91	21	—	—	↑ 179	66	↑ 179	66	—	—	—	—	—	—
EP4CE10	91	21	—	—	↑ 179	66	↑ 179	66	—	—	—	—	—	—
EP4CE15	81	18	↕ 89	21	↓ 165	53	↓ 165	53	—	—	↑ 343	137	—	—
EP4CE22	↓ 79	17	—	—	↓ 153	52	↓ 153	52	—	—	—	—	—	—
EP4CE30	—	—	—	—	—	—	—	—	—	—	↑ 328	124	↑ 532	224
EP4CE40	—	—	—	—	—	—	—	—	↑ 328	124	↑ 328	124	↑ 532	224
EP4CE55	—	—	—	—	—	—	—	—	↓ 324	132	↓ 324	132	↓ 374	160
EP4CE75	—	—	—	—	—	—	—	—	↓ 292	110	↓ 292	110	↓ 426	178
EP4CE115	—	—	—	—	—	—	—	—	—	—	↓ 280	103	↓ 528	230

表 1-3 注释:

- (1) E144 封装在底部有一个裸露衬底，这个裸露衬底是接地的，它必须接到 PCB 的地平面上。将该裸露衬底用于电路连接，而不要用于温度处理用途。
- (2) 即包括专用 LVDS 对，也包括伪 LVDS 对。有关详细信息，请参阅 *I/O Features in Cyclone IV Devices* 章节。

表 1-4 列出了 Cyclone IV GX 器件封装产品，包括 I/O 和收发器数量

表 1-4. Cyclone IV GX 器件系列的封装产品

封装	N148			F169			F324			F484			F672			F896		
尺寸 (毫米)	11 × 11			14 × 14			19 × 19			23 × 23			27 × 27			31 × 31		
间距 (毫米)	0.5			1.0			1.0			1.0			1.0			1.0		
器件	用户 I/O	LVDS (注释 1)	XCVRs	用户 I/O	LVDS (注释 1)	XCVRs	用户 I/O	LVDS (注释 1)	XCVRs	用户 I/O	LVDS (注释 1)	XCVRs	用户 I/O	LVDS (注释 1)	XCVRs	用户 I/O	LVDS (注释 1)	XCVRs
EP4CGX15	72	25	2	↕72	25	2	—	—	—	—	—	—	—	—	—	—	—	—
EP4CGX22	—	—	—	↕72	25	2	↕150	64	4	—	—	—	—	—	—	—	—	—
EP4CGX30	—	—	—	↕72	25	2	↕150	64	4	↕290	130	4	—	—	—	—	—	—
EP4CGX50	—	—	—	—	—	—	—	—	—	↕290	130	4	↕310	140	8	—	—	—
EP4CGX75	—	—	—	—	—	—	—	—	—	↕290	130	4	↕310	140	8	—	—	—
EP4CGX110	—	—	—	—	—	—	—	—	—	↕270	120	4	↕393	181	8	↕475	220	8
EP4CGX150	—	—	—	—	—	—	—	—	—	↕270	120	4	↕393	181	8	↕475	220	8

表 1-4 注释:

(1) 即包括专用 LVDS 对，也包括伪 LVDS 对。有关详细信息，请参阅 *I/O Features in Cyclone IV Devices* 章节。

Cyclone IV 器件系列的速度等级

表 1-5 列出了 Cyclone IV GX 器件的速率等级。

表 1-5. Cyclone IV GX 器件系列的速度等级

器件	N148	F169	F324	F484	F672	F896
EP4CGX15	C7, C8, I7	C6, C7, C8, I7	—	—	—	—
EP4CGX22	—	C6, C7, C8, I7	C6, C7, C8, I7	—	—	—
EP4CGX30	—	C6, C7, C8, I7	C6, C7, C8, I7	C6, C7, C8, I7	—	—
EP4CGX50	—	—	—	C6, C7, C8, I7	C6, C7, C8, I7	—
EP4CGX75	—	—	—	C6, C7, C8, I7	C6, C7, C8, I7	—
EP4CGX110	—	—	—	C7, C8, I7	C7, C8, I7	C7, C8, I7
EP4CGX150	—	—	—	C7, C8, I7	C7, C8, I7	C7, C8, I7

表 1-6 列出了 Cyclone IV E 器件的速率等级。

表 1-6. Cyclone IV E 器件系列的速度等级 (注释 1)、(注释 2)

器件	E144	M164	U256	F256	U484	F484	F780
EP4CE6	C8L, C9L, I8L C6, C7, C8, I7, A7	—	I7N	C8L, C9L, I8L C6, C7, C8, I7, A7	—	—	—
EP4CE10	C8L, C9L, I8L C6, C7, C8, I7, A7	—	I7N	C8L, C9L, I8L C6, C7, C8, I7, A7	—	—	—
EP4CE15	C8L, C9L, I8L C6, C7, C8, I7	I7N	I7N	C8L, C9L, I8L C6, C7, C8, I7, A7	—	C8L, C9L, I8L C6, C7, C8, I7, A7	—
EP4CE22	C8L, C9L, I8L C6, C7, C8, I7, A7	—	I7N	C8L, C9L, I8L C6, C7, C8, I7, A7	—	—	—
EP4CE30	—	—	—	—	—	C8L, C9L, I8L C6, C7, C8, I7, A7	C8L, C9L, I8L C6, C7, C8, I7
EP4CE40	—	—	—	—	I7N	C8L, C9L, I8L C6, C7, C8, I7, A7	C8L, C9L, I8L C6, C7, C8, I7

表 1-6. Cyclone IV E 器件系列的速度等级 (注释 1) (注释 2)

器件	E144	M164	U256	F256	U484	F484	F780
EP4CE55	—	—	—	—	I7N	C8L, C9L, I8L C6, C7, C8, I7	C8L, C9L, I8L C6, C7, C8, I7
EP4CE75	—	—	—	—	I7N	C8L, C9L, I8L C6, C7, C8, I7	C8L, C9L, I8L C6, C7, C8, I7
EP4CE115	—	—	—	—	—	C8L, C9L, I8L C7, C8, I7	C8L, C9L, I8L C7, C8, I7

表 1-6 注释:

- (1) C8L、C9L 和 I8L 速度等级适用于 1.0 V 的核电压。
 (2) C6、C7、C8、I7 和 A7 速度等级适用于 1.2 V 的核电压。

Cyclone IV 器件系列体系结构

这一部分介绍了 Cyclone IV 器件的体系结构，其中包括以下几方面内容：

- FPGA 核心架构
- I/O 特性
- 时钟管理
- 外部存储器接口
- 配置
- 高速收发器（仅适用于 Cyclone IV GX 器件）
- PCI Express 的硬核 IP（仅适用于 Cyclone IV GX 器件）

FPGA 核心架构

Cyclone IV 器件采用了与成功的 Cyclone 系列器件相同的核心架构。这一架构包括由四输入查找表 (LUTs) 构成的 LE，存储器模块以及乘法器。

每一个 Cyclone IV 器件的 M9K 存储器模块都具有 9 Kbit 的嵌入式 SRAM 存储器。您可以把 M9K 模块配置成单端口、简单双端口、真双端口 RAM 以及 FIFO 缓冲器或者 ROM，通过配置也可以实现表 1-7 中的数据宽度。

表 1-7. Cyclone IV 器件系列的 M9K 模块数据宽度

模式	数据宽度配置
单端口或简单双端口	×1, ×2, ×4, ×8/9, ×16/18, 和 ×32/36
真双端口	×1, ×2, ×4, ×8/9, 和 ×16/18

Cyclone IV 器件中的乘法器体系结构与现有的 Cyclone 系列器件是相同的。嵌入式乘法器模块可以在单一模块中实现一个 18×18 或两个 9×9 乘法器。Altera 针对乘法器模块的使用提供了一整套的 DSP IP，其中包括有限脉冲响应 (FIR)，快速傅里叶变换 (FFT) 和数字控制震荡器 (NCO) 功能。Quartus® II 设计软件中的 DSP Builder 工具集成了 MathWorks Simulink 与 MATLAB 设计环境，从而实现了一体化的 DSP 设计流程。

要了解更多信息，请参阅 *Logic Elements and Logic Array Blocks in Cyclone IV Devices*, *Memory Blocks in Cyclone IV Devices*, 和 *Embedded Multipliers in Cyclone IV Devices* 章节。

I/O 特性

Cyclone IV 器件 I/O 支持可编程总线保持、可编程上拉电阻、可编程延迟、可编程驱动能力以及可编程 slew-rate 控制，从而实现了信号完整性以及热插拔的优化。Cyclone IV 器件支持符合单端 I/O 标准的校准后片上串行匹配 (R_s OCT) 或者驱动阻抗匹配 (R_s)。在 Cyclone IV GX 器件中，高速收发器 I/O 位于器件的左侧。器件的顶部，底部及右侧可以实现通用用户 I/O。

表 1-8 列出 Cyclone IV 器件所支持的 I/O 标准。

表 1-8. Cyclone IV 器件系列所支持的 I/O 标准

类型	I/O 标准
单端 I/O	LVTTTL, LVCMOS, SSTL, HSTL, PCI, 和 PCI-X
差分 I/O	SSTL, HSTL, LVPECL, BLVDS, LVDS, mini-LVDS, RSDS, and PPDS

LVDS SERDES 在器件内核中通过使用逻辑单元来实现。

要了解更多信息，请参阅 *I/O Features in Cyclone IV Devices* 章节。

时钟管理

Cyclone IV 器件包含了高达 30 个全局时钟 (GCLK) 网络以及高达 8 个 PLL (每个 PLL 上均有五个输出端)，以提供可靠的时钟管理与综合。您可以在用户模式中对 Cyclone IV 器件 PLL 进行动态重配置来改变时钟频率或者相位。

Cyclone IV GX 器件支持两种类型的 PLL：多用 PLL 和通用 PLL：

- 将多用 PLL 用于同步收发器模块。当没有用于收发器时钟时，多用 PLL 也可用于通用时钟。
- 将通用 PLL 用于架构及外设中的通用应用，例如外部存储器接口。一些通用 PLL 可以支持收发器时钟。

要了解更多信息，请参阅 *Clock Networks and PLLs in Cyclone IV Devices* 章节。

外部存储器接口

Cyclone IV 器件支持位于器件顶部，底部和右侧的 SDR、DDR，DDR2 SDRAM 和 QDRII SRAM 接口。Cyclone IV E 器件也支持这些接口位于器件左侧。接口可能位于器件的两个或多个侧面，以实现更灵活的电路板设计。Altera® DDR SDRAM 存储器接口解决方案由一个 PHY 接口和一个存储控制器组成。Altera 提供了 PHY IP，您可以将它与您自己定制的存储控制器或 Altera 提供的存储控制器一起使用。Cyclone IV 器件支持在 DDR 和 DDR2 SDRAM 接口上使用纠错编码 (ECC) 位。

 要了解更多信息，请参阅 *External Memory Interfaces in Cyclone IV Devices* 章节。

配置

Cyclone IV 器件使用 SRAM 单元存储配置数据。每次器件上电后，配置数据会被下载到 Cyclone IV 器件中。低成本配置选项包括 Altera EPCS 系列串行闪存器件以及商用并行闪存配置选项。这些选项实现了通用应用程序的灵活性，并提供了满足特定配置以及应用程序唤醒时间要求的能力。

表 1-9 列出了 Cyclone IV 器件所支持的配置方案。

表 1-9. Cyclone IV 器件系列的配置方案

器件	支持的配置方案
Cyclone IV GX	AS, PS, JTAG, and FPP (<i>注释 1</i>)
Cyclone IV E	AS, AP, PS, FPP, and JTAG

表 1-9 注释:

(1) FPP 配置方案仅被 EP4CGX30F484 和 EP4CGX50/75/110/150 器件支持。

所有的收发器 I/O 管脚均支持 IEEE 1149.6 (AC JTAG)，而所有其它管脚均支持用于边界扫描测试的 IEEE 1149.1 (JTAG)。

 要了解更多信息，请参阅 *JTAG Boundary-Scan Testing for Cyclone IV Devices* 章节。

要使 Cyclone IV GX 器件满足 PCIe 100 ms 唤醒时间的要求，您必须将被动串行 (PS) 配置模式用于 EP4CGX15/22/30 器件，并将快速被动并行 (FPP) 配置模式用于 EP4CGX30F484 和 EP4CGX50/75/110/150 器件。

 要了解更多信息，请参阅 *Configuration and Remote System Upgrades in Cyclone IV Devices* 章节。

在用户模式期间，所有的 Cyclone IV GX 器件均支持循环冗余校验 (CRC) 错误检测特性。对于 Cyclone IV E 器件，该特性仅被核电压为 1.2 V 的器件所支持。

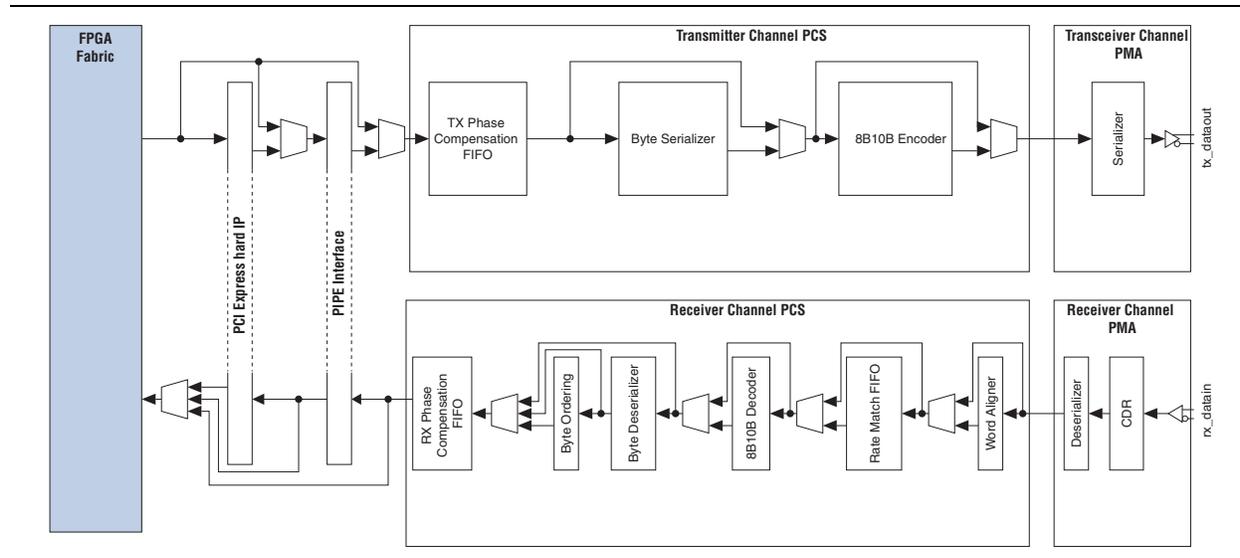
 要了解关于 CRC 错误检测的详细信息，请参考 *SEU Mitigation in Cyclone IV Devices* 章节。

高速收发器（仅适用于 Cyclone IV GX 器件）

Cyclone IV GX 器件包含多达 8 个可以独立操作的全双工高速收发器。这些模块支持多个业界标准的通信协议以及 Basic 模式，您可以使用这些模块以实现您自己专有的协议。每个收发器通道都具有各自的预加重和均衡电路，您可以设置编译时间以优化信号的完整性并减少误码率。收发器模块也支持动态重配置，允许您即时更改数据速率和协议。

图 1-1 显示了 Cyclone IV GX 收发器的结构

图 1-1. Cyclone IV GX 器件的收发器通道



要了解更多详细信息，请参阅 [Cyclone IV Transceivers Architecture](#) 章节。

PCI Express 的硬核 IP (仅适用于 Cyclone IV GX 器件)

每个 Cyclone IV GX 器件中的单一硬核 IP 模块都集成了 $\times 1$ 、 $\times 2$ 、或 $\times 4$ PCIe (PIPE)。这一硬核 IP 模块是一个完整的 PCIe (PIPE) 协议解决方案，用于实现 PHY-MAC 层、数据链路层以及传输层的功能性。PCIe (PIPE) 模块的硬核 IP 支持根端口与端点配置。这个预验证的硬核 IP 模块能够降低风险、缩短设计时间，减少时序收敛及验证时间。您可以通过 Quartus II 的 PCI Express Compiler 对模块进行配置，在整个过程中 Quartus II 的 PCI Express Compiler 将逐步指导您完成模块的配置。

要了解更多详细信息，请参阅 [PCI Express Compiler User Guide](#)。

参考和订购信息

图 1-2 显示 Cyclone IV GX 器件的订购码。

图 1-2. Cyclone IV GX 器件的封装订购信息

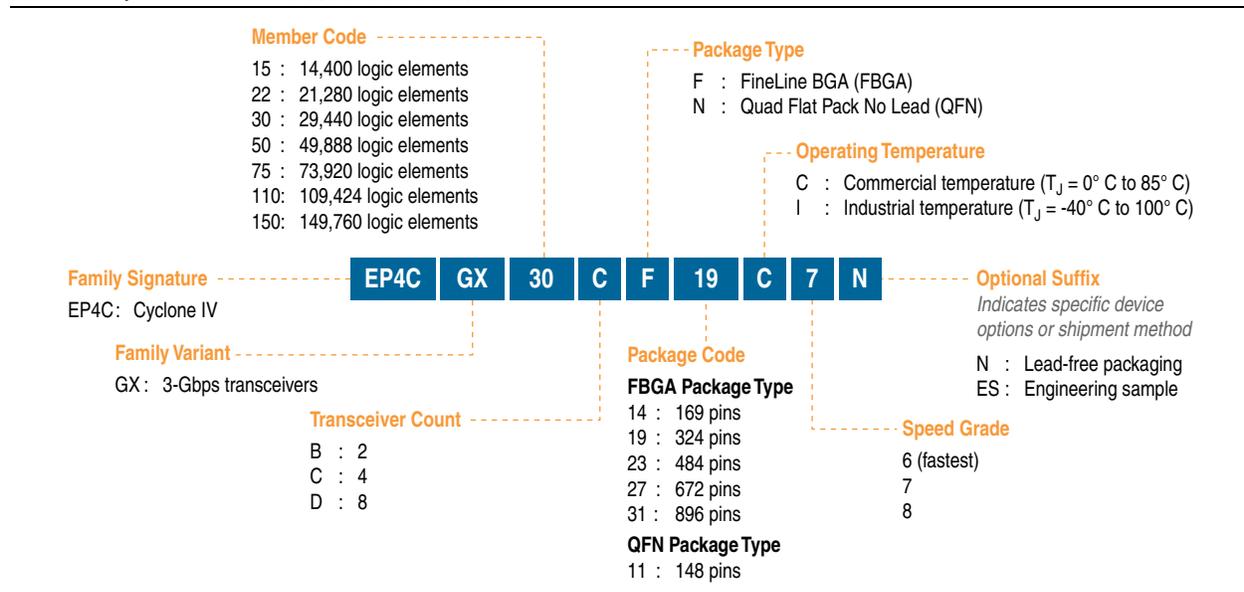
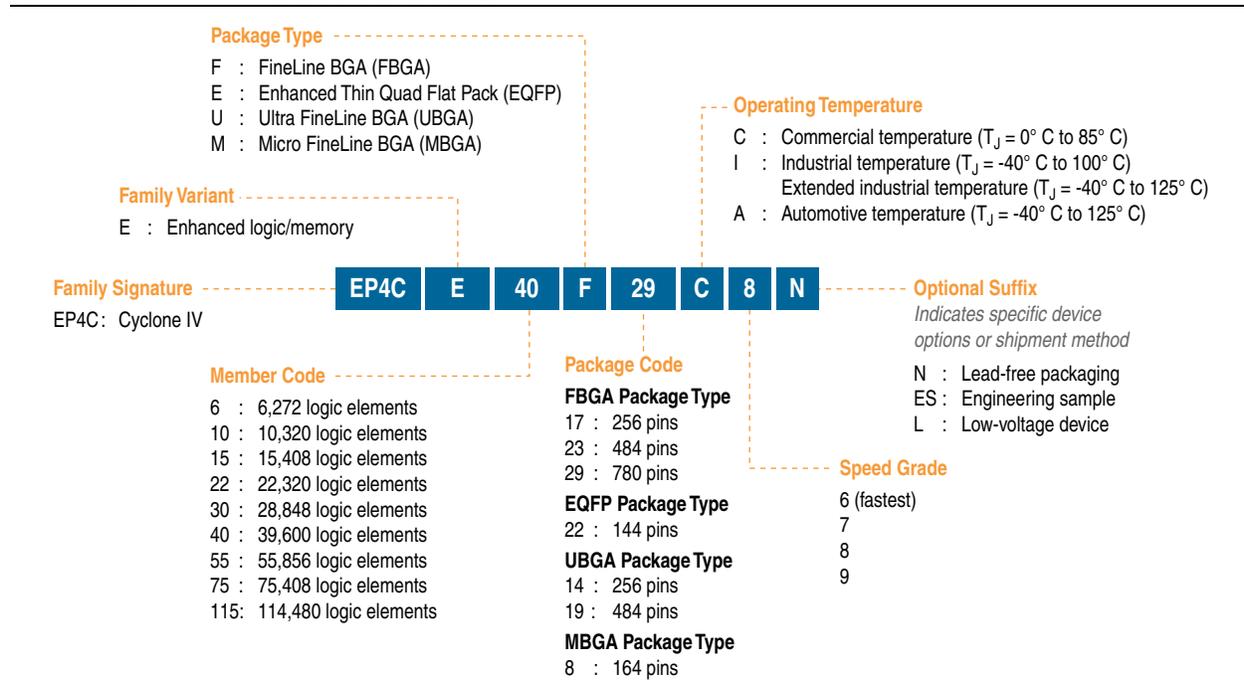


图 1-3 显示 Cyclone IV E 器件的订购码。

图 1-3. Cyclone IV E 器件的封装订购信息



文档修订历史

表 1-10 列出本章节的修订历史。

表 1-10. 文档修订历史

日期	版本	修订内容
2011 年 11 月	1.5	<ul style="list-style-type: none"> ■ 更新了“Cyclone IV 器件系列特性”章节。 ■ 更新了图 1-2 和图 1-3。
2010 年 12 月	1.4	<ul style="list-style-type: none"> ■ 针对 Quartus II 软件版本 10.1 的发布进行的更新 ■ 添加了 Cyclone IV E 新器件封装信息 ■ 更新了表 1-1、表 1-2、表 1-3、表 1-5 和表 1-6。 ■ 更新了图 1-3。 ■ 少许的文本编辑。
2010 年 7 月	1.3	更新 Table 1-2 以包括 F484 的封装信息
2010 年 3 月	1.2	<ul style="list-style-type: none"> ■ 更新了表 1-3 和表 1-6。 ■ 更新了图 1-3。 ■ 少许的文本编辑。
2010 年 2 月	1.1	<ul style="list-style-type: none"> ■ 针对 Quartus II 软件版本 9.1 SP1 的发布, 在表 1-1, 表 1-3, 和表 1-6 中添加了 Cyclone IV E 器件。 ■ 添加了“Cyclone IV 器件系列的速度等级”和“配置”章节。 ■ 添加了图 1-3, 包括了 Cyclone IV E 器件封装订购信息。 ■ 针对 Cyclone IV GX 器件更新了表 1-2, 表 1-4, 和表 1-5。 ■ 少许的文本编辑。
2011 年 9 月	1.0	首次发布。

