

Cyclone® IV GX 收发器支持对收发器的不同部分进行动态重配置，而无需对器件的任何部分断电。本章节提供并讲解了用于动态重配置各种模式的实例。

您可以使用 ALTGX\_RECONFIG 和 ALTPLL\_RECONFIG 控制器实例来对物理介质附加子层 (PMA) 控制、物理代码子层 (PCS)、多用锁相环 (PLL) 以及通用锁相环 (PLL) 进行重配置。

本章节包含以下几部分内容：

- “术语表” 第 3-1 页
- “动态重配置控制器的体系结构” 第 3-2 页
- “动态重配置模式” 第 3-10 页
- “动态重配置期间的错误指示” 第 3-31 页
- “动态重配置进程的功能仿真” 第 3-32 页

## 术语表

表 3-1 列出了本章中所使用的术语：

表 3-1. 本章中所使用的术语

术语	描述
ALTGX_RECONFIG 实例	由 ALTGX_RECONFIG MegaWizard™ 插件管理器生成的动态重配置控制器实例。
ALTGX 实例	由 ALTGX MegaWizard 插件管理器生成的收发器实例。
ALTPLL_RECONFIG 实例	由 ALTPLL_RECONFIG Megawizard 插件管理器生成的动态 PLL 重配置控制器实例。
逻辑通道寻址	当对逻辑通道寻址的概念进行解释时，要用到这一术语。该术语并不是指 ALTGX_RECONFIG MegaWizard 插件管理器中的 logical_channel_address 端口。
存储器初始化文件 (.mif 文件)	<p>带有 .mif 扩展名的文件将被生成，以用于基于 .mif 的重配置模式。此文件既可以用于通道重配置模式，也可以用于 PLL 重配置模式。</p> <ul style="list-style-type: none"> <li>■ 通道重配置模式— 此文件包含了关于已设置的各种 ALTGX MegaWizard 插件管理器选项的相关信息。 .mif 文件中的每个字为 16 bit 宽。动态重配置控制器将 .mif 中的信息写入到收发器通道。</li> <li>■ PLL 重配置模式— 此文件包含了关于各种 PLL 参数与设置的相关信息，这些 PLL 参数与设置用于将收发器 PLL 配置成不同的输出频率。此 .mif 文件的容量为 144 × 1-bit。PLL 重配置模式期间，PLL 重配置控制器将这些 144-bit 串行地移入至收发器 PLL。</li> </ul>
PMA 控制	代表在 ALTGX 以及 ALTGX_RECONFIG MegaWizard 插件管理器中所显示的 <b>analog controls (Voltage Output Differential [V<sub>OD</sub>], Pre-emphasis, DC Gain 和 Manual Equalization)</b> 。
收发器通道	指的是一个内嵌 PMA 及 PCS 模块的发送通道、接收通道或者双工通道。

## 动态重配置控制器的体系结构

动态重配置控制器是一种使用 FPGA 架构资源的软知识产权 (IP)。您只能在每个收发器模块中使用一个控制器。您不能使用动态重配置控制器来控制多个 Cyclone IV 器件或者芯片外接口。

图 3-1 显示了动态重配置控制器体系结构的概念性视图。欲了解关于 ALTGX\_RECONFIG 实例的输入与输出的详细说明, 请参考第 3-31 页中的“动态重配置期间的错误指示”。

图 3-1. 动态重配置控制器

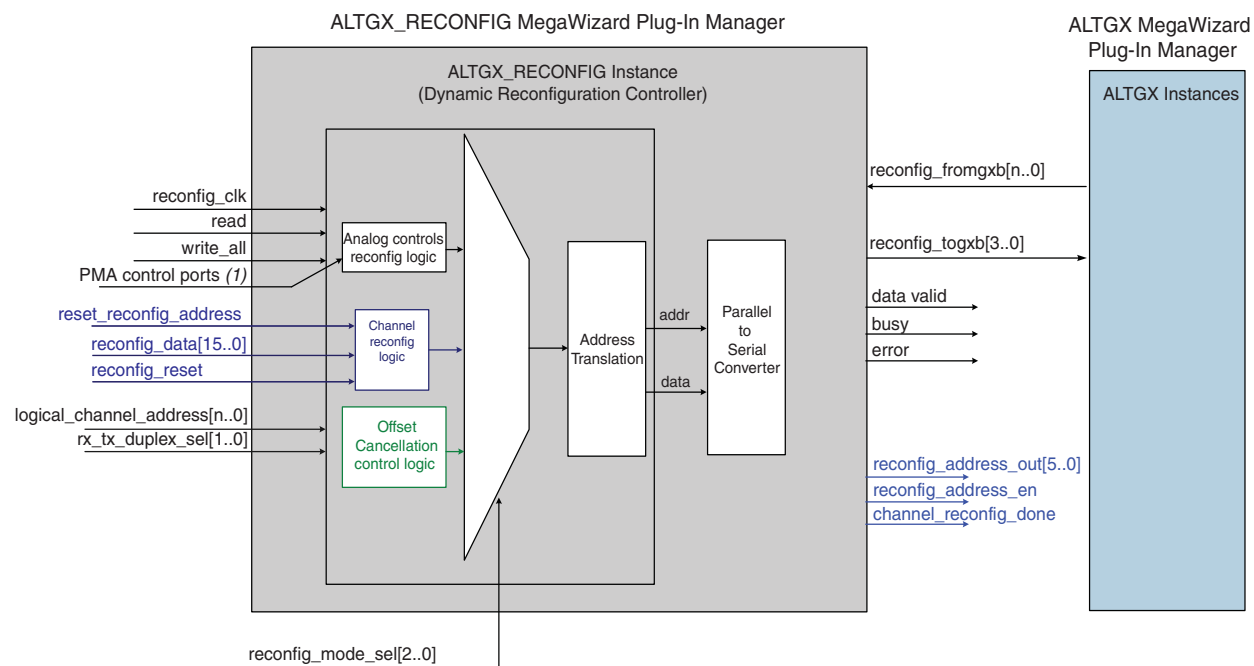




图 3-1 注释:

(1) PMA 控制端口由  $V_{OD}$ 、预加重、DC 增益以及手动均衡控制组成。

 只有 PMA 重配置模式支持手动均衡控制。

 您可以使用一个 ALTGX\_RECONFIG 实例来控制多个收发器模块。然而, 您不能使用多个 ALTGX\_RECONFIG 实例来控制一个收发器模块。

## 动态重配置控制器端口列表

表 3-2 列出了动态重配置控制器的输入控制端口以及输出状态端口。

表 3-2. 动态重配置控制器端口列表 (ALTGX\_RECONFIG 实例) (1/6)

端口名称	输入 / 输出	说明
<b>ALTGX_RECONFIG 实例的时钟输入</b>		
reconfig_clk	输入	<p>该时钟的频率范围取决于下面的收发器通道配置模式：</p> <ul style="list-style-type: none"> <li>■ <b>Receiver only</b> (37.5 MHz 到 50 MHz)</li> <li>■ <b>Receiver and Transmitter</b> (37.5 MHz 到 50 MHz)</li> <li>■ <b>Transmitter only</b> (2.5 MHz 到 50 MHz)</li> </ul> <p>默认情况下，Quartus® II 对该端口分配一个全局时钟源。该时钟必须是一个由 I/O 时钟管脚产生的自激时钟。请不要使用专用收发器 REFCLK 管脚以及任何由收发器生成的时钟。</p>
<b>ALTGX 与 ALTGX_RECONFIG 接口信号</b>		
reconfig_fromgxb [n..0]	输入	<p>ALTGX 实例中的一个输出端口和 ALTGX_RECONFIG 实例中的一个输入端口。由于该信号是基于收发器模块的，因此该信号的宽度以每个收发器模块 5 bit 的幅度增长。</p> <p>在 ALTGX MegaWizard 插件管理器中，该信号的宽度取决于 <b>General</b> 界面中 <b>What is the number of channels?</b> 选项中所选择的通道数量。</p> <p>例如，若所选的 ALTGX 实例中的通道数量如下所示：</p> <p>1 ≤ 通道数量 ≤ 4，则输出端口 reconfig_fromgxb[4..0] = 5 bit</p> <p>5 ≤ 通道数量 ≤ 8，则输出端口 reconfig_fromgxb[9..0] = 10 bit</p> <p>9 ≤ 通道数量 ≤ 12，则输出端口 reconfig_fromgxb[14..0] = 15 bit</p> <p>13 ≤ 通道数量 ≤ 16，则输出端口 reconfig_fromgxb[19..0] = 20 bit</p> <p>请遵照下面的原则来连接 ALTGX_RECONFIG 实例与多个 ALTGX 实例之间的 reconfig_fromgxb 端口：</p> <ul style="list-style-type: none"> <li>■ 连接 ALTGX 实例 1 的 reconfig_fromgxb[4..0] 到 ALTGX_RECONFIG 实例的 reconfig_fromgxb[4..0]。连接下一个 ALTGX 实例的 reconfig_fromgxb[] 端口到 ALTGX_RECONFIG 实例中接下来的可用 bit，以此类推。</li> <li>■ 连接 ALTGX 实例的 reconfig_fromgxb 端口（其具有最高的 <b>What is the starting channel number?</b> 选项）到 ALTGX_RECONFIG 实例的 reconfig_fromgxb 端口的最高有效位 (MSB)。</li> </ul> <p>如果动态重配置选项在 ALTGX 实例中被使能，而 reconfig_fromgxb 和 reconfig_togxb 端口没有连接到 ALTGX_RECONFIG 实例，那么 Quartus II Fitter 会产生一个警告信息。</p>
reconfig_togxb [3..0]	输出	<p>ALTGX 实例的一个输入端口和 ALTGX_RECONFIG 实例的一个输出端口。您必须将由动态重配置控制器控制的每个 ALTGX 实例的 reconfig_togxb[3..0] 输入端口连接至 ALTGX_RECONFIG 实例的 reconfig_togxb[3..0] 输出端口。</p> <p>该端口宽度始终固定为 4 bit。</p>

表 3-2. 动态重配置控制器端口列表 (ALTGX\_RECONFIG 实例) (2/6)

端口名称	输入 / 输出	说明										
FPGA 架构与 ALTGX_RECONFIG 接口信号												
write_all	输入	<p>置位该信号一个 reconfig_clk 时钟周期, 以启动一个从 ALTGX_RECONFIG 实例到 ALTGX 实例的写传输。</p> <p>可以通过两种方式将该信号用于基于 .mif 文件的模式:</p> <ul style="list-style-type: none"> <li>■ 连续写操作 — 选择 <b>Enable continuous write of all the words needed for reconfiguration</b> 选项, 仅对 write_all 信号提供一次脉冲来实现整个 .mif 文件的写入。What is the read latency of the MIF contents 选项仅在该情况中可用。依据 reconfig_clk 周期数来输入所需的延迟。</li> <li>■ 常规写操作 — 当 <b>Enable continuous write of all the words needed for reconfiguration</b> 选项禁用时, .mif 文件的每个字均需要各自的写周期。</li> </ul>										
busy	输出	<p>该信号用于表明在偏移校准期间动态重配置控制器的繁忙状态。器件上电后, 该信号在第一个 reconfig_clk 时钟周期保持低电平, 然后被置位, 并在动态重配置控制器对所有连接至 ALTGX_RECONFIG 实例的接收通道执行偏移校准时, 保持高电平。</p> <p>busy 信号的撤销表明了偏移校准过程的圆满完成。</p> <ul style="list-style-type: none"> <li>■ PMA 控制重配置模式 — 当动态重配置控制器执行读写操作时, 该信号处于高电平。</li> <li>■ 通道重配置模式 — 当动态重配置控制器在收发器通道写入 .mif 文件时, 该信号处于高电平。</li> </ul>										
read	输入	<p>置位该信号一个 reconfig_clk 时钟周期, 以启动读传输。read 端口仅适用于 PMA 控制重配置模式。当在 <b>Reconfiguration settings</b> 标签中选择 <b>Analog controls</b>, 并在 <b>Analog controls</b> 标签中选择至少一个 PMA 控制端口时, read 端口才可用。</p>										
data_valid	输出	<p>仅适用于 PMA 控制重配置模式。该端口表明了动态重配置控制器从收发器所读取的数据的有效性。</p> <p>只有 data_valid 为高电平时, 输出读端口上的数据才有效。</p> <p>当使能至少一个用于读传输的 PMA 控制端口时, 该信号才被使能。例如, tx_vodctrl_out。</p>										
error	输出	<p>该端口表明了试图进行一个不支持的操作。您可以在 <b>Error checks</b> 界面中选择该端口。当尝试不支持的操作时, 动态重配置控制器会撤销 busy 信号, 并置位 error 信号两个 reconfig_clk 周期。要了解详细信息, 请参考第 3-31 页中的 “<a href="#">动态重配置期间的错误指示</a>”。</p>										
logical_channel_address[n..0]	输入	<p>当您在 <b>Analog controls</b> 界面中使能了 <b>Use 'logical_channel_address' port for Analog controls reconfiguration</b> 选项时, ALTGX_RECONFIG MegaWizard Plug-In Manager 将使能该端口。</p> <p>logical_channel_address 端口宽度取决于您在 <b>Reconfiguration settings</b> 界面的 <b>What is the number of channels controlled by the reconfig controller?</b> 选项中设置的值。只有在动态重配置控制器所控制的通道数量大于一个时, 该端口才能被使能。</p> <table border="0"> <tr> <td>由重配置控制器所控制的通道数量</td> <td>logical_channel_address 输入端口宽度</td> </tr> <tr> <td>2</td> <td>logical_channel_address[0]</td> </tr> <tr> <td>3-4</td> <td>logical_channel_address[1..0]</td> </tr> <tr> <td>5-8</td> <td>logical_channel_address[2..0]</td> </tr> <tr> <td>9-16</td> <td>logical_channel_address[3..0]</td> </tr> </table>	由重配置控制器所控制的通道数量	logical_channel_address 输入端口宽度	2	logical_channel_address[0]	3-4	logical_channel_address[1..0]	5-8	logical_channel_address[2..0]	9-16	logical_channel_address[3..0]
由重配置控制器所控制的通道数量	logical_channel_address 输入端口宽度											
2	logical_channel_address[0]											
3-4	logical_channel_address[1..0]											
5-8	logical_channel_address[2..0]											
9-16	logical_channel_address[3..0]											

表 3-2. 动态重配置控制器端口列表 (ALTGX\_RECONFIG 实例) (3/6)

端口名称	输入 / 输出	说明																					
rx_tx_duplex_sel [1..0]	输入	<p>这是一个 2 bit 宽信号, 您可以在 <b>Error checks</b> 界面中选择该端口。</p> <p>使用该可选端口的的好处在于: 即使通道配置是双工的, 您也能够仅对通道的发送部分进行重配置。</p> <p>对于设置:</p> <ul style="list-style-type: none"> <li>■ rx_tx_duplex_sel [1:0] = 2' b00— 对通道的接收以及发送部分进行重配置。</li> <li>■ rx_tx_duplex_sel [1:0] = 2' b01— 对通道的接收部分进行重配置。</li> <li>■ rx_tx_duplex_sel [1:0] = 2' b10— 对通道的发送部分进行重配置。</li> </ul>																					
<b>模拟设置控制 / 状态信号</b>																							
tx_vodctrl [2..0] (1)	输入	<p>这是一个可选的发送缓冲器 <math>V_{OD}</math> 控制信号, 每个发送通道 3 bit。根据 ALTGX MegaWizard 插件管理器的 <b>TX Analog</b> 界面上的发送缓冲器供应设置以及匹配电阻设置, 设置数量会有所不同。</p> <p>如果使能了 <b>Analog controls</b> 界面中的 <b>Use 'logical_channel_address' port for Analog controls reconfiguration</b> 选项, 或者 <b>Use same control signal for all the channels</b> 选项, 那么该信号的宽度会固定为 3 bit。否则, 该信号的宽度为每通道 3 bit。</p> <p>下面显示了与 100-<math>\Omega</math> 匹配电阻的 tx_vodctrl 设置相对应的 <math>V_{OD}</math> 的值。</p> <p>欲了解详细信息, 请参考 <i>Cyclone IV GX Device Datasheet</i> 章节中的 “Programmable Output Differential Voltage” 部分。</p> <table border="1"> <thead> <tr> <th>tx_vodctrl [2:0]</th> <th>相应的 ALTGX 实例设置</th> <th>相应的 <math>V_{OD}</math> 设置 (mV)</th> </tr> </thead> <tbody> <tr> <td>3' b001</td> <td>1</td> <td>400</td> </tr> <tr> <td>3' b010</td> <td>2</td> <td>600</td> </tr> <tr> <td>3' b011</td> <td>3</td> <td>800</td> </tr> <tr> <td>3' b111</td> <td>4 (2)</td> <td>900 (2)</td> </tr> <tr> <td>3' b100</td> <td>5</td> <td>1000</td> </tr> <tr> <td>3' b101</td> <td>6</td> <td>1200</td> </tr> </tbody> </table> <p>所有其它值 =&gt; N/A</p>	tx_vodctrl [2:0]	相应的 ALTGX 实例设置	相应的 $V_{OD}$ 设置 (mV)	3' b001	1	400	3' b010	2	600	3' b011	3	800	3' b111	4 (2)	900 (2)	3' b100	5	1000	3' b101	6	1200
tx_vodctrl [2:0]	相应的 ALTGX 实例设置	相应的 $V_{OD}$ 设置 (mV)																					
3' b001	1	400																					
3' b010	2	600																					
3' b011	3	800																					
3' b111	4 (2)	900 (2)																					
3' b100	5	1000																					
3' b101	6	1200																					

表 3-2. 动态重配置控制器端口列表 (ALTX\_RECONFIG 实例) (4/6)

端口名称	输入 / 输出	说明																																				
tx_preemp[4..0] (1)	输入	<p>这是一个用于发送缓冲器的可选预加重写控制。根据此输入端的设置值，控制器将值动态地写入发送缓冲器的预加重控制寄存器中。</p> <p>如果使能了 Analog controls 界面中的 Use 'logical_channel_address' port for Analog controls reconfiguration 选项，或者 Use same control signal for all the channels 选项，那么该信号的宽度会固定为 5 bit。否则，该信号的宽度为每通道 5 bit。</p> <table border="1"> <thead> <tr> <th>tx_preemp[4..0]</th> <th>相应的 ALTX 实例设置</th> <th>相应的预加重设置 (mA)</th> </tr> </thead> <tbody> <tr><td>00000</td><td>0</td><td>Disabled</td></tr> <tr><td>00001</td><td>1</td><td>0.5</td></tr> <tr><td>00101</td><td>5</td><td>1.0</td></tr> <tr><td>01001</td><td>9</td><td>1.5</td></tr> <tr><td>01101</td><td>13</td><td>2.0</td></tr> <tr><td>10000</td><td>16</td><td>2.375</td></tr> <tr><td>10001</td><td>17</td><td>2.5</td></tr> <tr><td>10010</td><td>18</td><td>2.625</td></tr> <tr><td>10011</td><td>19</td><td>2.75</td></tr> <tr><td>10100</td><td>20</td><td>2.875</td></tr> <tr><td>10101</td><td>21</td><td>3.0</td></tr> </tbody> </table> <p>所有其它值 =&gt; N/A</p>	tx_preemp[4..0]	相应的 ALTX 实例设置	相应的预加重设置 (mA)	00000	0	Disabled	00001	1	0.5	00101	5	1.0	01001	9	1.5	01101	13	2.0	10000	16	2.375	10001	17	2.5	10010	18	2.625	10011	19	2.75	10100	20	2.875	10101	21	3.0
tx_preemp[4..0]	相应的 ALTX 实例设置	相应的预加重设置 (mA)																																				
00000	0	Disabled																																				
00001	1	0.5																																				
00101	5	1.0																																				
01001	9	1.5																																				
01101	13	2.0																																				
10000	16	2.375																																				
10001	17	2.5																																				
10010	18	2.625																																				
10011	19	2.75																																				
10100	20	2.875																																				
10101	21	3.0																																				
rx_eqctrl[3..0] (1)	输入	<p>这是一个可选的写控制，写入用于 PMA 接收侧的均衡控制值。</p> <p>如果使能了 Analog controls 界面中的 Use 'logical_channel_address' port for Analog controls reconfiguration 选项，或者 Use same control signal for all the channels 选项，那么该信号的宽度会固定为 4 bit。否则，该信号的宽度为每通道 4 bit。</p> <table border="1"> <thead> <tr> <th>rx_eqctrl[3..0]</th> <th>相应的 ALTX 实例设置</th> </tr> </thead> <tbody> <tr><td>0001</td><td>低</td></tr> <tr><td>0101</td><td>中低</td></tr> <tr><td>0100</td><td>中高</td></tr> <tr><td>0111</td><td>高</td></tr> </tbody> </table> <p>所有其它值 =&gt; N/A</p>	rx_eqctrl[3..0]	相应的 ALTX 实例设置	0001	低	0101	中低	0100	中高	0111	高																										
rx_eqctrl[3..0]	相应的 ALTX 实例设置																																					
0001	低																																					
0101	中低																																					
0100	中高																																					
0111	高																																					
rx_eqdcgain[1..0] (1)	输入	<p>这是一个可选的均衡器 DC 增益写控制。</p> <p>如果使能了 Analog controls 界面中的 Use 'logical_channel_address' port for Analog controls reconfiguration 选项，或者 Use same control signal for all the channels 选项，那么该信号的宽度会固定为 2 bit。否则，该信号的宽度为每通道 2 bit。</p> <p>下面的值是该信号所允许的合法设置：</p> <table border="1"> <thead> <tr> <th>rx_eqdcgain[1..0]</th> <th>相应的 ALTX 设置</th> <th>相应的 DC 增益值 (dB)</th> </tr> </thead> <tbody> <tr><td>2' b00</td><td>0</td><td>0</td></tr> <tr><td>2' b01</td><td>1</td><td>3 (2)</td></tr> <tr><td>2' b10</td><td>2</td><td>6</td></tr> </tbody> </table> <p>所有其它值 =&gt; N/A</p> <p>关于详细信息，请参考 <i>Cyclone IV GX Device Datasheet</i> 章节的“Programmable Equalization and DC Gain”部分。</p>	rx_eqdcgain[1..0]	相应的 ALTX 设置	相应的 DC 增益值 (dB)	2' b00	0	0	2' b01	1	3 (2)	2' b10	2	6																								
rx_eqdcgain[1..0]	相应的 ALTX 设置	相应的 DC 增益值 (dB)																																				
2' b00	0	0																																				
2' b01	1	3 (2)																																				
2' b10	2	6																																				

表 3-2. 动态重配置控制器端口列表 (ALTX\_RECONFIG 实例) (5/6)

端口名称	输入 / 输出	说明
tx_vodctrl_out [2..0]	输出	这是一个可选的发送 $V_{DD}$ 读控制信号。该信号读出被写入到 $V_{DD}$ 控制寄存器中的值。该输出信号的宽度取决于动态重配置控制器所控制的通道数量, 以及 Use 'logical_channel_address' port for Analog controls reconfiguration 选项和 Use same control signal for all the channels 选项的配置。
tx_preemp_out [4..0]	输出	这是一个可选的预加重读控制信号。该信号读出被其输入控制信号写入的值。该输出信号的宽度取决于动态重配置控制器所控制的通道数量, 以及 Use 'logical_channel_address' port for Analog controls reconfiguration 选项和 Use same control signal for all the channels 选项的配置。
rx_eqctrl_out [3..0]	输出	这是一个可选的读控制信号, 以读取 ALTX 实例均衡设置的设置值。该输出信号的宽度取决于动态重配置控制器所控制的通道数量, 以及 Use 'logical_channel_address' port for Analog controls reconfiguration 选项和 Use same control signal for all the channels 选项的配置。
rx_eqdcgain_out [1..0]	输出	这是一个可选的均衡器 DC 增益读控制信号。该信号读出 ALTX 实例 DC 增益的设置值。该输出信号的宽度取决于动态重配置控制器所控制的通道数量, 以及 Use 'logical_channel_address' port for Analog controls reconfiguration 选项和 Use same control signal for all the channels 选项的配置。
<b>收发器通道重配置控制 / 状态信号</b>		
reconfig_mode_sel [2..0] (3)	输入	对该信号设置下面的值, 以启用相应的动态重配置模式: 3' b000 = PMA 控制重配置模式 (这是默认值) 3' b001 = 通道重配置模式 所有其它值 => N/A 仅当使能多个动态重配置模式时, reconfig_mode_sel[] 才可用作输入端。
reconfig_address_out [5..0]	输出	该信号始终可用于在 Channel reconfiguration 界面中进行选择。该信号仅适用于包括 channel interface 与 Use RX local divider 选项的 Channel reconfiguration mode 下的一组动态重配置模式。 当在收发器通道中写入 .mif 文件时, 该信号代表 ALTX_RECONFIG 实例所使用的当前地址。该信号从 0 开始, 以 1 递增到最后的地址, 然后再从 0 地址开始。您可以使用该信号来表明所有 .mif 文件写传输的结束 (reconfig_address_out [5..0] 在所有 .mif 文件写传输结束时, 从最后的地址变到 0)。
reconfig_address_en	输出	这是一个可在 Channel reconfiguration 界面中选择的可选信号。该信号仅适用于 Channel reconfiguration 选项下的一组动态重配置模式。 动态重配置控制器置位 reconfig_address_en, 以表明 reconfig_address_out [5..0] 已经改变。该信号仅在动态重配置控制器完成写入 .mif 文件的一个 16-bit 字之后才被置位。
reset_reconfig_address	输入	这是一个可在 Channel reconfiguration 界面中选择的可选信号。该信号仅适用于 Channel reconfiguration 选项下的一组动态重配置模式。 如果要重配置期间对 ALTX_RECONFIG 实例所使用的重配置地址进行复位, 则需要使能该信号, 并且置位该信号一个 reconfig_clk 时钟周期。
reconfig_data [15..0]	Input	该信号仅适用于 Channel reconfiguration 选项下的一组动态重配置模式。这是一个含有重配置信息的 16-bit 字, 存储在必须生成的 .mif 文件中。ALTX_RECONFIG 实例要求您通过使用 write_all 信号来对每一个 .mif 文件写传输提供 reconfig_data [15..0]。
reconfig_reset (4)	输入	通过使用这一信号, 您可以在 Channel reconfiguration 模式中对所有的重配置进程进行复位。置位此端口将对重配置控制器逻辑中的所有寄存器进行复位。此端口仅出现在 Channel reconfiguration 模式中。 如果正在驱动此端口, 则需要将复位信号同步到 reconfig_clk 域。

表 3-2. 动态重配置控制器端口列表 (ALTGX\_RECONFIG 实例) (6/6)

端口名称	输入 / 输出	说明
channel_reconfig_done	输出	该信号变为高电平表明动态重配置控制器已经完成了写入 .mif 文件的所有字。channel_reconfig_done 信号在新的动态重配置写序列的开始部分被自动撤销。此信号仅适用于通道重配置模式中。

**表 3-2 注释:**

- (1) 不是所有组合的输入 bit 都是合法值。
- (2) 此设置被要求用于实现 PCI Express® (PIPE) 功能模式兼容。
- (3) 通过使用 ALTPLL\_RECONFIG 控制器来执行 PLL 重配置。因此, 它不是通过 reconfig\_mode\_sel[2..0] 端口选择的。
- (4) reconfig\_reset 将不会重新开始偏移校准操作。偏移校准仅在上电后出现一次, 当对随后的 reconfig\_reset 置位时, 不会出现偏移校准。

## 偏移校准功能

Cyclone IV GX 器件在每一接收通道上均提供了偏移校准电路, 以解决由于工艺、电压和温度 (PVT) 而导致的偏移变化。这些变化在模拟电路电压中会产生偏移, 使它们超出了所期望的范围。除了重配置收发器通道, 上电后动态重配置控制器在连接到它的所有接收通道上也将执行偏移校准功能。

对于 **Receiver and Transmitter** 与 **Receiver only** 配置, **Offset cancellation for Receiver channels** 选项在 ALTGX 以及 ALTGX\_RECONFIG MegaWizard 插件管理器中被自动使能。此选项不适用于 **Transmitter only** 配置。对于 **Receiver and Transmitter** 与 **Receiver only** 配置, 一定要在 ALTGX\_RECONFIG 与 ALTGX (带有接收通道) 实例之间连接必要的接口信号。

偏移校准在每一次器件上电后会自动执行。偏移校准的控制逻辑集成到动态重配置控制器中。在您的设计中, 必须连接 ALTGX\_RECONFIG 与 ALTGX 实例 (带有接收通道)。另外, 也必须将 reconfig\_fromgxb、reconfig\_togxb 和必要的时钟信号连接到 ALTGX\_RECONFIG 以及 ALTGX 实例 (带有接收通道)。

器件上电时, 通过将接收器输入管脚从接收器数据通路中断开, 动态重配置控制器在接收通道上启动偏移校准功能。随后, 偏移校准进程将遍历不同的状态, 并以接收缓冲器的偏移校准告终。



上电后偏移校准进程仅出现一次。当对下一个 reconfig\_reset 置位时, 将不会出现偏移校准进程。偏移校准进程完成后, 如果置位 reconfig\_reset, 那么偏移校准进程将不会再次运行。如果上电后置位 reconfig\_reset, 那么直到撤销 reconfig\_reset, 偏移校准进程才会开始。如果在上电之后, 但在偏移校准进程完成之前置位 reconfig\_reset, 那么将不会完成偏移校准进程, 仅当 reconfig\_reset 被撤销时, 才会重新开始偏移校准进程。



图 3-2 显示了偏移校准进程的连接情况。

图 3-2. 偏移校准进程中 ALTGX 与 ALTGX\_RECONFIG 的连接情况

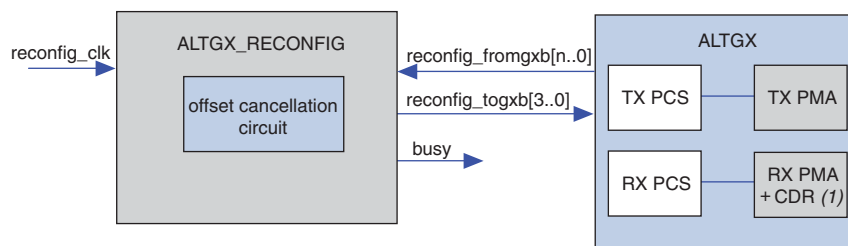



图 3-2 注释:

(1) 此模块在偏移校准进程中是有效的。

 动态重配置控制器通过 reconfig\_togxb 和 reconfig\_fromgxb 信号将数据发送到收发器通道，以及接收收发器通道的数据。


 偏移校准执行期间，一定不要置位 gxb\_powerdown 信号。

图 3-3 显示了偏移校准进程的时序图。

图 3-3. 偏移校准期间动态重配置信号的跳变情况

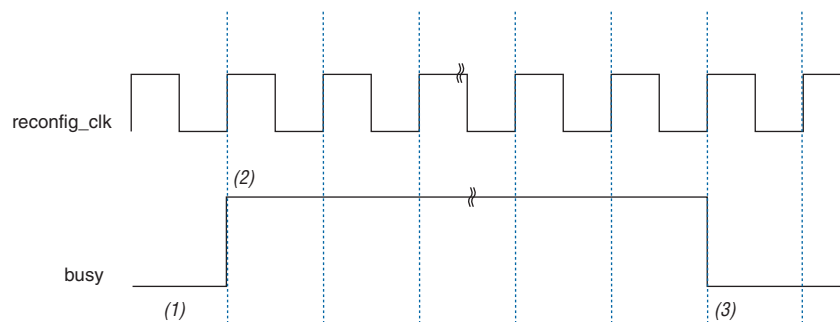


图 3-3 注释:

- (1) 器件上电后，busy 信号在第一个 reconfig\_clk 时钟周期保持在低电平。
- (2) 当动态重配置控制器启动偏移校准进程时，busy 信号便在第二个 reconfig\_clk 时钟周期被置位。
- (3) busy 信号的撤销表明了偏移校准进程的圆满完成。

### 偏移校准进程的功能仿真

在您的设计中，必须连接 ALTGX\_RECONFIG 与 ALTGX 实例，以实现功能仿真。功能仿真使用动态重配置控制器已减少的时序模型。因此，对于功能仿真而言，偏移校准进程的持续时间为 16 个 reconfig\_clk 时钟周期。在偏移校准执行期间（针对功能仿真和芯片），一定不要置位 gxb\_powerdown 信号。

## 动态重配置模式

动态重配置功能使能后, 您可以对每一个收发器通道的下列部分进行动态重配置, 而无需关断其它的收发器通道或者器件的 FPGA 架构:

- 模拟 (PMA) 控制重配置
- 通道重配置
- PLL 重配置

表 3-3 列出了 Cyclone IV GX 器件所支持的动态重配置模式。

表 3-3. Cyclone IV GX 器件所支持的动态重配置模式

所支持的动态重配置模式	操作模式			Quartus II 实例			.mif 文件要求
	Transmitter Only	Receiver Only	Transmitter and Receiver Only	ALTGX	ALTGX RECONFIG	ALTPLL RECONFIG	
偏移校准	—	✓	✓	✓	✓	—	—
模拟 (PMA) 控制重配置	✓	✓	✓	✓	✓	—	—
通道重配置							
通道接口	✓	✓	✓	✓	✓	—	✓
接收通道中的数据速率分频	—	✓	✓	✓	✓	—	✓
PLL 重配置	✓	✓	✓	✓	—	✓	✓

下面列出的模式可用于对 Cyclone IV 收发器进行动态重配置:

- “PMA 控制重配置模式” 第 3-10 页
- “收发器通道重配置模式” 第 3-17 页
  - 通道接口 (基于 .mif 文件)
  - 接收通道中的数据速率分频 (基于 .mif 文件)

以下部分将对每一种模式进行详尽的介绍。

以下模式不支持动态重配置:

- 动态地使能 / 禁止 PRBS 或者 BIST
- Receiver-only 通道与 Transmitter-only 通道之间进行切换
- ×1 模式与 bonded ×4 模式之间进行切换

### PMA 控制重配置模式

对于在 ALTGX 实例中配置的所有支持的收发器配置通道, 您可以对下面的 PMA 控制进行动态重配置:

- 预加重设置
- 均衡设置 (通道重配置模式不支持均衡设置)
- DC 增益设置

#### ■ $V_{OD}$ 设置

通过使用模拟重配置功能，您能够对 PMA 模块发送器或者收发器中的收发器通道设置进行动态重配置，并根据所需的输入数据即时更新 PMA 控制，以及对该模拟重配置模式分别执行读写传输。

下面的三个方法用于动态重配置收发器通道的 PMA 控制：

- “方法 1: 使用 `logical_channel_address` 重配置指定的收发器通道” 第 3-11 页
- “方法 2: 写入相同的控制信号来控制所有的收发器通道” 第 3-13 页
- “方法 3: 对所有收发器通道同时写入不同控制信号” 第 3-15 页

### 方法 1: 使用 `logical_channel_address` 重配置指定的收发器通道

在 **Analog controls** 标签上选择 Use ‘`logical_channel_address`’ port 选项以启用 `logical_channel_address` 端口。此方法仅适用于动态重配置控制器控制多个通道的设计。

另外，您也可以通过设置 `rx_tx_duplex_sel` 输入端口上的相应值来对收发器通道的接收器部分、发射器部分、或者两个部分同时进行重配置。欲了解详细信息，请参考第 1-3 页表 3-2。

#### 连接 PMA 控制端口

不管 `ALTGX_RECONFIG` 实例所控制的通道数是多少，选定的 PMA 控制端口总是保持固定的宽度：

- `tx_vodctrl` 和 `tx_vodctrl_out` 固定在 3 bit
- `tx_preemp` 和 `tx_preemp_out` 固定在 5 bit
- `rx_eqdcgain` 和 `rx_eqdcgain_out` 固定在 2 bit
- `rx_eqctrl` 和 `rx_eqctrl_out` 固定在 4 bit

#### 写传输

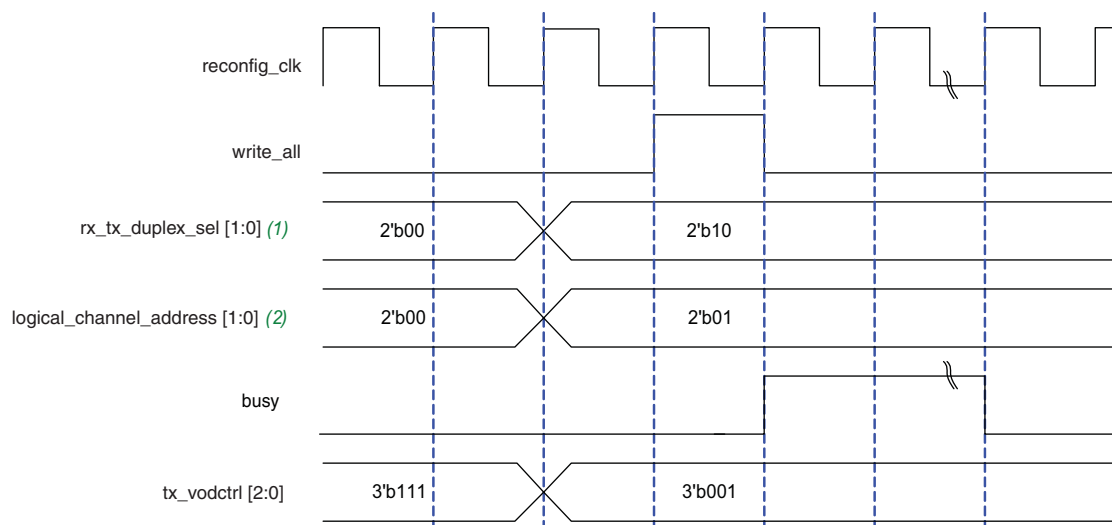
要完成一个写传输，需要执行下列步骤：

1. 按需要设置选定的 PMA 控制端口（例如，`tx_vodctrl = 3'b001`）。
2. 将 `logical_channel_address` 输入端口设置成收发器通道（欲重配置其 PMA 控制）的逻辑通道地址。
3. 将 `rx_tx_duplex_sel` 端口设置成 `2'b10`，这样只有发送 PMA 控制被写入到收发器通道中。
4. 写传输开始前，要确保 `busy` 信号为低电平。
5. 置位 `write_all` 信号一个 `reconfig_clk` 时钟周期。

`busy` 输出状态信号为高电平，表明动态重配置控制器正忙于写入 PMA 控制值。读传输完成后，`busy` 信号变为低电平。

图 3-4 显示了方法 1 中的写传输的波形。

图 3-4. 写传输波形 —Use ‘logical\_channel\_address port’ 选项



**图 3-4 注释:**

- (1) 在此波形实例中，只能在通道的发射器部分写入数据。
- (2) 在此波形实例中，连接到动态重配置控制器的通道数为四。因此，logical\_channel\_address 端口为 2 bit 宽。

### 读传输

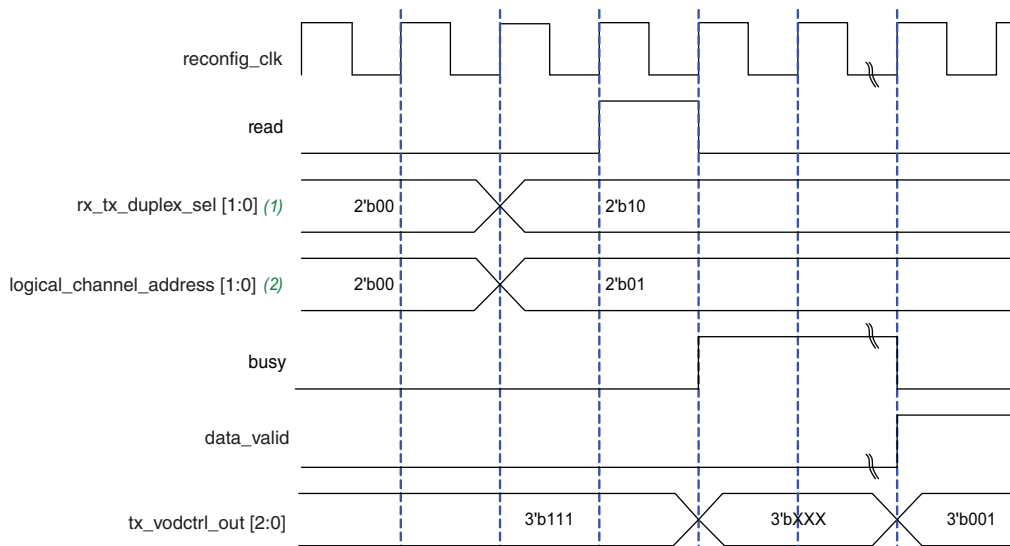
举例说明，要从由 ALTGX\_RECONFIG 实例控制的指定通道发射器部分中的发射  $V_{0D}$  控制寄存器中读取现有的  $V_{0D}$  值，需要执行下列步骤：

1. 将 logical\_channel\_address 输入端口设置成收发器通道（欲读取其 PMA 控制）的逻辑通道地址（例如，tx\_vodctrl\_out）。
2. 将 rx\_tx\_duplex\_sel 端口设置成 2'b10，以便从收发器通道中只读取发送 PMA 控制。
3. 读传输开始前，要确保 busy 信号为低电平。
4. 置位 read 信号一个 reconfig\_clk 时钟周期，从而启动读传输。

busy 输出状态信号被拉高，表明动态重配置控制器正忙于读取 PMA 控制值。读传输完成后，busy 信号变为低电平。data\_valid signal 被置位表明了读控制信号上的可用数据是有效的。


图 3-5 显示了方法 1 的读传输波形。

图 3-5. 读传输波形 —Use ‘logical\_channel\_address port’ 选项



**图 3-5 注释:**

- (1) 在这一波形实例中，仅从通道的发送器部分读取数据。
- (2) 在这一波形实例中，连接到动态重配置控制器的通道数为四。因此，logical\_channel\_address 端口为 2 bit 宽。

 同时进行读写传输是不允许的。

### 方法 2: 写入相同的控制信号来控制所有的收发器通道

该方法不要求 logical\_channel\_address 端口。对连接到 ALTGX\_RECONFIG 实例的所有收发器通道的 PMA 控制进行重配置。

您可以使用 ALTGX\_RECONFIG MegaWizard 插件管理器的 **Analog controls** 标签中的 **Use the same control signal for all the channels** 选项。如果使能该选项，则 PMA 控制端口的固定宽度如下所示：

#### 写传输中所使用的 PMA 控制端口

- tx\_vodctrl 固定为 3 bit
- tx\_preemp 固定为 5 bit
- rx\_eqdcgain 固定为 2 bit
- rx\_eqctrl 固定为 4 bit

#### 读传输中所使用的 PMA 控制端口

- tx\_vodctrl\_out 为每通道 3 bit
- tx\_preemp\_out 为每通道 5 bit
- rx\_eqdcgain\_out 为每通道 2 bit
- rx\_eqctrl\_out 为每通道 4 bit

例如，假设由动态重配置控制器控制的通道数为 2，则 tx\_vodctrl\_out 为 6 bit 宽。

### 写传输

在选定的 PMA 控制端口中设定的值会被写入到连接至 ALTGX\_RECONFIG 实例的所有收发器通道。

例如, 假设您已经在 ALTGX\_RECONFIG MegaWizard Plug-In Manager 中使能了 tx\_vodctrl, 从而对收发器通道的  $V_{0D}$  进行重配置。要通过完成写传输来重配置  $V_{0D}$ , 需要执行下列步骤:

1. 启动写传输前, 按需要设置选定的 PMA 控制端口 (例如, tx\_vodctrl = 3'b001)。
2. 将 rx\_tx\_duplex\_sel 端口设置成 2'b10, 以便只有发送 PMA 控制被写入到收发器通道。
3. 写传输开始前, 要确保 busy 信号为低电平。
4. 置位 write\_all 信号一个 reconfig\_clk 时钟周期, 从而启动写传输。
5. busy 输出状态信号被拉高, 表明动态重配置控制器正忙于写入 PMA 控制值。读传输完成后, busy 信号变为低电平。

图 3-6 显示了方法 2 中的写传输。

图 3-6. 写传输波形 — 将同一信号用于所有的通道选项

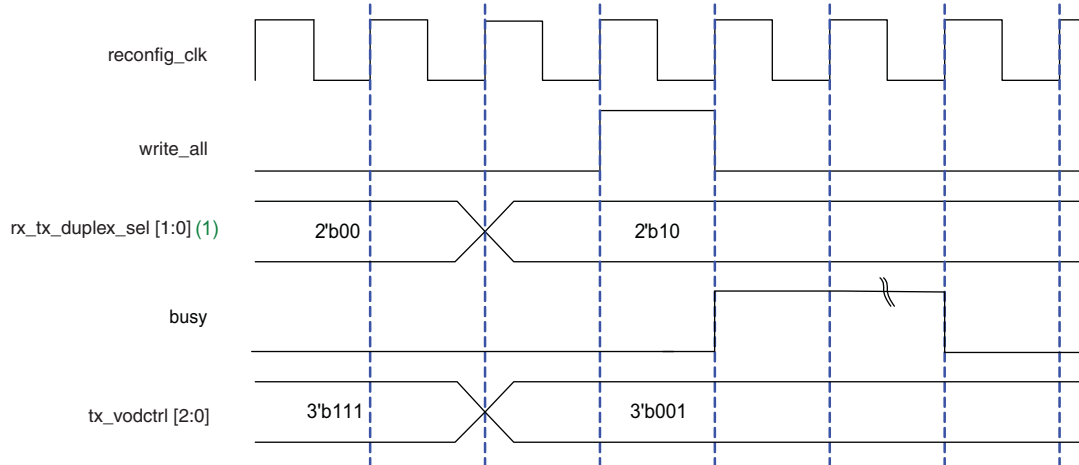


图 3-6 注释:

(1) 在这一波形实例中, 仅从通道的发送器部分读取数据。

### 读传输

如果要从连接至 ALTGX\_RECONFIG 实例的指定通道中读取现有的值, 那么在读传输完成后, 需要观测 PMA 控制端口的相应字节位置。

例如, 如果由 ALTGX\_RECONFIG 控制的通道数为 2, 则 tx\_vodctrl\_out 为 6 bit 宽。tx\_vodctrl\_out[2:0] 信号与通道 1 相对应, tx\_vodctrl\_out[5:3] 信号与通道 2 相对应。

要完成第二个通道  $V_{0D}$  值的读传输, 需要执行下列步骤:

1. 启动读传输之前, 需要将 rx\_tx\_duplex\_sel 端口设置成 2'b10, 以便从收发器通道中仅读取发送 PMA 控制。

2. 读传输开始前, 要确保 busy 信号为低电平。
3. 置位 read 信号一个 reconfig\_clk 时钟周期, 从而启动读传输。
4. busy 输出状态信号被拉高, 表明动态重配置控制器正忙于读取 PMA 控制设置。
5. 读传输完成后, busy 信号变为低电平。data\_valid 信号被置位, 表明读控制信号上的可用数据是有效的。
6. 要读取通道 2 中的  $V_{0D}$  的当前值, 需要观测 tx\_vodctrl\_out[5:3] 中的值。

在图 3-7 所示的波形实例中, 读传输开始前在通道 1 和 2 中写入的传输  $V_{0D}$  设置值分别为 3' b001 和 3' b010。

图 3-7. 读传输波形 — 将同一控制信号用于已使能的所有通道选项

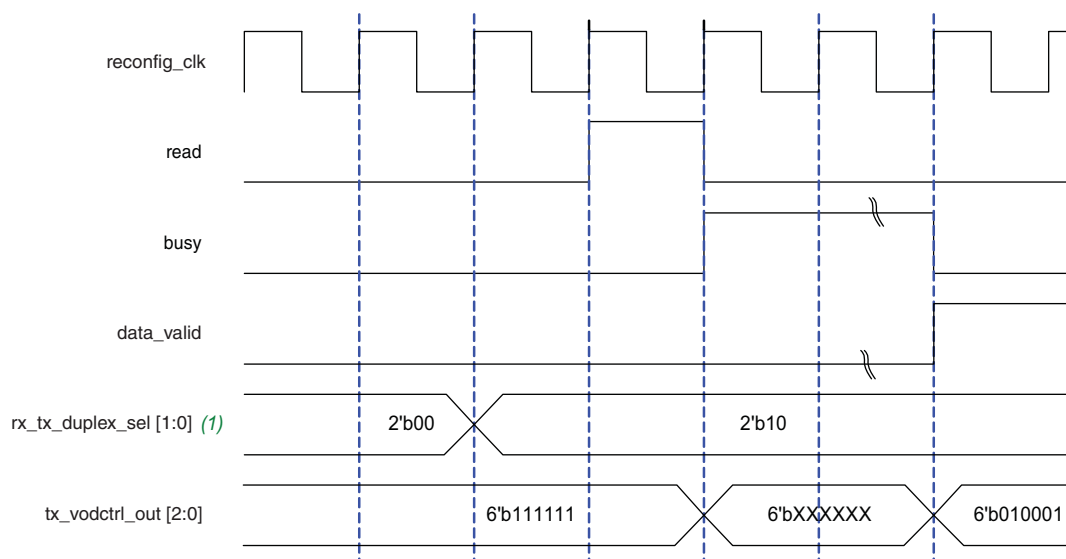



图 3-7 注释:

(1) 在这一波形实例中, 仅从通道的发送器部分读取数据。

 同时进行读写传输是不允许的。

### 方法 3: 对所有收发器通道同时写入不同控制信号

如果禁用 Use the same control signal for all the channels 选项, 则写传输的 PMA 控制端口对于每一个通道都是独立的。如果禁用该选项, 则 PMA 控制端口的固定宽度如下所示:

#### 写传输中所使用的 PMA 控制端口

- tx\_vodctrl 为每通道 3 bit
- tx\_preemp 为每通道 5 bit
- rx\_eqdcgain 为每通道 2 bit
- rx\_eqctrl 为每通道 4 bit

例如, 如果有两个通道, 则 tx\_vodctrl 为 6 bit 宽 (tx\_vodctrl [2:0] 与通道 1 相对应, tx\_vodctrl [5:3] 与通道 2 相对应)。

### 读传输中所使用的 PMA 控制端口

正如第 3-13 页中的“方法 2: 写入相同的控制信号来控制所有的收发器通道”所解释的, 读传输的 PMA 控制端口的数据宽对于每一个通道始终是独立的。

### 写传输

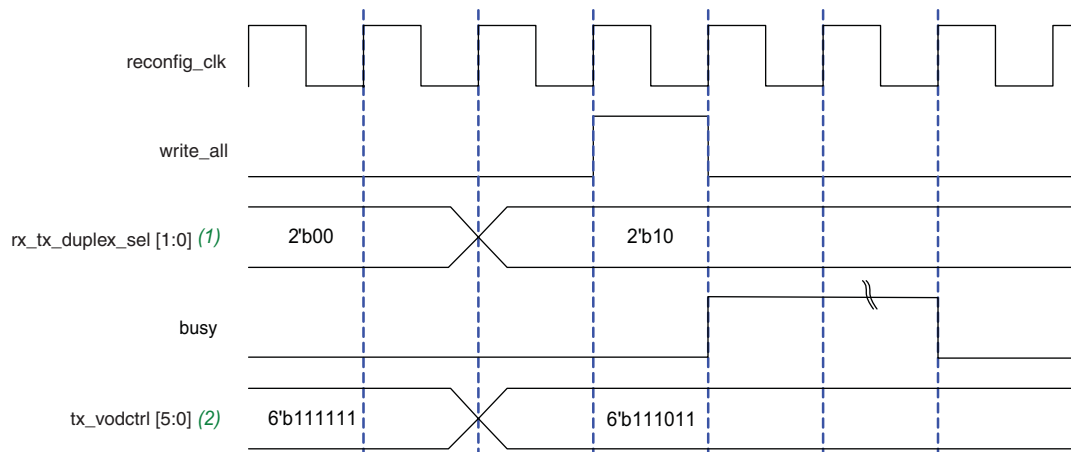
由于所有通道的 PMA 控制都将被写入, 因此如果想对连接至 ALTGX\_RECONFIG 实例的指定通道进行重配置, 则需要在所需通道的相应 PMA 控制端口设置一个新值, 并且在此写传输开始之前, 通过读传输在其它有效通道中保留之前存储的值。

例如, 如果由 ALTGX\_RECONFIG 实例控制的通道数为 2, 那么该情况下的 tx\_vodctrl 信号应该为 6 bit 宽。tx\_vodctrl[2:0] 信号与通道 1 相对应, tx\_vodctrl[5:3] 信号与通道 2 相对应。

- 要想使用一个新值仅对通道 2 的 PMA 控制进行动态重配置, 首先需要执行读传输, 从 tx\_vodctrl\_out[5:0] 中检索现有的 PMA 控制值。将 tx\_vodctrl\_out[2:0] 值用于 tx\_vodctrl[2:0], 以写入通道 1。这样通道 1 就会被相同的值覆盖。
- 执行写传输。这样可以确保仅在通道 2 中写入新值, 而通道 1 保持不变。


图 3-8 显示了 Use the same control signal for all the channels 选项被禁用时的写传输波形。

图 3-8. 写传输波形 — 将同一控制信号用于被禁用的所有通道选项




#### 图 3-8 注释:

- (1) 在这一波形实例中, 仅对通道的发送器部分写入数据。
- (2) 在这一波形实例中, 由动态重配置控制器 (ALTGX\_RECONFIG 实例) 所控制的通道数量为 2, 并且 tx\_vodctrl 控制端口是使能的。

 同时进行读写传输是不允许的。

### 读传输

方法 3 中的读传输与方法 2 中的读传输是完全相同的, 请参考第 3-14 页中的“读传输”。

 这是一个低效的方法。即便是改变通道中的一个参数, 您也必须对所有的通道写入所有的 PMA 设置。对于时序要求严格的应用, Altera 建议使用 logical\_channel\_address 方法。



对于每一种方法，您也可以重配置收发器通道的发送器以及接收器部分、仅发送器部分或者仅接收器部分的 PMA 设置。欲了解详细信息，请参考第 3-3 页中的“[动态重配置控制器端口列表](#)”。您可以通过选择 ALTGX\_RECONFIG MegaWizard Plug-In Manager 的 **Error checks** 标签中的 **Use 'rx\_tx\_duplex\_sel' port to enable RX only, TX only or duplex reconfiguration** 选项来使能 rx\_tx\_duplex\_sel 端口。

图 3-9 显示了在模拟重配置模式下进行设置时的 ALTGX\_RECONFIG 到 ALTGX 实例的连接情况。欲了解详细信息，请参考第 3-3 页中的“[动态重配置控制器端口列表](#)”。

图 3-9 显示了 PMA 重配置模式的连接情况。

图 3-9. PMA 重配置模式的 ALTGX 与 ALTGX\_RECONFIG 的连接情况

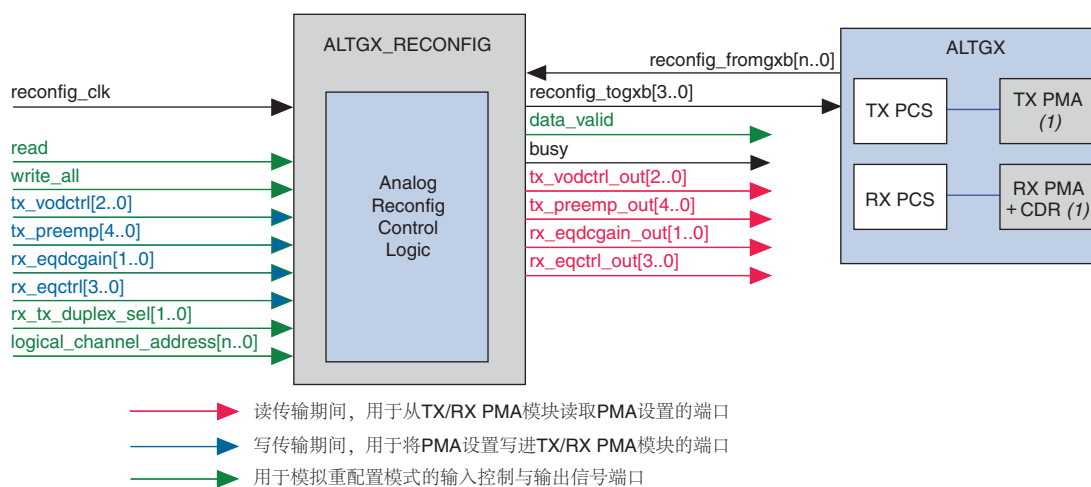


图 3-9 注释：

(1) 能够在 PMA 重配置模式中对模块进行重配置。

## 收发器通道重配置模式

通过选择 ALTGX 和 ALTGX\_RECONFIG MegaWizards 中的 **Channel Reconfiguration** 选项，您可以将收发器通道从现有的功能模式重配置成其它功能模式。由通道重配置模式重配置的模块是收发器通道的 PCS 和 RX PMA 模块。

欲了解关于使用通道重配置模式对收发器通道的 RX PMA 模块进行重配置的详细信息，请参考第 3-22 页中的“[使用 RX 本地分频器的数据速率重配置模式](#)”。

在通道重配置中，仅出现写传输；读传输是不允许的。通过选择 ALTGX\_RECONFIG MegaWizard Plug-In Manager 中的连续写操作，您可以选择触发一次 write\_all 信号。Quartus II 软件然后继续写入重配置所要求的所有字。

对于通道重配置，需要 .mif 文件对通道重配置模式下的收发器通道进行动态重配置。 .mif 文件包含了用于即时动态重配置收发器通道的重配置信息。在 Quartus II 软件设置中选择了 **Generate GXB Reconfig MIF** 选项后，将自动生成 .mif 文件内容。对于不同的 .mif 文件设置，您需要稍后对 ALTGX MegaWizard 进行重配置以及重编译，以生成基于所要求的重配置设置的 .mif 文件。

动态重配置控制器能够根据字的大小 (16-bit 数据) 有选择地对选定的收发器通道执行一个连续的写操作或者常规的写操作。

以下是通道重配置模式选项:

- 通道接口重配置
- 接收通道中的数据速率分频

### 通道接口重配置模式

如果收发器通道的重配置涉及到以下的变更, 则需要使能这一选项:

- 重配置的通道具有修改后的 FPGA 架构收发器通道接口数据宽度。
- 重配置的通道具有修改后的输入控制信号和输出状态信号。
- 重配置的通道具有已使能及已禁用的收发器通道的静态 PCS 模块

以下是使能这一选项时可使用的新输入信号:

- **tx\_dataainfull**— 这一输入信号的数据位宽度取决于您在 ALTGX MegaWizard 插件管理器中设置的通道数量。该输入信号为每通道 22 bit 宽。该信号仅对 **Transmitter only** 和 **Receiver and Transmitter** 配置有效。这个端口取代了现有的 tx\_dataain 端口。
- **rx\_dataoutfull**— 这一输出信号的数据位宽度取决于您在 ALTGX MegaWizard 插件管理器上设置的通道数量。该输入信号为每通道 32 bit 宽。该信号仅对 **Receiver only** 和 **Receiver and Transmitter** 配置有效。这个端口取代了现有的 rx\_dataout 端口。

Quartus II 软件会进行合法性检查以验证 tx\_dataainfull 和 rx\_dataoutfull 的连接以及在 **Clocking/Interface** 界面中使能的各种控制和状态信号。例如, Quartus II 软件支持选择并连接 pipestatus 和 powerdn 信号。您可以切换到 PCI Express (PIPE) 功能模式, 并从 PCI Express (PIPE) 功能模式切换回。

表 3-4 描述了 tx\_dataainfull[21..0] FPGA 架构收发器通道接口信号。

表 3-4. tx\_dataainfull[21..0] FPGA 架构收发器通道接口信号的说明 (1/2) (1)

FPGA 架构收发器通道接口的说明	发送信号说明 (基于 Cyclone IV GX 支持的 FPGA 架构收发器通道接口宽度)
8-bit FPGA 架构收发器通道接口	tx_dataainfull[7:0]: 8-bit 数据 (tx_dataain)
	下面的信号只能在 8B/10B 模式中使用:
	tx_dataainfull[8]: 控制位 (tx_ctrlenable)
	tx_dataainfull[9]
	除了 PCI Express (PIPE) 功能模式之外的所有模式中的发送器强制差异兼容 (PCI Express [PIPE]) (tx_forcedisp)。对于 PCI Express (PIPE) 功能模式, 需要使用 (tx_forcedispcompliance)。
10-bit FPGA 架构收发器通道接口	<ul style="list-style-type: none"> <li>■ 对于 non-PIPE:</li> </ul> tx_dataainfull[10]: 强制差异值 (tx_dispval)
	<ul style="list-style-type: none"> <li>■ 对于 PCIe:</li> </ul> tx_dataainfull[10]: 强制电路空闲 (tx_forceelecidle)
	tx_dataainfull[9:0]: 10-bit 数据 (tx_dataain)

表 3-4. tx\_datainfull[21..0] FPGA 架构收发器通道接口信号的说明 (2/2) (1)

FPGA 架构收发器通道接口的说明	发送信号说明 (基于 Cyclone IV GX 支持的 FPGA 架构收发器通道接口宽度)
具有设置为 8/10 bit PCS-PMA 的 16-bit FPGA 架构收发器通道接口	两个 8-bit 数据 (tx_datain) tx_datainfull[7:0] - tx_datain (LSByte) 和 tx_datainfull[18:11] - tx_datain (MSByte)
	下面的信号只能在 8B/10B 模式中使用:
	tx_datainfull[8] - tx_ctrlenable (LSB) 和 tx_datainfull[19] - tx_ctrlenable (MSB)
	强制差异使能 ■ 对于 non-PIPE: tx_datainfull[9] - tx_forcedisp (LSB) 和 tx_datainfull[20] - tx_forcedisp (MSB) ■ 对于 PCIe: tx_datainfull[9] - tx_forcedispcompliance 和 tx_datainfull[20] - 0
具有设置为 10 bit PCS-PMA 的 20-bit FPGA 架构收发器通道接口	强制差异值 ■ 对于 non-PIPE: tx_datainfull[10] - tx_dispval (LSB) 和 tx_datainfull[21] - tx_dispval (MSB) ■ 对于 PCIe: tx_datainfull[10] - tx_forceelecidle 和 tx_datainfull[21] - tx_forceelecidle
	两个 10-bit 数据 (tx_datain) tx_datainfull[9:0] - tx_datain (LSByte) 和 tx_datainfull[20:11] - tx_datain (MSByte)

**表 3-4 注释:**

(1) 欲了解所有与收发器相关的端口的详细信息, 请参考 *Cyclone IV GX Transceiver Architecture* 章节中的 “Transceiver Port Lists” 部分。

表 3-5 介绍了 rx\_dataoutfull[31..0] FPGA 架构收发器通道接口信号。

表 3-5. rx\_dataoutfull[31..0] FPGA 架构收发器通道接口信号的说明 (1/3)

FPGA 架构收发器通道接口的说明	接收信号说明 (基于 Cyclone IV GX 支持的 FPGA 架构收发器通道接口宽度)
8-bit FPGA 架构收发器通道接口	下面的信号只能在 8-bit 8B/10B 模式中使用:
	rx_dataoutfull[7:0]: 8-bit 解码数据 (rx_dataout)
	rx_dataoutfull[8]: 控制位 (rx_ctrldetect)
	rx_dataoutfull[9]: 代码违规状态信号 (rx_errdetect)
	rx_dataoutfull[10]: rx_syncstatus
	rx_dataoutfull[11]: 差异错误状态信号 (rx_disperr)
	rx_dataoutfull[12]: 码型检测状态信号 (rx_patterndetect)
	rx_dataoutfull[13]: non-PCI Express (PIPE) 功能模式中的速率匹配FIFO删除状态指示器 (rx_rmfifoatadeleted)。
	rx_dataoutfull[14]: non-PCI Express (PIPE) 功能模式中的速率匹配FIFO插入状态指示器 (rx_rmfifoatainserted)。
	rx_dataoutfull[14:13]: PCI Express (PIPE) 功能模式 (rx_pipestatus)
rx_dataoutfull[15]: 8B/10B 运行差异指示器 (rx_runningdisp)	
10-bit FPGA 架构收发器通道接口	rx_dataoutfull[9:0]: 10-bit 未编码数据 (rx_dataout)
	rx_dataoutfull[10]: rx_syncstatus
	rx_dataoutfull[11]: 8B/10B 差异错误指示器 (rx_disperr)
	rx_dataoutfull[12]: rx_patterndetect
	rx_dataoutfull[13]: non-PCI Express (PIPE) 功能模式中的速率匹配FIFO删除状态指示器 (rx_rmfifoatadeleted)
	rx_dataoutfull[14]: non-PCI Express (PIPE) 功能模式中的速率匹配FIFO插入状态指示器 (rx_rmfifoatainserted)
rx_dataoutfull[15]: 8B/10B 运行差异指示器 (rx_runningdisp)	

表 3-5. rx\_dataoutfull[31..0] FPGA 架构收发器通道接口信号的说明 (2/3)

FPGA 架构收发器通道接口的说明	接收信号说明 (基于 Cyclone IV GX 支持的 FPGA 架构收发器通道接口宽度)
具有设置为 8/10 bit PCS-PMA 的 16-bit FPGA 架构收发器通道接口	两个 8-bit 未编码数据 (rx_dataout) rx_dataoutfull[7:0] - rx_dataout (LSByte) and rx_dataoutfull[23:16] - rx_dataout (MSByte)
	<b>下面的信号只能在 16-bit 8B/10B 模式中使用:</b>
	两个控制位 rx_dataoutfull[8] - rx_ctrlldetect (LSB) and rx_dataoutfull[24] - rx_ctrlldetect (MSB)
	两个接收器错误检测位 rx_dataoutfull[9] - rx_errdetect (LSB) and rx_dataoutfull[25] - rx_errdetect (MSB)
	两个接收器同步状态位 rx_dataoutfull [10] - rx_syncstatus (LSB) and rx_dataoutfull[26] - rx_syncstatus (MSB)
	两个接收器差异错误位 rx_dataoutfull [11] - rx_disperr (LSB) and rx_dataoutfull[27] - rx_disperr (MSB)
	两个接收器码型检测位 rx_dataoutfull[12] - rx_patterndetect (LSB) and rx_dataoutfull[28] - rx_patterndetect (MSB)
	rx_dataoutfull[13] and rx_dataoutfull[29]: non-PCI Express (PIPE) 功能模式中的速率匹配 FIFO 删除状态指示器 (rx_rmfifodatadeleted)
	rx_dataoutfull[14] and rx_dataoutfull[30]: non-PCI Express (PIPE) 功能模式中的速率匹配 FIFO 插入状态指示器 (rx_rmfifodatainserted)
	两个 2-bit PCI Express (PIPE) 功能模式状态位 rx_dataoutfull[14:13] - rx_pipestatus (LSB) and rx_dataoutfull[30:29] - rx_pipestatus (MSB)
	rx_dataoutfull[15] and rx_dataoutfull[31]: 8B/10B 运行差异指示器 (rx_runningdisp)


表 3-5. rx\_dataoutfull[31..0] FPGA 架构收发器通道接口信号的说明 (3/3)

FPGA 架构收发器通道接口的说明	接收信号说明 (基于 Cyclone IV GX 支持的 FPGA 架构收发器通道接口宽度)
具有设置为 10 bit PCS-PMA 的 20-bit FPGA 架构收发器通道接口	两个 10-bit 数据 (rx_dataout) rx_dataoutfull[9:0] - rx_dataout (LSByte) and rx_dataoutfull[25:16] - rx_dataout (MSByte)
	两个接收器同步状态位 rx_dataoutfull[10] - rx_syncstatus (LSB) and rx_dataoutfull[26] - rx_syncstatus (MSB)
	rx_dataoutfull[11] and rx_dataoutfull[27]: 8B/10B 差异错误指示器 (rx_disperr)
	两个接收器码型检测位 rx_dataoutfull[12] - rx_patterndetect (LSB) and rx_dataoutfull[28] - rx_patterndetect (MSB)
	rx_dataoutfull[13] and rx_dataoutfull[29]: non-PCI Express (PIPE) 功能模式中的速率匹配 FIFO 删除状态指示器 (rx_rmfifodatadeleted)
	rx_dataoutfull[14] and rx_dataoutfull[30]: non-PCI Express (PIPE) 功能模式中的速率匹配 FIFO 插入状态指示器 (rx_rmfifodatainserted)
	rx_dataoutfull[15] and rx_dataoutfull[31]: 8B/10B 运行差异指示器 (rx_runningdisp)

### 使用 RX 本地分频器的数据速率重配置模式

RX 本地分频器位于每一个通道的 RX PMA 模块中。这是一种硬件特性，在每一个接收通道中均内嵌一个 /2 分频器，用于所支持的器件。您可以使用这一 RX 本地分频器对接收通道中的数据速率进行重配置。此硬件特性可用于某些协议，例如具有 2 分频数据速率的串行数字接口 (SDI)。

通过使用这一 RX 本地分频器，能够支持两个不同的数据速率，而无需使用其它收发器 PLL。这一动态重配置模式适用于接收器，但不适用于发送器。使用 RX 本地分频器 (/2) 的这一重配置模式仅在 P4CGX30 (F484 封装)、EP4CGX50 以及 EP4CGX75 器件可用，并获得支持。

 欲了解关于该 RX 本地分频器的详细信息，请参考 *Cyclone IV GX Transceiver Architecture* 章节。

## 通道重配置的控制与状态信号

通道重配置模式所涉及到的各种控制与状态信号如下所示。欲了解关于控制与状态信号的说明信息，请参考第 3-3 页中的“动态重配置控制器端口列表”。

以下是输入控制信号：

- logical\_channel\_address[n..0]
- reset\_reconfig\_address
- reconfig\_reset
- reconfig\_mode\_sel[2..0]
- write\_all

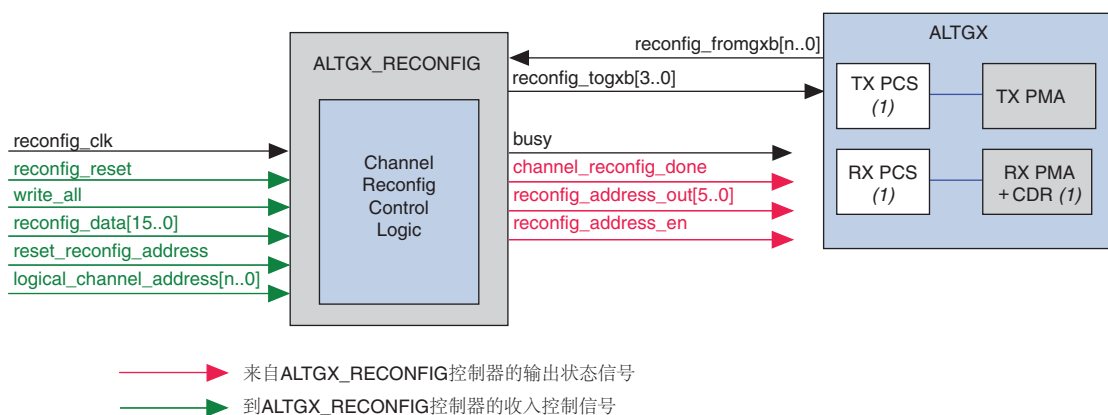
以下是输出状态信号：

- reconfig\_address\_en
- reconfig\_address\_out[5..0]
- channel\_reconfig\_done
- busy

当在通道重配置模式中进行设置时，ALTGX\_RECONFIG 与 ALTGX 实例连接的情况如下图所示。欲了解关于端口的详细信息，请参考第 3-3 页中的“动态重配置控制器端口列表”。

图 3-10 显示了通道重配置模式下连接情况。

图 3-10. 通道重配置模式下的 ALTGX 与 ALTGX\_RECONFIG 实例的连接情况



### 图 3-10 注释：

- (1) 能够在通道重配置模式中对模块进行重配置。

**Clocking/Interface 选项**

以下部分介绍了 Cyclone IV GX 器件中的 **Clocking/Interface** 选项。核心时钟的建立对收发器核心时钟进行了描述, 该时钟分别是 TX 相位补偿 FIFO 与 RX 相位补偿 FIFO 的读写时钟。核心时钟分为发送器核心时钟和接收器核心时钟。

表 3-6 列出了 Cyclone IV GX 器件的通道重配置模式所支持的时钟接口设置

**表 3-6. 通道重配置模式中的动态重配置时钟接口设置**

ALTX 设置	说明
动态重配置通道内部及接口设置	
如何对接收器提供时钟? (How should the receivers be clocked?)	选择其中的一个可用选项: <ul style="list-style-type: none"> <li>■ 在接收器之间共享同一发送器核心时钟 (Share a single transmitter core clock between receivers)</li> <li>■ 使用各自的通道发送器核心时钟 (Use the respective channel transmitter core clocks)</li> <li>■ 使用各自的通道接收器核心时钟 (Use the respective channel receiver core clocks)</li> </ul>
如何对发送器提供时钟? (How should the transmitters be clocked?)	选择其中的一个可用选项: <ul style="list-style-type: none"> <li>■ 在发送器之间共享同一发送器核心时钟 (Share a single transmitter core clock between transmitters)</li> <li>■ 使用各自的通道发送器核心时钟 (Use the respective channel transmitter core clocks)</li> </ul>

发送器核心时钟是指用于将 FPGA 架构中的并行数据写入到 TX 相位补偿 FIFO 的时钟。您可以使用下面其中一个时钟来将数据写入到 TX 相位补偿 FIFO:

- tx\_coreclk—使用一个与 FPGA 架构中 tx\_clkout 相同频率的时钟, 来为 TX 相位补偿 FIFO 提供写时钟。如果使用 tx\_coreclk, 那么它将覆盖在 ALTX MegaWizard 插件管理器中的 tx\_clkout 选项。
- tx\_clkout—Quartus II 软件自动将 tx\_clkout 布线到 FPGA 架构, 并返回到 TX 相位补偿 FIFO。

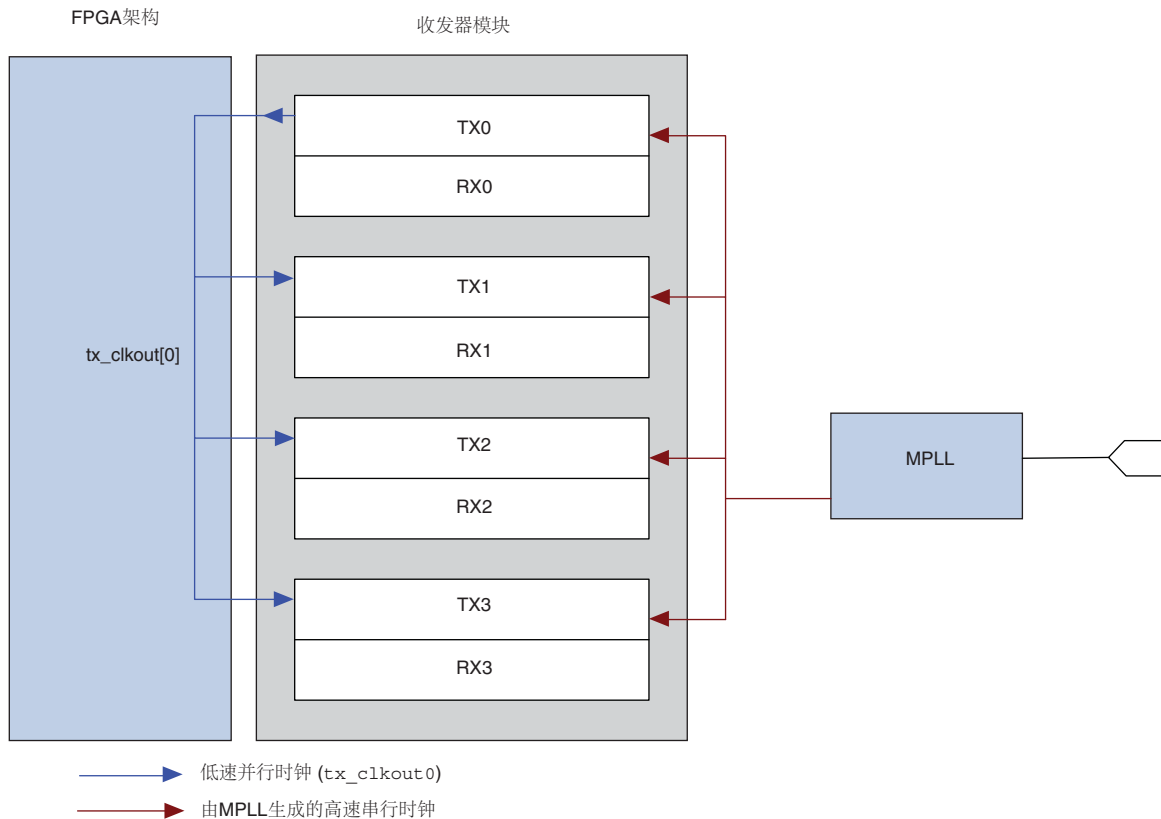


### 选项 1: 在发送器之间共享同一发送器核心时钟

- 如果想使收发器模块第一个通道 (channel 0) 的 tx\_clkout 对收发器模块中的其它通道的 TX 相位补偿 FIFO 提供写时钟, 则需要使能这一选项。
- 当收发器模块中所有的通道都具有相同的模式和数据速率, 以及重配置成同一模式和数据速率的时候, 通常使能这一选项。

图 3-11 显示了收发器模块的所有四个普通通道之间的通道 0 的 tx\_clkout 的共享情况。

图 3-11. 用于发送器核心时钟的选项 1 (通道重配置模式)

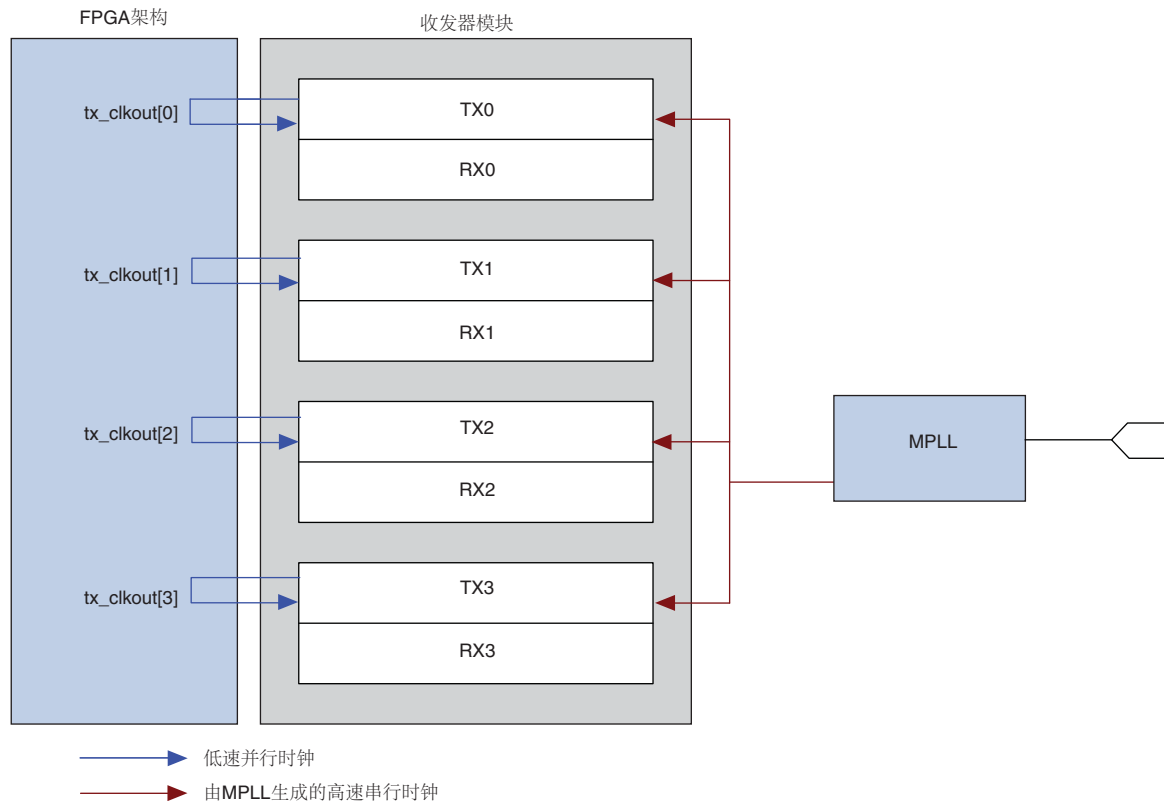


## 选项 2: 使用各自的通道发送器核心时钟

- 如果想使单独的发送通道tx\_clkout信号对它们各自的TX相位补偿FIFO提供写时钟,则需要使能这一选项。
- 当通过使用通道重配置将每一个收发器通道重配置成不同功能模式的时候,通常需要使能这一选项。

图 3-12 显示了每一个发送通道的 tx\_clkout 信号是如何对各自收发器通道的 TX 相位补偿 FIFO 提供时钟的。

图 3-12. 用于发送器核心时钟的选项 2(通道重配置模式)



接收器核心时钟是指用于读取 RX 相位补偿 FIFO 中的并行数据并送至 FPGA 架构的时钟。您可以使用下面其中一个时钟来读取 RX 相位补偿 FIFO 中的并行数据：

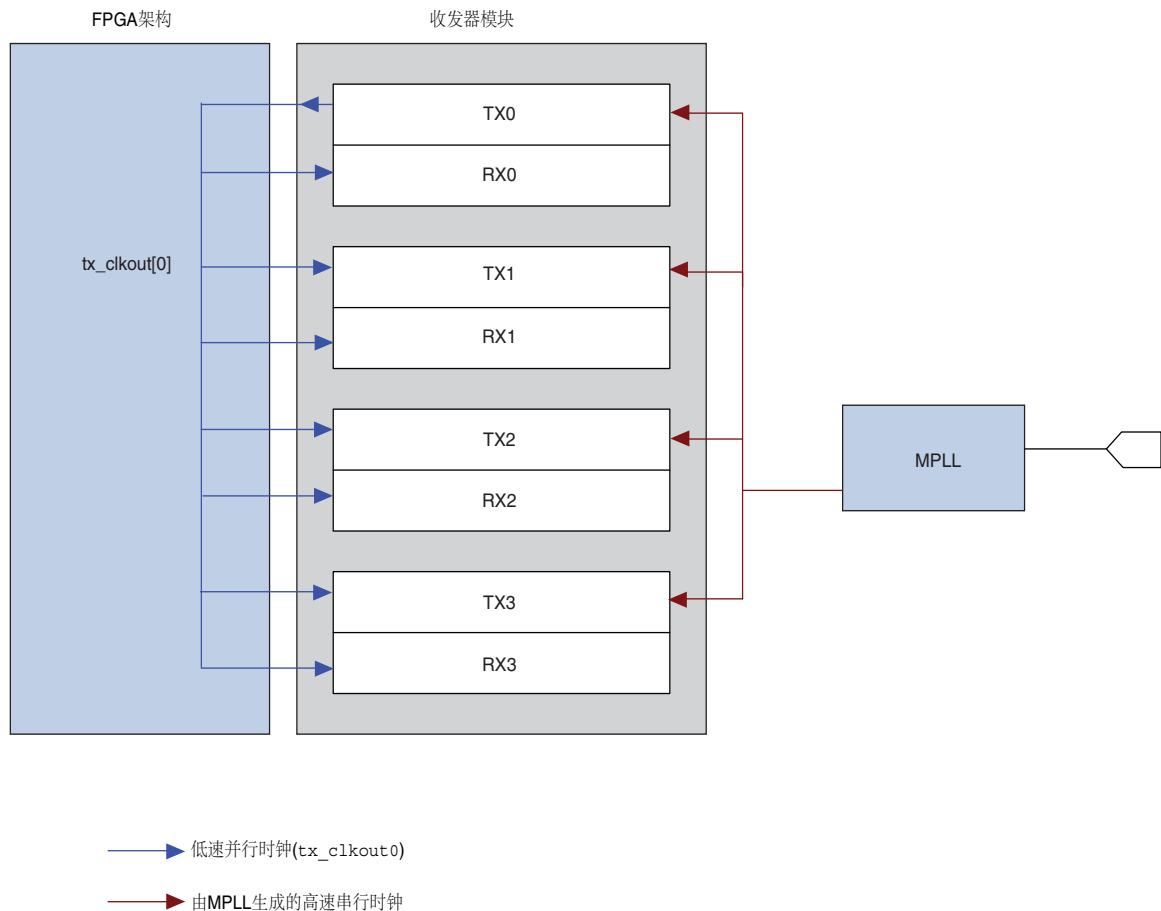
- rx\_coreclk—使用一个与 FPGA 架构中 rx\_clkout 相同频率的时钟, 来为 RX 相位补偿 FIFO 提供读时钟。如果使用 rx\_clkout, 那么它将覆盖在 ALTGX MegaWizard 插件管理器中的 rx\_clkout 选项。
- rx\_clkout—Quartus II 软件自动将 rx\_clkout 布线到 FPGA 架构, 并返回到 RX 相位补偿 FIFO。

### 选项 1：在接收器之间共享同一发送器核心时钟

- 如果想使收发器模块第一个通道 (channel 0) 的 tx\_clkout 对收发器模块中的其它通道的 RX 相位补偿 FIFO 提供读时钟，则需要使能这一选项。
- 当收发器模块中所有通道均处于具有速率匹配使能的 Basic 或者 Protocol 配置下，并且重配置成另一个具有速率匹配使能的 Basic 或者 Protocol 配置的时候，通常使能这一选项。

图 3-13 显示了收发器模块的所有四个通道之间的通道 0 的 tx\_clkout 的共享情况。

图 3-13. 用于接收器核心时钟的选项 1 (通道重配置模式)

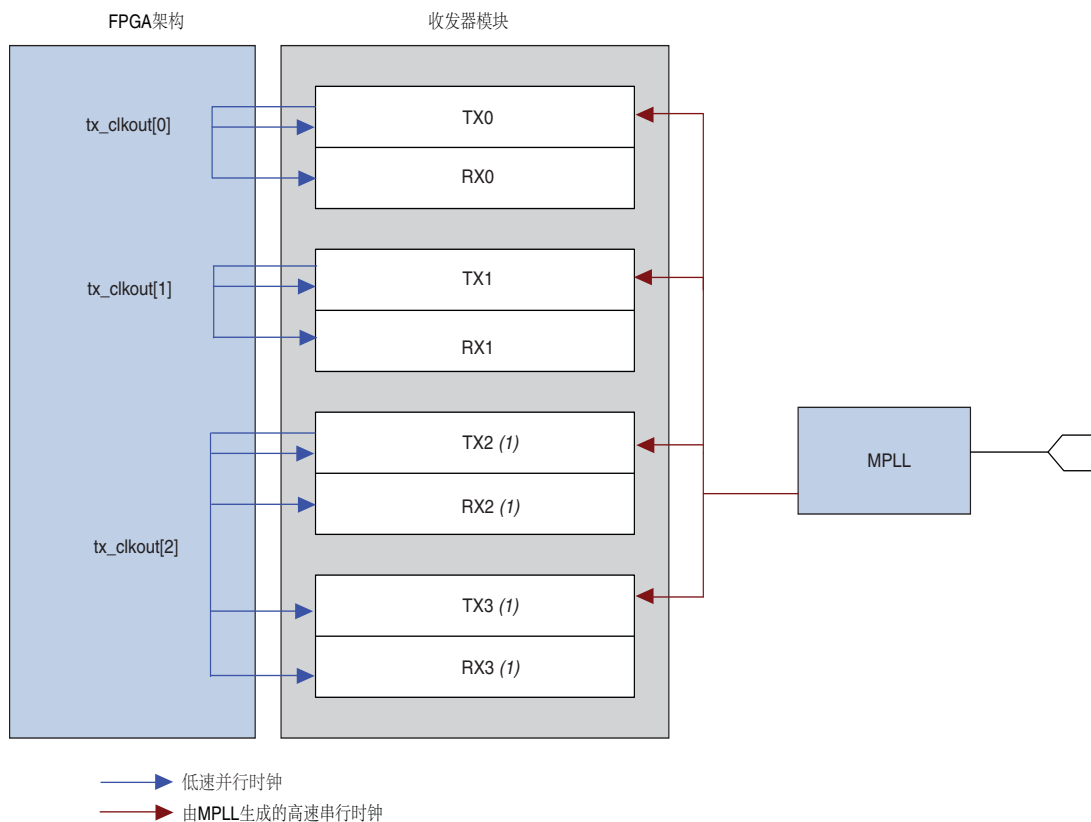


## 选项 2: 使用各自的通道发送器核心时钟

- 如果想使单独的发送通道 tx\_clkout 信号对它各自的 RX 相位补偿 FIFO 提供读时钟, 则需要使能这一选项。
- 当所有的收发器通道均以不同的数据速率使能了速率匹配功能, 并被重配置成另一个具有使能的速率匹配的 Basic 或者 Protocol 功能模式时, 通常使能这一选项。

图 3-14 显示了在每个通道上的 tx\_clkout 分别对收发器模块化上不同的通道提供时钟。

图 3-14. 用于接收器核心时钟的选项 2 (通道重配置模式)



## 图 3-14 注释:

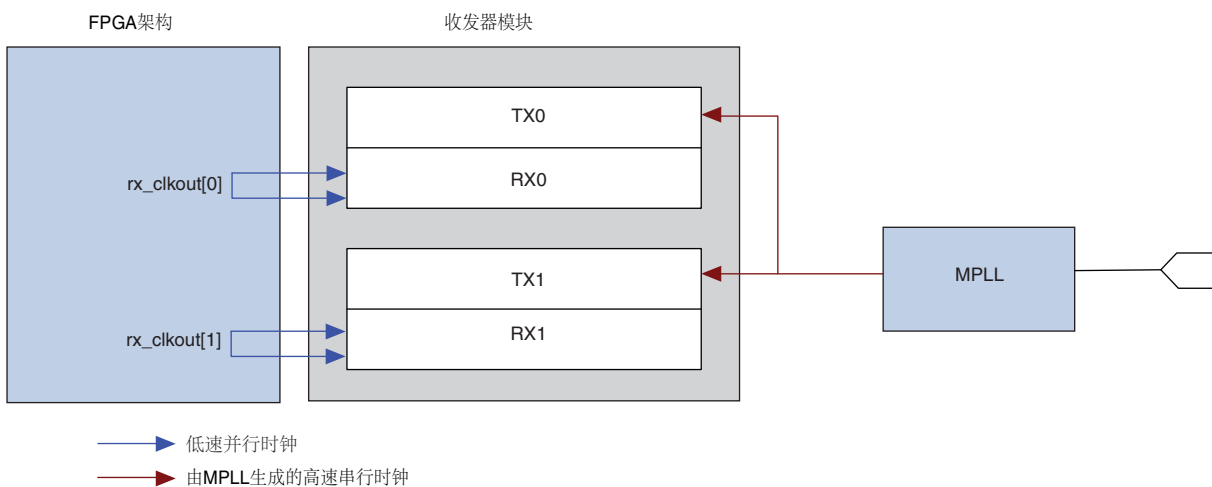
- (1) 假设通道 2 与通道 3 运行在具有速率匹配使能的同一数据速率下, 并且重配置成另一个具有数据匹配使能的 Basic 或者 Protocol 功能模式。

### 选项 3: 使用各自的通道接收器核心时钟

- 要使单独的通道 rx\_clkout 信号对它各自的 RX 相位补偿 FIFO 提供读时钟, 则需要使能这一选项。
- 将通道从具有或没有速率匹配的 Basic 或者 Protocol 配置重配置成另一个具有或没有速率匹配的 Basic 或者 Protocol 配置时, 通常使能这一选项。

图 3-15 显示了每个通道的 rx\_clkout 分别对收发器模块化上不同的通道提供时钟。

图 3-15. 用于接收器核心时钟的选项 (通道重配置模式)



## PLL 重配置模式

Cyclone IV GX 器件通过 ALTPLL\_RECONFIG MegaWizard 提供了对 PLL 重配置模式的支持。通过采用这一模式, 在不影响收发器通道的其它模块情况下, 对提供给收发器通道时钟的多用 PLL 或者通用 PLL 进行重配置。当对收发器模块的多用 PLL 或者通用 PLL 进行重配置, 以运行在不同的数据速率上时, 所有监听该多用 PLL 或者通用 PLL 的收发器通道也会被重配置成新的数据速率。通道设置不受影响。当对多用 PLL 或者通用 PLL 进行重配置以支持不同的数据速率时, 务必要确保收发器通道的功能模式支持已重配置的数据速率。

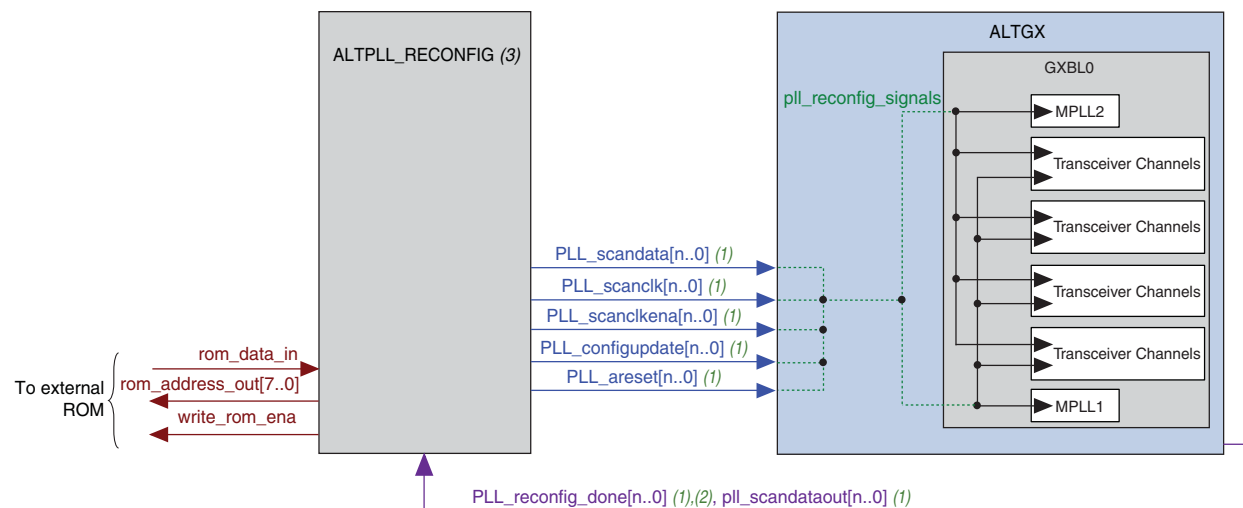
通过在 ALTGX MegaWizard 图形界面的 **Reconfiguration setting** 标签下点选 **Enable PLL Reconfiguration** 选项, 以使能 PLL 重配置模式。对于多用 PLL 或者通用 PLL 重配置而言, 需要 .mif 文件来重配置 PLL 设置, 以改变收发器 PLL 的输出频率, 从而支持不同的数据速率。

.mif 文件中含有重配置信息, 这些信息将用于对多用 PLL 或者通用 PLL 进行动态重配置。当在 ALTGX 实例图形界面的 **Reconfiguration setting** 标签下点选 **Enable PLL Reconfiguration** 选项时, 会自动生成 .mif 文件内容。根据 ALTGX MegaWizard 中的数据速率以及输入参考时钟的设置来生成 .mif 文件。您必须使用外部 ROM, 并将其内容提供给 ALTPLL\_RECONFIG 宏功能, 以对多用 PLL 设置进行重配置。

欲了解关于例化 ALTPLL\_Reconfig 的详细信息, 请参考 [AN 609: 实现 Cyclone IV GX 器件中的动态重配置](#)。

图 3-16 显示了 PLL 重配置模式下的连接情况。

图 3-16. 重配置模式下的 ALTGX 与 ALTPLL\_RECONFIG 连接。



**图 3-16 注释:**

- (1)  $\langle n \rangle$  = (在 ALTGX MegaWizard 中配置的收发器 PLL 的数量) - 1。
- (2) 必须将 ALTGX 的 `pll_reconfig_done` 信号连接到 ALTPLL\_RECONFIG 的 `pll_scandone` 端口。
- (3) 如果有两个独立的, 并具有在每个 ALTGX 实例中例化的收发器的 PLL\_ALTGX 实例, 则需要两个 ALTPLL\_RECONFIG 控制器。

欲了解关于连接 ALTPLL\_RECONFIG 与 ALTGX 实例的详细信息, 请参考 *AN 609: 实现 Cyclone IV GX 器件中的动态重配置*。

表 3-7 列出用于 PLL 重配置模式的 ALTGX 宏功能端口。

表 3-7. 用于 PLL 重配置模式的 ALTGX 宏功能端口列表


端口名称 (1)	输入 / 输出	说明	注解
<code>pll_areset [n..0]</code>	输入	对收发器 PLL 进行复位。 <code>pll_areset</code> 在以下两种情况下被拉起: <ul style="list-style-type: none"> <li>■ 复位流程中, 此信号用于对收发器 PLL 进行复位, 并接受用户控制。</li> <li>■ 收发器 PLL 重配置后, 此信号被 ALTPLL_RECONFIG 控制器拉高。此时, 该信号不受用户控制。</li> </ul>	必须将 ALTGX 的 <code>pll_areset</code> 端口连接到 ALTPLL_RECONFIG 宏功能的 <code>pll_areset</code> 端口。 来自 ALTGX 宏功能的 <code>pll_reconfig_done</code> 信号变高后, ALTPLL_RECONFIG 控制器在时钟的下一个上升沿置位 <code>pll_areset</code> 端口。 <code>pll_reconfig_done</code> 信号变高后, 收发器 PLL 被复位。PLL 重配置完成时, 这一复位由 ALTPLL_RECONFIG 宏功能自动执行, 并且不受用户控制。
<code>pll_scandata [n..0]</code>	输入	接收来自 ALTPLL_RECONFIG 宏功能的扫描数据输入。	可重配置收发器 PLL 通过此端口来接收扫描数据输入, 以用于 ALTPLL_RECONFIG 控制器的动态可重配置位。
<code>pll_scancclk [n..0]</code>	输入	驱动可重配置收发器 PLL 上的 <code>scancclk</code> 端口。	将 ALTGX 宏功能的 <code>pll_scancclk</code> 端口连接到 ALTPLL_RECONFIG <code>scancclk</code> 端口。
<code>pll_scanclkena [n..0]</code>	输入	作为一个时钟使能信号, 用于可重配置收发器 PLL 上的 <code>scancclk</code> 端口。	将 ALTGX 宏功能的 <code>pll_scanclkena</code> 端口连接到 ALTPLL_RECONFIG <code>scancclk</code> 端口。
<code>pll_configupdate [n..0]</code>	输入	驱动可重配置收发器 PLL 上的 <code>configupdate</code> 端口。	此端口连接到 ALTPLL_RECONFIG 控制器的 <code>pll_configupdate</code> 端口。最后一个数据位被发送后, ALTPLL_RECONFIG 控制器将置位此信号。

表 3-7. 用于 PLL 重配置模式的 ALTGX 宏功能端口列表

端口名称 (1)	输入 / 输出	说明	注解
pll_reconfig_done[n..0]	输出	此信号的置位表明了重配置的完成。	将 pll_reconfig_done 端口连接到 ALTPLL_RECONFIG 控制器上的 pll_scandone 端口。收发器 PLL_scandone 输出信号驱动此端口并确定何时对 PLL 进行重配置。
pll_scandataout [n..0]	输出	此端口扫描出发射器 PLL 的当前重配置。	将 pll_scandataout 端口连接到 ALTPLL_RECONFIG 控制器的 pll_scandataout 端口。此端口读取收发器 PLL 的当前配置, 并将其发送至 ALTPLL_RECONFIG 宏功能。

**表 3-7 注释:**

(1) <n> = (ALTGX MegaWizard 中配置的收发器 PLL 的数量) - 1.

 欲了解关于 ALTPLL\_RECONFIG 宏功能端口列表、说明以及使用的详细信息, 请参考 *Phase-Locked Loop Reconfiguration (ALTPL\_RECONFIG) Megafunction User Guide*.

如果使用一个不同的 M 计数器值来重配置多用 PLL, 那么需要执行以下几个步骤:

1. 收发器 PLL 重配置期间, 置位 tx\_digitalreset、rx\_digitalreset 和 rx\_analogreset 信号。
2. 执行 PLL 重配置, 以使用 PLL .mif 文件更新多用 PLL。
3. 执行通道重配置, 并且使用 GXB 重配置 .mif 文件来更新收发器。如果存在与同一多用 PLL 连接的多个通道实例, 那么需要对每一个通道进行重配置。
4. 撤销 tx\_digitalreset 和 rx\_analogreset 信号。
5. rx\_freqlocked 信号变高后, 等待至少 4 μs, 然后撤销 rx\_digitalreset 信号。

## 动态重配置期间的错误指示

当在 **Error checks/data rate switch** 标签中选择了 **Enable illegal mode checking** 或者 **Enable self recovery** 选项时, ALTGX\_RECONFIG MegaWizard Plug-In Manager 将提供一个错误状态信号。该错误信号被置位的条件是:

- **Enable illegal mode checking** 选项 — 选择此选项后, 动态重配置控制器将检查一个尝试的操作是否属于下列条件之一。动态重配置控制器在两个 reconfig\_clk 周期内检测这些条件, 撤销 busy 信号, 并且置位两个 reconfig\_clk 周期的 error 信号。
  - PMA 控制、读操作 — 没有输出端口 (rx\_eqctrl\_out、rx\_eqdcgain\_out、tx\_vodctrl\_out 和 tx\_preemp\_out) 在 ALTGX\_RECONFIG 实例中被选定, 并且 read 信号被置位。
  - PMA 控制、写操作 — 没有输入端口 (rx\_eqctrl、rx\_eqdcgain、tx\_vodctrl 和 tx\_preemp) 在 ALTGX\_RECONFIG 实例中被选定, 并且 write\_all 信号被置位。
- **Channel reconfiguration** 和 **PMA reconfiguration mode** 选择读操作选项:
  - reconfig\_mode\_sel 输入端口被设为 3' b001 (通道重配置模式)
  - read 信号被置位。

- **Enable self recovery** 选项 — 选择此选项后, ALTGX\_RECONFIG MegaWizard Plug-In Manager 将提供错误输出端口。如果动态重配置控制器没有能够在预期的时钟周期数中完成, 那么它会退出操作。从非法操作中恢复后, 动态重配置控制器会置低 busy 信号, 并且置位两个 reconfig\_clk 周期的错误输出端口。

 当一个非法值被写入到 PMA 控制中时, error 信号不会被置位。

## 动态重配置进程的功能仿真

这一部分对动态重配置进程的功能仿真过程中需要考虑的因素作了介绍。

- 在您的设计中, 必须连接 ALTGX\_RECONFIG 与 ALTGX 实例, 以实现功能仿真。
- 功能仿真使用动态重配置控制器已减少的时序模型。因此, 对于功能仿真而言, 动态重配置进程的持续时间为 16 个 reconfig\_clk 时钟周期。
- 在偏移校准执行期间, 一定不要置位 gxb\_powerdown 信号 (对于功能仿真和芯片)。

## 文档修订历史

表 3-8 列出了本章节的修订历史。

表 3-8. 文档修订历史

日期	版本	修订内容
2011 年 11 月	2.1	<ul style="list-style-type: none"> <li>■ 更新了“动态重配置控制器的体系结构”, “PMA 控制重配置模式”, “PLL 重配置模式”和“动态重配置期间的错误指示”部分。</li> <li>■ 更新了表 3-2 和表 3-4。</li> </ul>
2010 年 12 月	2.0	<ul style="list-style-type: none"> <li>■ 针对 Quartus II 10.1 的发布所作的更新。</li> <li>■ 更新了表 3-1、表 3-2、表 3-3、表 3-4、表 3-5 和表 3-6。</li> <li>■ 添加了表 3-7。</li> <li>■ 更新了图 3-1、图 3-11、图 3-13 和图 3-14。</li> <li>■ 更新了第 3-8 页中的“偏移校准功能”、第 3-31 页中的“动态重配置期间的错误指示”、第 3-22 页中的“使用 RX 本地分频器的数据速率重配置模式”、第 3-10 页中的“PMA 控制重配置模式”和第 3-23 页中的“通道重配置的控制与状态信号”部分。</li> </ul>
2010 年 7 月	1.0	首次发布。