

深入了解 digiPOT 规格与架构，提升交流性能

作者: Miguel Usach Merino

数字电位计(digiPOT)通常用于方便的调整传感器的交流或直流电压或电流输出、电源供电、或其他需要某种类型校准的器件,比如定时、频率、对比度、亮度、增益,以及失调整。数字设置几乎可以避免机械电位计相关的所有问题,比如物理尺寸、机械磨损、游标调定、电阻漂移,以及对振动、温度和湿度敏感等问题,还可以消除因使用螺丝刀导致的布局不灵活问题。

digiPOT 有两种使用模式,即 **电位计模式**或 **可变电阻器模式**。图 1 所示为电位计模式,此时有 3 个端子,信号通过 A 端和 B 端连接, W 端(类似游标)则提供衰减的输出电压。当数字比率控制输入为全零时,游标通常与 B 端连接。

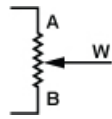


图 1. 电位计模式

游标硬连线至任一端时,电位计就变成了简单的 **可变电阻器**,如图 2 所示。可变电阻器模式时需要的外部引脚更少,因此尺寸更小。部分 digiPOT 只有可变电阻器模式。

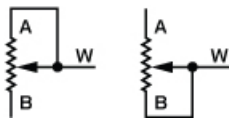


图 2. 可变电阻器模式

digiPOT电阻端的电流或电压极性没有限制,但是交流信号的幅度不能超过电源供电轨 (V_{DD} 和 V_{SS}),器件在可变电阻器模式,尤其是低电阻设置状态下工作时,最大电流或 **电流密度**应加以限制。

典型应用

信号衰减是电位计模式的固有特性,因为该器件本质上属于分压器。输出信号定义为: $V_{OUT} = V_{IN} \times (R_{DAC}/R_{POT})$, 其中 R_{POT} 是 digiPOT 的标称端对端电阻, R_{DAC} 是通过数字方式选择的W端和输入信号参考引脚之间的电阻,参考引脚通常为B端,如图 3 所示。

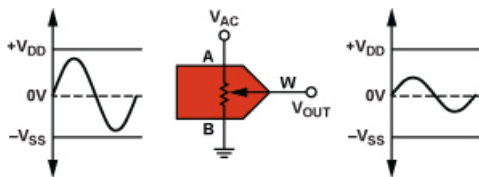


图 3. 信号衰减器

信号放大需要有源器件,通常是反相或同相放大器。通过适当的增益公式,电位计模式或可变电阻器模式均可使用。

图 4 显示的是同相放大器,此时digiPOT相当于电位计,可通过反馈调整增益。由于部分输出会反馈, $R_{AW}/(R_{WB} + R_{AW})$ 应等于输入,理想增益为:

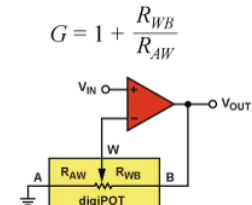


图 4. 电位计模式中的同相放大器

该电路的增益与 R_{AW} 成反比, R_{AW} 接近零时会迅速上升,显示出双曲线传递函数特性。为了限制最大增益,可插入一个电阻与 R_{AW} (位于增益公式的分母内) 串联。

如果需要线性增益关系,可以采用可变电阻器模式以及固定外部电阻,如图 5 所示,增益现定义如下:

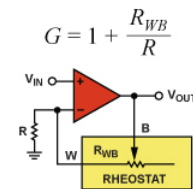


图 5. 可变电阻器模式中的同相放大器

将低电容端(最新器件中为 W 引脚)连接至运算放大器输入可获得最佳性能。

digiPOT 用于信号放大的优势

图 4 和图 5 所示的电路具有高输入阻抗和低输出阻抗,可工作于单极性和双极性信号。digiPOT 可用于游标操作,采用固定外部电阻在更小的范围内提供更高的分辨率,还可用于运算放大器电路,信号有无反转均可。此外, digiPOT 的温度系数较低,电位计模式时通常为 5 ppm/°C,可变电阻器模式时则为 35 ppm/°C。

digiPOT 用于信号放大的限制

处理交流信号时, digiPOT 的性能受带宽和失真的限制。受寄生器件影响, **带宽**是指在小于 3 dB 衰减时能够通过 digiPOT 的最大频率。**总谐波失真(THD)**(此处定义为后四个谐波的 rms 之和与输出基波值的比值)是信号通过器件时衰减的量度。这些规格涉及的性能限制由内部 digiPOT 架构决定。通过分析,我们可以更好地全面了解这些规格,减少其负面影响。

内部架构已从传统的串联电阻阵列(如图 6a所示)发展至分段式架构(如图 6b所示)。主要的改进是减少了所需内部开关的数量。第一种情况采用串行拓扑结构,开关数量为 $N = 2^n$, n 是分辨率的位数。 $n = 10$ 时,需要 1024 个开关。

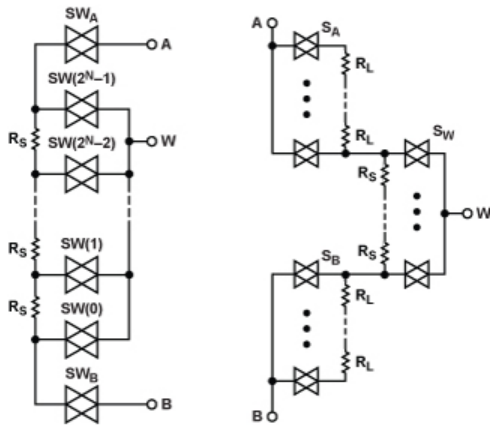


图 6. a) 传统架构, b) 分段式架构

专有（专利）分段式架构采用级联连接，可以最大限度地减少开关总数。图 6b 的例子显示的是两段式架构，由两种类型的模块组成，即左侧的 MSB 和右侧的 LSB。

左侧上下模块是一串用于粗调位数的开关（MSB段）。右侧模块是一串用于精调位数的开关（LSB段）。MSB开关粗调后接近 R_A/R_B 比。LSB串的总电阻等于MSB串中的单个阻性元件，LSB开关可对主开关串上的任一点进行比率精调。A和B MSB开关为互补码。

分段式架构的开关数量为：

$$N = 2^{m+1} + 2^{n-m},$$

其中 n 是总位数， m 是 MSB 字的分辨率位数。例如， $n = 10$ ， $m = 5$ ，则需要 96 个开关。

分段式方案需要的开关数少于传统开关串，

$$\text{Difference} = 2^n - (2^{m+1} + 2^{n-m})$$

$$\text{两者相差的开关数} = 2^n - (2^{m+1} + 2^{n-m})$$

在该例中，节省的数量为

$$1024 - 96 = 928!$$

两种架构都必须选择不同电阻值的开关，充分考虑到模拟开关中的交流误差源。这些CMOS（互补金属氧化物半导体）开关由并行P沟道和N沟道MOSFET构成。这种基本双向开关可以保持相当恒定的电阻(R_{ON})，信号可达完整的供电轨。

带宽

图 7 显示的是影响 CMOS 开关交流性能的寄生器件。

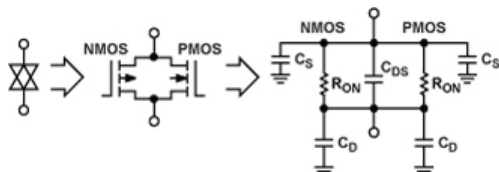


图 7. CMOS开关模式

C_{DS} = 漏极-源级电容； C_D = 漏极-栅级 + 漏极-体电容； C_S = 源级-栅级 + 源级-体电容。

传递关系如以下公式定义，其中包含的假设为：

- 源阻抗为 0Ω
- 无外部负载影响
- 无来自 C_{DS} 的影响
- $R_{LSB} \ll R_{MSB}$

$$H(s) = \frac{R_{DAC}}{R_{POT}} \times \left[\frac{1}{s \times [R_{DAC} \parallel (R_{POT} - R_{DAC})] \times (C_{DLSB} + C_{SLSB} + (m_{on} \times C_{DMSB}) + (m_{off} \times C_{SMSB})) + 1} \right]$$

其中：

R_{DAC} 是设定电阻

R_{POT} 是端对端电阻

C_{DLSB} 是 LSB 段的总漏极-栅级 + 漏极-体电容

C_{SLSB} 是 LSB 段的总源级-栅级 + 源级-体电容

C_{DMSB} 是 MSB 开关的漏极-栅级 + 漏极-体电容

C_{SMSB} 是 MSB 开关的源级-栅级 + 源级-体电容

m_{off} 是信号 MSB 路径的断开开关数量

m_{on} 是信号 MSB 路径的接通开关数量

传递公式受各种因素影响，与代码存在一定关联，因此我们采用以下额外假设来简化公式

$$C_{DMSB} + C_{SMSB} = C_{DSMSB}$$

$$C_{DLSB} + C_{SLSB} \gg C_{DSMSB}$$

$$(C_{DLSB} + C_{SLSB}) = C_W \text{ (详见数据手册)}$$

C_{DS} 对传递公式没有影响，但由于其出现的频率通常比极点高的多，RC 低通滤波器是主要的响应。理想的近似简化公式为：

$$H(s) = \frac{R_{DAC}}{R_{POT}} \times \left[\frac{1}{(s \times [R_{DAC} \parallel (R_{POT} - R_{DAC})] \times C_W + 1)} \right]$$

带宽(BW)定义为：

$$BW = \frac{1}{2\pi \times (R_{POT} - R_{DAC}) \parallel R_{DAC} \times (C_W + C_L)}$$

其中 C_L 是负载电容。

BW 与代码有关，最差的情况是代码在半量程时，AD5292 的数字值为 $2^9 = 512$ ，AD5291 的数字值为 $2^7 = 128$ （见附录）。图 8 显示的是低通滤波效应，它受代码影响，在不同标称电阻与负载电容值时会发生变化。

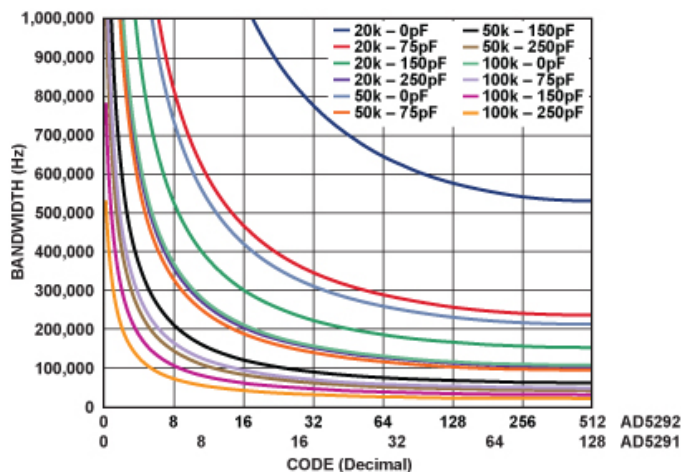


图 8. 各种电阻值的最大带宽与负载电容

PC 板的寄生走线电容也应加以考虑, 否则最大带宽会低于预期值, 走线电容可以采用以下公式简单计算:

$$C \text{ (pF)} = 0.09 \times \epsilon_r \times \frac{A}{d}$$

其中:

ϵ_r 是板材的介电常数

A 是走线区域(cm^2)

d 是层间距(cm)

例如, 假设FR4 板材有两个信号层和电源/接地层, $\epsilon_r = 4$, 走线长度= 3 cm, 宽度= 1.2 mm, 层间距= 0.3 mm, 则总走线电容约为 4 pF。

失真

THD用于量化器件作为衰减器的非线性。该非线性由内部开关及其随电压变化的导通电阻(R_{ON})而产生。图 9 所示为放大的幅度失真示例。

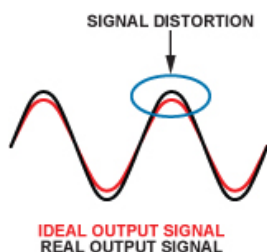


图 9. 失真

与单个内部无源电阻相比, 开关的 R_{ON} 很小, 其在信号范围内的变化则更小。图 10 显示的是典型的导通电阻特性。

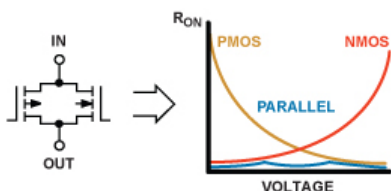


图 10. CMOS电阻

电阻曲线取决于电源电压轨, 电源电压最大时, 内部开关的 R_{ON} 变化最小。电源电压降低时, R_{ON} 变化和非线性都会随之增加。

图 11 对比了低压digiPOT在两种供电电平下的 R_{ON} 变化。

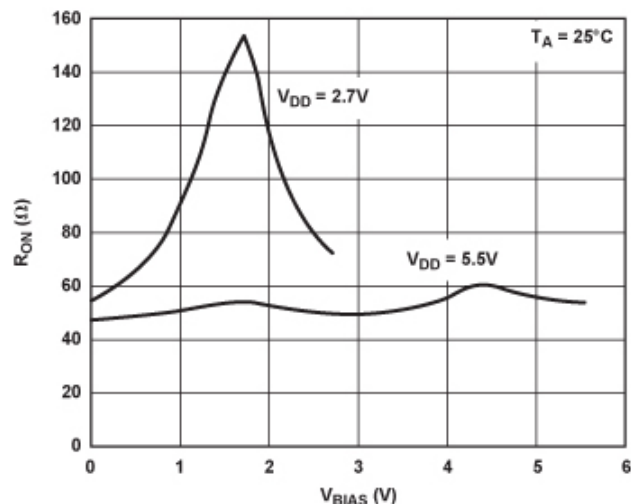


图 11. 开关电阻变化与电源电压的关系

THD取决于各种因素, 因此很难量化, 若假设 R_{ON} 的变化为 10%, 则以下公式可用于近似计算:

$$THD \text{ (dB)} = 20 \times \log \frac{10\% \times R_{ON}}{R_{POT}}$$

一般说来, 标称digiPOT电阻(R_{POT})越大, 则分母越大, THD就越小。

权衡

R_{POT} 增加后, 失真和带宽都会随之降低, 所以改进一项指标的同时必定会牺牲另一项。因此, 电路设计人员必须在两者之间做出适当的权衡。这也关系到器件的设计水平, 因为IC设计人员必须平衡设计公式中的各个参数:

$$R_{ON} = \frac{L}{\mu \times C_{OX} \times W}$$

$$C = C_{OX} \times W \times L$$

其中:

C_{OX} 是氧化电容

μ 是电子(NMOS)或空穴(PMOS)的迁移常数

W 是宽度

L 是长度

偏置

从实用的角度来看, 我们必须充分发挥各项特性。digiPOT 通过容性耦合衰减交流信号时, 若信号偏置达到电源的中值, 则失真最小。这意味着开关工作在电阻特性线性最强的部分。

一种方法是采用双电源供电, 只需将电位计接地至电源共模端, 信号便会产生正负向摆动。如果需要单电源供电, 或者某些digiPOT不支持双电源时, 可以采用另一种方法, 即添加 $V_{DD}/2$

的失调电压至交流信号。该失调电压必须添加到两个电阻端，如图 12 所示。

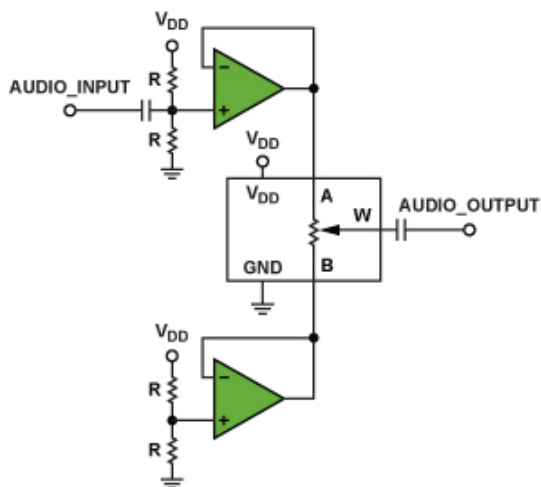


图 12. 单电源供电交流信号调理

若需要使用信号放大器，双电源供电的反相放大器优于同相放大器（如图 13 所示），原因有以下两项：

- THD 性能更佳，因为反相引脚的虚地可将开关电阻集中在电压范围中间。
- 因为反相引脚位于虚地，所以几乎取消了游标电容 C_{DLSB} ，令带宽增幅较小（必须注意电路稳定性）。

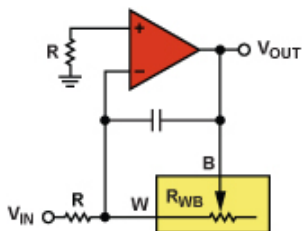


图 13. 采用反相放大器digiPOT可调整放大

附录——关于AD5291/AD5292

256/1024 位数字电位计精度为 1%，可编程 20 次

AD5291/AD5292 数字电位计，如图 14 所示，具有 256/1024 位分辨率。端对端电阻有 20 kΩ、50 kΩ 和 100 kΩ 可供选择，误差优于 1%，温度系数在可变电阻器模式下时为 35 ppm/°C，分压器模式下时为 5 ppm/°C（比率）。这些器件可实现与机械电位计相同的电子调整功能，但尺寸更小且更可靠。其游标位置可通过 SPI 兼容接口调整。在熔断熔丝，将游标位置固定（此过程类似于将环氧树脂涂在机械式调整器上）之前，可进行无限次调整。“去除环氧树脂”过程最多可以重复 20 次。AD5291/AD5292 采用 9 V 至 33 V 单电源或 ±9 V 至 ±16.5 V 双电源，功耗 8 μW。采用 14 引脚 TSSOP 封装，工作温度范围为 -40°C 至 +105°C。

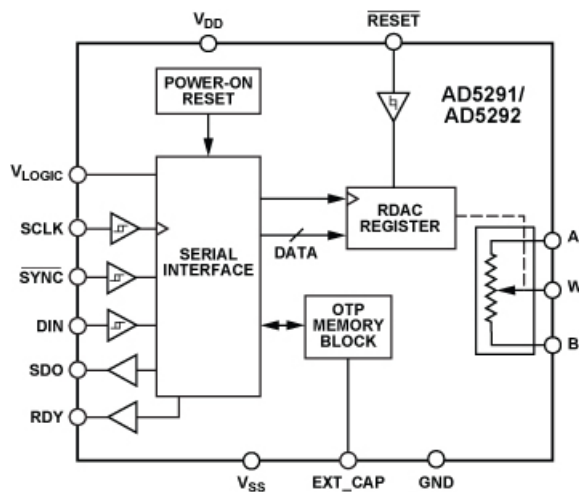


图 14. AD5291/AD5292 功能框图

作者简介

Miguel Usach Merino [miguel.usach@analog.com], 获瓦伦西亚大学电子工程学位。2008 年加入 ADI 公司，任爱尔兰利默里克精密 DAC 部的应用工程师。

