

嵌入式系统中的 JTAG 接口编程技术

中国科学院声学研究所(100080) 何希顺

清华大学自动化系(100084) 张跃 何荣森

摘要：分析了嵌入式系统开发中常用的三种芯片编程方法，介绍了 JTAG 接口的标准、工作原理及在芯片中的实现，根据 JTAG 接口所提供的边界扫描功能，通过 PC 机并行接口模拟 JTAG 接口的时序，实现了使用目标系统中微处理器的 JTAG 接口对系统程序存储器 FLASH 的编程。

关键词：嵌入式系统 JTAG(Joint Test Action Group) 联合测试行为组织 编程器 StrongARM 手持设备

随着手持式电子设备的迅猛发展，手机、PDA、掌上电脑、电子书和数码相机等正在快步走进人们的日常生活。这一类电子产品同属于嵌入式系统的范畴，都是以高性能的微处理器为核心扩展相应的存储器和功能电路，运行小巧的操作系统和相应的应用程序，实现电子设备的各种功能。由于是手持设备，因而要求体积小、重量轻、耗电少。这些特点决定了设备内部的印制板的尺寸比常规电子设备小得多，而且元器件密度大，双面贴装。这给设计人员带来了若干问题，如操作系统代码和应用程序的写入，板上芯片的测试等。本文作者结合实际工作，就嵌入式系统中如何通过 JTAG 接口进行 FLASH 芯片编程作了探讨。

1 几种常用的芯片编程方法

在嵌入式系统开发和产品生产过程中，对系统程序存储器编程主要使用三种编程方法：通过编程器编程、使用板上编程器编程和在系统编程。

1.1 通过编程器编程

这是在 PROM、EPROM、PAL 等芯片流行时常用的传统编程方法，即在可编程芯片焊装到电路板之前，使用专门的编程器对芯片进行代码或数据的写入，然后将已编程的芯片安装到电路板上。

使用编程器进行编程特别适合于 DIP 封装的芯片，如果是其它类型的封装，则必须使用相应的适配器。这种方法的缺点是需要手工进行待编程芯片的插入、锁定等工作，容易造成芯片方向错误、引脚错位等，导致编程效率降低。

1.2 使用板上编程器编程(OBP)

这种方法是在电路板上所有芯片已经焊装完毕后，再对板上的可编程芯片进行编程。通过专用电缆将电路板与外部计算机连接，由计算机的应用程序进行板上可编程芯片的代码或数据写入。芯片擦除、编程所需要的电源、控制信号、地址、数据和相关命令都由板外的编程控制器提供。在进行板上编程时，需要通过专门的辅助电路关断目标板上 CPU 的电源或

将其外部接口信号设置为高阻状态，以免与编程时的地址、数据和控制信号发生冲突。

在板上编程可以克服芯片引脚错位、方向插反等问题，避免烧毁芯片、编程错误，保证了芯片编程的高成功率和可靠性。另一个优点就是及时软件升级，可以做到在产品出厂时系统使用最新版本的固化软件，这对于日新月异的手持电子设备而言是必须的。

这种方法的缺点是需要在电路板上设计编程用的接口、隔离等辅助电路，在编程时通过跳线或 FET 开关进行编程与正常工作的状态转换。这样会增加每个电路板芯片的数量，造成产品成本的增加。

1.3 在系统编程(ISP、ISW)

这种方法直接利用系统中带有 JTAG 接口的器件如 CPU、CPLD、FPGA 等，执行对系统程序存储器芯片内容的擦除和编程操作。一般而言，高档微处理器均带有 JTAG 接口，系统程序存储器的数据总线、地址总线和控制信号直接接在微处理器上。编程时，使用 PC 机内插卡或并行接口通过专用电缆将系统电路板与 PC 机联系起来，在 PC 机上运行相关程序，将编程数据及控制信号传送到 JTAG 接口的芯片，利用相应指令从微处理器的引脚按照 FLASH 芯片的编程时序输出到 FLASH 存储器。

这种编程方法的条件是系统中必须存在带有 JTAG 接口或与之兼容的芯片如微处理器。优点是系统板上不需要增加其它与编程有关的辅助电路，减小了电路板的尺寸，避免了对微小封装芯片的手工处理，特别适用于电路板尺寸有严格限制的手持设备。

2 JTAG 接口介绍

面对复杂电路的设计、整板测试的难度及表面贴装技术带来的有限测试引脚等问题，业界不得不寻找一个标准加以解决。JTAG 边界扫描即 IEEE 1149.1 标准，该测试标准定义了用于解决上述问题的硬件结构和工作机制。其优点在于将极其复杂的印刷电路板测试转变成具有良好结构性、可以通过软件简单而灵活

处理。它虽然只是一个主要用于片上电路的测试标准,但却打开了各种相关应用的大门。这个标准定义了可用于完成功能和互连测试以及内建自测过程的各种指令。芯片生产厂商如 ALTERA、XILINX、ATMEL、AMD、TI 等对标准进行了扩充,使用扩展的专用指令执行维护和诊断应用及对可配置器件的可编程算法,使 JTAG 接口广泛用于 FLASH 系列芯片的编程。概括起来,JTAG 接口主要应用于:电路的边界扫描测试和可编程芯片的在系统编程。

2.1 JTAG 接口的结构

在硬件结构上,JTAG 接口包括两部分:JTAG 端口和控制器。与 JTAG 接口兼容的器件可以是微处理器(MPU)、微控制器(MCU)、PLD、CPL、FPGA、ASIC 或其它符合 IEEE 1149.1 规范的芯片。IEEE 1149.1 标准中规定对应于数字集成电路芯片的每个引脚都设有一个移位寄存单元,称为边界扫描单元 BSC。它将 JTAG 电路与内核逻辑电路联系起来,同时隔离内核逻辑电路和芯片引脚。由集成电路的所有边界扫描单元构成边界扫描寄存器 BSR。边界扫描寄存器电路仅在进行 JTAG 测试时有效,在集成电路正常工作时无效,不影响集成电路的功能。具有 JTAG 接口的芯片内部结构如图 1 所示。

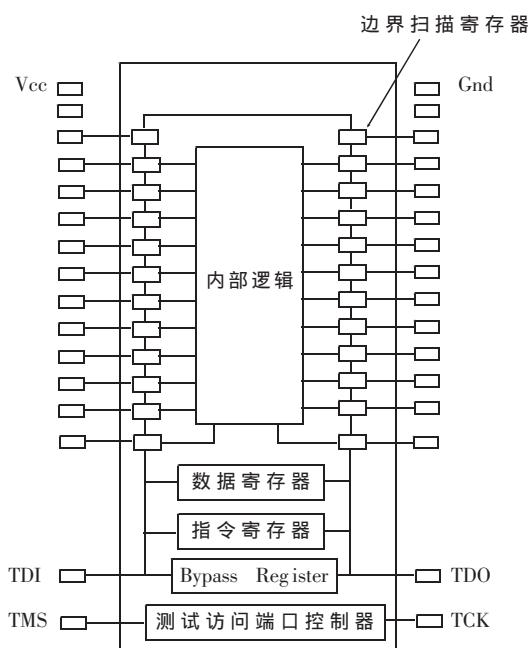


图 1 带有 JTAG 接口的芯片内部结构图

测试逻辑的最高级电路包括 3 个主要模块:

- 测试访问端口(TAP)控制器

TAP 控制器提供对嵌入在 JTAG 兼容器件内部的测试功能电路的访问控制,是一个同步状态机。每个 JTAG 兼容的器件都有自己的 TAP 控制器。通过测试模式选择 TMS 和时钟信号 TCK 控制其状态转移,实现由 IEEE1149.1 标准确定的测试逻辑电路的工作时序。

- 指令寄存器

指令寄存器是基于电路的移位寄存器,通过它可以串行输入执行各种操作的指令。

- 数据寄存器组

数据寄存器组是一组基于电路的移位寄存器。操作指令被串行装入由当前指令所选择的数据寄存器。随着操作的执行,测试结果被移出。

2.2 JTAG 引脚定义

JTAG 接口主要包括四个引脚:TMS、TCK、TDI 和 TDO 及一个可选配的引脚 TRST,用于驱动电路模块和控制执行规定的操作。各引脚的功能如下:

- TCK:JTAG 测试时钟,为 TAP 控制器和寄存器提供测试参考。在 TCK 的同步作用下通过 TDI 和 TDO 引脚串行移入或移出数据及指令。同时,TCK 为 TAP 控制器状态机提供时钟。

- TMS:JTAG 控制器的模式输入信号。TCK 的上升沿时刻 TMS 的状态确定 TAP 控制器即将进入的工作状态。通常 TMS 引脚具有内部上拉电阻,以保证该引脚在没有驱动时处于逻辑 1 状态。

- TDI:JTAG 指令和数据寄存器的串行数据输入端。TAP 控制器的当前状态以及保存在指令寄存器中的具体指令决定对于一个特定的操作由 TDI 装入哪个寄存器。在 TCK 的上升沿时刻,TDI 引脚状态被采样,结果送到 JTAG 寄存器组。

- TDO:JTAG 指令和数据寄存器的串行数据输出端。TAP 控制器的当前状态以及保持在指令寄存器中的具体指令决定对于一个特定的操作哪个寄存器的内容送到 TDO 输出。对于任何已知的操作,在 TDI 和 TDO 之间只能有一个寄存器(指令或数据)处于有效连接状态。TDO 在 TCK 的下降沿改变状态,并且只在数据通过器件移动过程中有效。该引脚在其它时间处于三态状态。

- TRST:测试复位输入信号,低电平有效,为 TAP 控制器提供异步初始化信号。

2.3 JTAG 测试访问端口(TAP)控制器

TAP 控制器是一个 16 状态的有限状态机,为 JTAG 提供控制逻辑,控制进入到 JTAG 结构中各种寄存器内数据的扫描与操作。TAP 状态转移图如图 2 所示,由 TCK 同步时钟上升沿时刻 TMS 引脚的逻辑电平决定状态转移的过程(高电平 TMS=1,低电平 TMS=0)。对于由 TDI 端输入到器件的扫描信号共有两个状态变化路径:一个用于移入指令到指令寄存器;另一个用于移入数据到有效的数据寄存器,该寄存器由当前指令确定。

状态图中的每个状态都是通过 TAP 控制器进行数据处理所需要的。这些处理包括给引脚施加激励信号,捕获输入的数据,装载指令,边界扫描寄存器中数

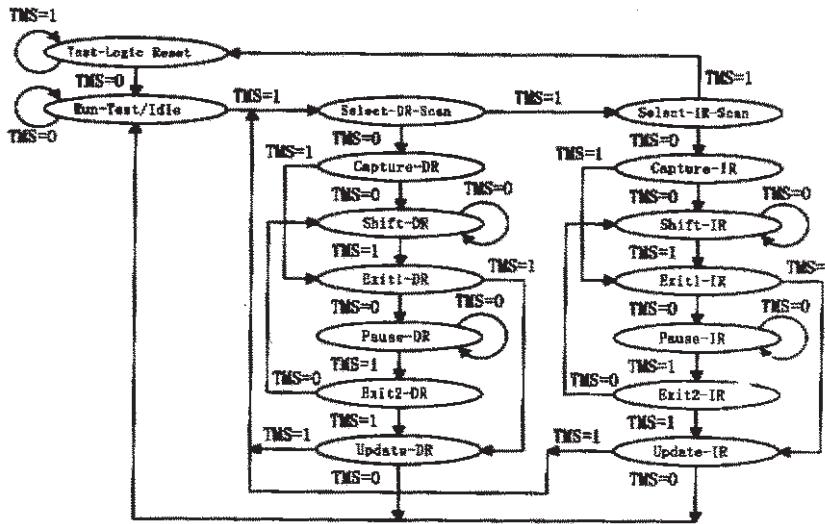


图 2 TAP 控制器状态转移图

据的移入或移出。图 2 表示了 TAP 状态机的基本流程, 描述了从一个状态到另一个状态 TMS 信号的变化, 在芯片 JTAG 接口的 TRST 引脚上加一低脉冲信号可以使 TAP 控制器复位到测试逻辑复位(Test - Logic - Reset)主状态。

2.4 JTAG 接口的控制指令

控制指令用于控制 JTAG 接口进行各种操作, 控制指令包括基本指令和扩展指令。JTAG 接口标准要求芯片支持的基本指令有 :EXTEST、INTEST、SAMPLE/PRELOAD、BYPASS、IDCODE、HIGHZ。芯片厂商可以根据实际需要选择或添加扩展指令。

3 JTAG 接口的使用

通过 JTAG 接口可以进行电路板及芯片的测试, 也可以实现对目标电路板上的程序存储器编程。本文仅讨论使用 JTAG 接口对板上 FLASH 存储器的编程。一般, 可以利用专用的 PC 机内插卡式硬件控制器或独立的编程器访问 JTAG 器件, 也可以直接由 PC 机的并行接口模拟 JTAG 时序, 硬件控制器或编程器通过专用电缆连接到目标电路板。被编程的 FLASH 存储器芯片的地址线、数据线和控制信号线接到 JTAG 兼容芯片的相应引脚上。值得注意的是:采用这种编程方法, 不要求 FLASH 器件具有 JTAG 接口, 只要与其相连接的芯片具有 JTAG 接口即可。在编程 FLASH 芯片时, 需要做的工作主要有:

①PC 机发送指令或数据到 JTAG 兼容芯片的边界扫描寄存器 (BSR);②将保存在 BSR 中的指令或数据通过 JTAG 专用指令传送给 FLASH 存储器。这个过程是由运行在 PC 机上的软件进行控制的。

3.1 硬件配置

在某个设计项目中, 使用了 In-

tel 公司的 StrongARM 芯片 SA-1110 和该公司的 Strata 系列 FLASH 存储器芯片。SA-1110 芯片是一种高性能、低功耗、集成有多种常用接口的 SOC 微处理器芯片, 特别适合于手持设备。而 Strata FLASH 是 Intel 公司使用独创的 1 个存储单元记录 2 比特数据技术制造的闪速存储器芯片, 其特点是体积小、容量大、成本低, 特别适合于程序代码与数据的存储。选择的型号为: E28F128J3A, 可以配置成 8 位或 16 位数据线方式。SA-1110 为 32 位芯片, 其外扩的程序存储器和数据存储器也为 32 位, 因此程序存储器需要 2 片 28F128J3A 配置为 32 位形式, 如图 3 所示。

在本例中 JTAG 菊花链中包含两个 IEEE1149.1 兼容芯片, 即 SA-1110 微处理器和 CPLD。由于 FLASH 的地址总线、数据总线和控制信号线接在 SA-1110 上, 在利用 JTAG 接口编程 FLASH 存储器时, 与 JTAG 链上的 CPLD 芯片无关, 需要通过指令将 CPLD 芯片设为旁通模式。FLASH 芯片的控制信号如读信号(\overline{OE})、写信号(\overline{WR})和片选信号(\overline{CE})等直接由 SA-1110 产生。

从图 3 中可以看出, 使用 PC 机并行接口的几个数据线和信号线来构成 JTAG 接口引脚信号, 对应关系如表 1 所示。采用信号线直接连接的方法简便易行, 只需要一条专用电缆即可操作 JTAG 接口。

3.2 控制软件

SA-1110 芯片的 JTAG 接口实现了 IEEE1149.1 标准的部分功能, 不能实现对芯片内部的测试及芯片仿真, 但提供对芯片外的测试功能, 可以用于对芯片外

表 1 PC 机并行接口与 JTAG 接口信号对应表

| PC 机并行接口 | 对应 JTAG 接口 | | |
|----------|------------|-----|------|
| 引脚 | 功能 | 引脚 | 功能 |
| 2 | D0 | TCK | 时钟 |
| 3 | D1 | TDI | 数据输入 |
| 4 | D2 | TMS | 模式选择 |
| 11 | BUSY | TDO | 数据输出 |

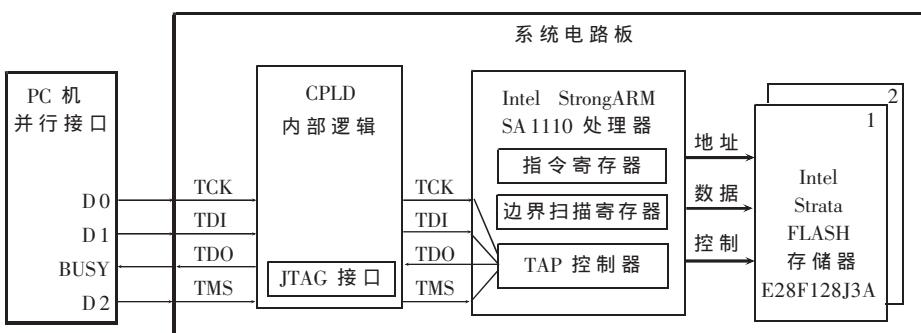


图 3 使用系统 CPU 的 JTAG 接口编程 FLASH 存储器

部电路的测试或编程。芯片提供的 JTAG 指令包括：

- BYPASS(11111) 旁通片上系统逻辑指令 , 用于未被测试的芯片 ;
- EXTEST(00000) 片外电路测试指令 , 用于测试电路板上芯片之间的互连 ;
- SAMPLE/PRELOAD(00001) 采样引脚 / 预加载数据指令 , 用于采样芯片引脚信号或通过加载数据控制引脚输出信号 ;
- IDCODE(00110) 读芯片识别码指令 , 用于识别电路板上的芯片 ;
- HIGHZ(00101) 设置高阻态指令 , 用于将芯片的引脚设为无效状态。

括号中的内容是指令的操作码 , 它们通过 TDI 引脚串行移入到指令寄存器。BYPASS 和 EXTEST 指令的操作码是 IEEE1149.1 中规定的 , 因此对于所有的 JTAG 接口兼容芯片 , 这两个指令的操作码都是相同的。其它指令的操作码可以由芯片厂商根据实际定义。

结合待编程的 FLASH 存储器特征 , 利用上面提供的 JTAG 指令编写一个编程 FLASH 存储器的 PC 机应用程序 , 借助 SA-1110 芯片的 JTAG 接口将目标系统使用的操作系统和应用软件写入到 FLASH 存储器中。对目标板上的 FLASH 存储器进行编程时 , 在 PC 机上运行该程序来控制并行接口模拟 JTAG 时序并将编程代码传送到 SA-1110 的 JTAG 控制器 , 利用 JTAG 的边界扫描单元(BSC) , 把编程数据先移入到边界扫描寄存器(BSR)。然后通过 JTAG 指令 EXTEST 按照 FLASH 芯片的编程时序将数据通过地址总线和数据总线写入 FLASH 存储器 , 实现芯片编程操作。在 FLASH 内容的写入过程中 , 程序对 2 片 FLASH 同时执行写操作 , 完成 32 位编程。在 PC 机上运行的编程操作程序框图如图 4 所示 , 其中利用 PC 机并行接口实现 JTAG 接口信号的函数为 :

```
int putp(int tdi, int tms, int rp)
{
    //Output pins (LPT driving) ,LPT D0 Pin 2 and TCK ,
    //LPT D1 Pin 3 and TDI ,LPT D2 Pin 4 and TMS
    //Input pin (SA-1110 board drives) ,LPT Busy Pin
    11 and TDO
    int tdo = -1;
    _outp(lpt_address, tms*4+tdi*2);      //TCK low
    _outp(lpt_address, tms*4+tdi*2+1);    //TCK high
    if(rp=RP)_outp(lpt_address,tms*4+tdi*2); //TCK low
    if(rp=RP)tdo=!(int)_inp(lpt_address+1)>>7;
    //get TDO data
    return tdo;
}
```

通过 PC 机并行接口实现 SA-1110 的 JTAG 指令 EXTEST 的函数为 :

```
void extest(void)
{
    putp(1,0,IP); //Run-Test/Idle
```

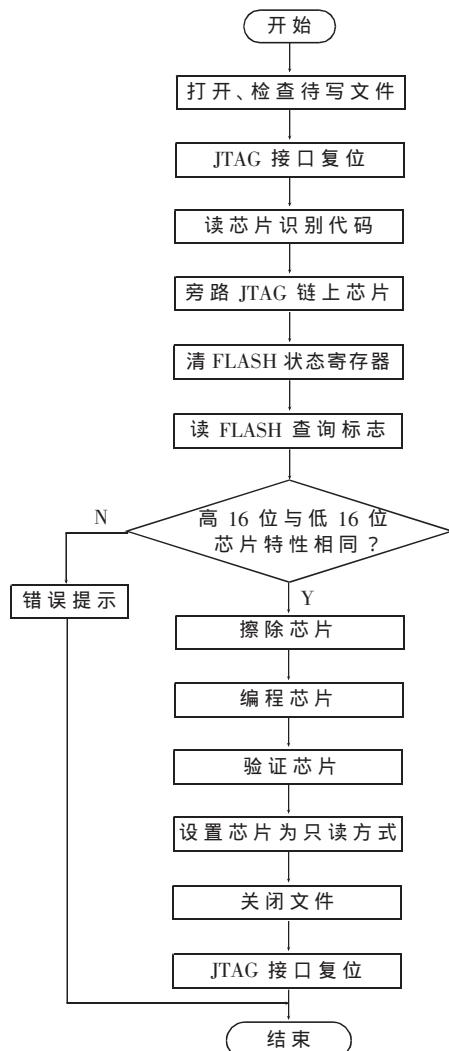


图 4 编程 FLASH 存储器的 PC 机程序框图

```

putp(1,0,IP); //Run-Test/Idle
putp(1,0,IP); //Run-Test/Idle
putp(1,0,IP); //Run-Test/Idle
putp(1,1,IP); //select DR scan
putp(1,1,IP); //select IR scan
putp(1,0,IP); //capture IR
putp(1,0,IP); //shift IR

putp(0,0,IP); //SA 1110 Extest, 指令长度为 5 位
putp(0,0,IP);
putp(0,0,IP);
putp(0,0,IP);
putp(0,0,IP);

putp(1,0,IP); //CPLD Bypass, 指令长度为 4 位
putp(1,0,IP);
putp(1,0,IP);
putp(1,1,IP); //Exit 1-IR , 操作码的最后一位必
               需通过时钟与下一状态 EXIT1_IR

(下转第 16 页)

```

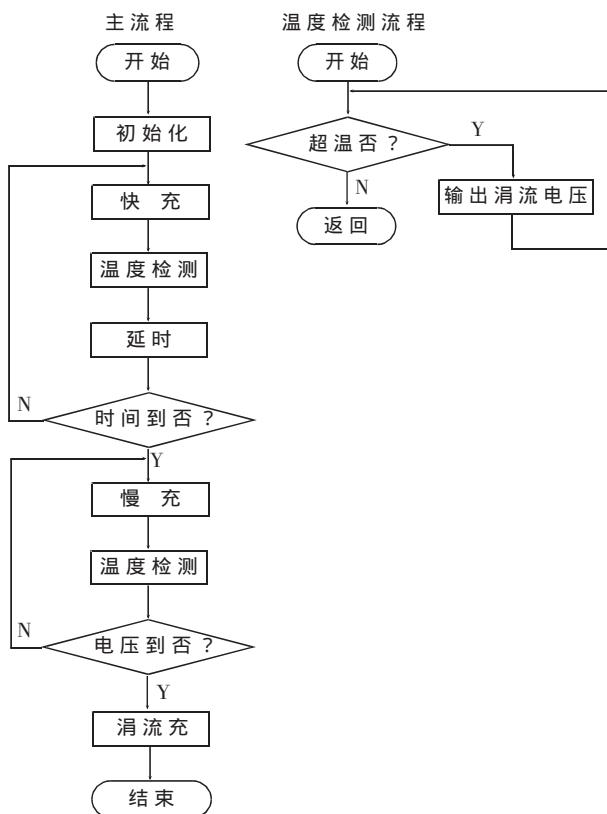


图 4 智能型充电器程序流程图

(上接第 12 页)

有效处于同一时刻,由时钟控制 TMS 保持高电平时进入 EXIT1_IR 状态。

```

putp(1,1,IP); //Update-IR
putp(1,0,IP); //Run-Test/Idle
putp(1,0,IP); //Run-Test/Idle
putp(1,0,IP); //Run-Test/Idle
}

```

程序开始有四条语句 :putp(1,0,IP)。其意义在于无论 JTAG 状态机处于何种状态,经过这四条指令后,必将返回到 Run-Test/Idle 状态,保证下面的操作从这一状态开始进入正常的操作状态。

编程 FLASH 存储器使用的其它指令的实现方法与此类似。实践表明,使用 PC 机并行接口实现 JTAG 时序的方法是可行的,对 FLASH 存储器进行编程无需其它板卡设备支持,是一种较为简单的方法。

使用 JTAG 接口对 FLASH 程序存储器进行编程的方法适合于系统中带有兼容 JTAG 接口的芯片。随着具有 JTAG 接口芯片应用的普及,需要对 JTAG 接口有

钟;然后以 14.7V 的恒定电压对蓄电池进行慢充,直至蓄电池电压上升到 12.8V,结束慢充;最后充电器以 14.1V 电压对蓄电池涓流充电。温度保护点为 45C°;当蓄电池温度升高到 45C° 时,单片机控制充电电压下降到 14.1V,随着温度的回落,充电电压恢复到保护前的状态继续充电。该充电器对上述蓄电池充电比普通充电器缩短了约 2/5 的时间。

铅酸蓄电池的型号不同,充电要求不完全相同,在设定快充时间和最大充电电流等参数时,要经过反复试验,才能达到最佳充电效果,使电池寿命得到延长。本充电器经过多种综合试验,充电效果良好,适用于对多种蓄电池充电。

参考文献

- 1 武汉力源单片机技术研究所.PIC16CXX 系列单片机原理.1995 年 5 月
- 2 何希才.新型开关电源及其应用.北京:人民邮电出版社,1996
- 3 高怀军.密封式铅酸蓄电池的使用与维修.电子报合订本,1996 :57
- 4 Ajmal Godil.能够选择快充或慢充的充电器.电子设计技术,1999 ;25(1):45

(收稿日期:2001-08-30)

深入的了解,以便更好地利用芯片的资源,设计出容易测试、便于维护与升级的高可靠性系统,延长产品的生命周期。同时,根据 FLASH 芯片及 JTAG 接口芯片的规范对使用 JTAG 接口进行编程的控制程序的优化,可以实现存储芯片的高速编程操作,对减少产品的研发和生产周期,保证产品的上市时间非常有利。

参考文献

- 1 Intel 公司.Intel StrongARM SA1110 Microprocessor Advanced Developer's Manual. Dec.1999
- 2 IEEE Std 1149.1 Standard Test Access Port and Boundary-Scan Architecture ,ISBN 1-55937-350-4 (From IEEE, Inc., 345 East 47th Street, New York, NY 100167, USA)
- 3 Kenneth P. Parker.The Boundary-Scan Handbook. publisher: Kluwer Academic Publishers
- 4 Intel 公司.Designing for On-Board Programming Using the IEEE 1149.1(JTAG). November 1996
- 5 Xilinx 公司.In-System Programming Using an Embedded Microcontroller.January 15. 2001

(收稿日期:2001-07-06)