

# DSP 在某型海上雷达目标模拟器中的应用

肖永江, 张兴娇, 文如泉

(萍乡高等专科学校 机电系, 江西 萍乡 337000)

**摘要:** 根据某型海上雷达的多目标、多体制、多模式的要求, 提出一种采用 DSP 作为主控部件的方案实现雷达目标模拟。经过系统联调, 该模拟器可实现雷达目标的模拟, 并取得了满意的效果。

**关键词:** 雷达模拟; 目标模拟; DSP

中图分类号: TN91

文献标识码: A

文章编号: 1674-7720(2011)10-0018-04

## The application of DSP in a maritime radar echo signal simulator

Xiao Yongjiang, Zhang Xingjiao, Wen Ruquan

(Mechanical and Electronic Engineering Department, Pingxiang College, Pingxiang 337000, China)

**Abstract:** According to the requests of a multi-target, multi-system, multi-mode radar, the paper presented the design of a maritime radar echo signal simulator which is on the control of DSP. The design and realization of the radar signal simulator are introduced in detail. After joint-debugging, the simulator achieved and made a promising result.

**Key words:** radar simulator; echo signal simulator; DSP

现代雷达系统日趋复杂、功能多样, 系统调试工作难度加大。雷达外场检测的技术难度大、成本也高。利用 DSP/FPGA 的高速计算性能, 直接数字合成和数字射频存储的雷达目标模拟技术, 可以实现多种复杂方式下的目标回波信号的实时模拟。

### 1 系统功能及组成

某型雷达模拟器要求能够模拟海上单个或者多个目标的回波信号, 模拟各种体制的干扰信号, 模拟理论仿真的杂波信号或者外场试验采集的杂波信号, 并具有长时间的信号记录和任意波形发生器功能。根据系统使用要求和工作模式, 结合现有的成熟技术, 系统组成如图 1 所示。

接收机将 Ku 波段的雷达信号下变频到中频, 送给数字储频器进行信号的存储和延时处理, 瞬时测频接收机在第一次变频后对输入信号的频率进行测试, 并将频率控制码送给频率综合器, 频率综合器在频控码的作用下输出与之对应的本振信号, 使得到达数字储频器的信号频率为一固定频率。AGC 分系统对经过一次变频的信号进行检波, 测试输入信号的功率电平, 形成系统的触发信号和接收机的增益控制信号, 使得到达数字储频的中频信号功率为恒定值, 同时将输入信号的幅度值送给数字管理单元作为角度欺骗模拟的参照。

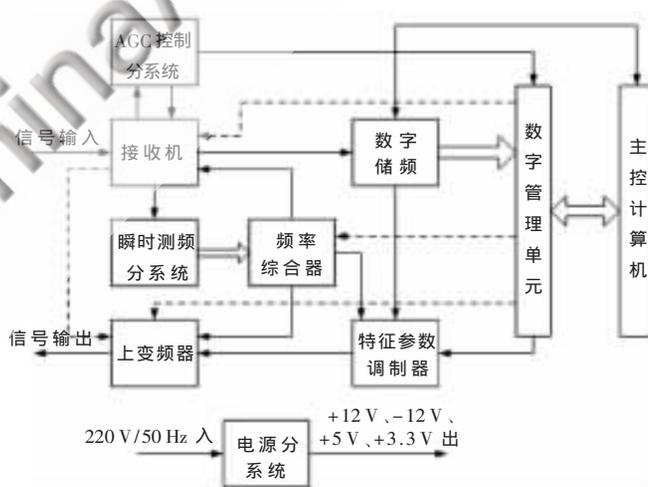


图 1 系统组成框图

数字储频分系统在系统触发信号和数字管理单元的作用下, 对输入的中频信号进行采样存储、延时, 从而模拟目标的反射信号以及设定的干扰信号和杂波信号的载波。另一方面, 当系统工作于信号记录模式时, 数字储频分系统对输入的信号进行采集并上传给主控计算机, 完成系统对信号的记录功能。当系统工作于任意波形输出模式时, 数字储频接收主控计算机下发的波形数据, 将其转换为模拟信号, 由上变频器变到 Ku 波段, 完

## 硬件纵横

Hardware Technique

成任意波形输出的功能。数字管理单元根据设定的场景参数,完成对整个系统的控制,设定系统的工作模式,协调系统各分机,下传来自主控计算机的控制信息,并把系统的自检信息上传给主控计算机。

特征参数调制器接收来自数字储频的目标信号、干扰信号和杂波载波,根据系统的设定对信号进行相应的调制,包括信号的多普勒调制和目标及杂波的特性调制,调制数据由主控计算机下传给数字管理单元,再由数字管理单元送给特征参数调制器,特征参数调制器将其转换为模拟信号后对载波信号进行调制。

上变频器将特征参数调制器输出的信号上变频到 Ku 波段,同时对输出的信号功率进行控制,模拟由雷达与目标相对距离变化引起的功率波动。

频率综合器为系统的上下变频提供本振信号以及系统各单元工作所需要的参考时钟,同时协同特征参数调制器完成对信号的多普勒调制。

## 2 数字管理单元

数字管理单元是整个系统的控制中心,它根据主控计算机下发的工作参数,实时协调系统各部件的工作,主要控制内容包括:

- 根据系统设定的工作模式,控制系统接收机、上变频器、频率综合器等信号链路中的开关,使得信号流向与工作模式相符合;

- 根据系统下发的目标航迹数据,控制数字延迟线的工作状态,包括使能、复位、信号读入、信号读出等;

- 根据系统下发的调制数据,形成特征参数调制器的调制信号;

- 接收 AGC 的触发信号,完成对输入信号重复频率的测试,实时调整杂波信号的读出时间;

- 在自检状态下,配合频率综合器产生自检信号,对接收机的增益、延时进行检测;接收上变频器的自检信息,完成对上变频链路的增益、延时的自检。

数字管理单元(如图 2)主要由 DSP、FPGA、接口扩展

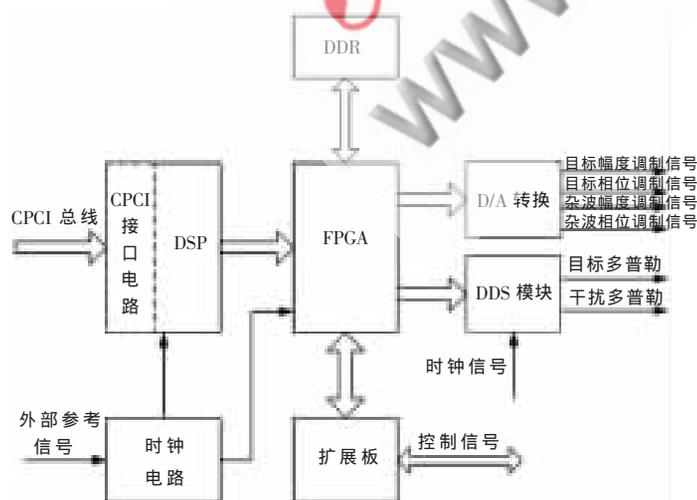


图 2 数字管理单元组成框图

板、D/A 模块、DDS 电路、DDR 存储器、时钟电路等组成。DSP 完成系统实时控制信息的解算,同时还包含了 CPCI 接口电路;FPGA 是可编程逻辑电路,根据系统的控制要求,产生相应的控制信号;接口扩展板主要是考虑到数字管理单元与其他模块的信号连接问题,因为与模块的连接线太多,因此需要采用标准的 CPCI 后走线板来解决与模块的连接问题,扩展板同时对信号进行驱动;D/A 模块主要把下传的调制数据转换为模拟信号送给特征参数调制器;DDS 电路参照频率综合器中的 DDS 产生部分,主要因为目标及干扰信号的多普勒调制实时性很强,需要很快地改变 DDS 的输出频率,控制信号的速率很高,在高速的控制条件下,减小连接线的长度能够保证信号的完整性,因此把 DDS 部分作为子板的形式放在数字管理单元中是很好的选择;DDR 存储器用于存储目标信号、干扰信号等的航迹数据以及调制信号下载的缓存;时钟电路提供模块工作所需要的时钟,并提供时钟与外参考同步的接口。

主控计算机与数字管理单元的交互内容包括:控制命令、调制数据、航迹数据。其中控制命令包括:复位命令、设定工作模式、干扰样式设定、启动、停止。当数字管理单元对命令进行动作后对计算机作出回应上报。另一方面,主控计算机在对系统的其他模块进行控制时,也是通过数字管理单元上的接口电路完成的,数字管理单元通过 RS485 总线与其他需要接收控制命令的模块进行通信。RS485 总线通过 DSP 的 McBSP 进行扩展接口。

调制数据主要包括随时间变化的目标多普勒调制数据、目标特征参数调制数据、干扰信号多普勒调制数据。航迹数据包括随时间变化的目标航迹数据以及干扰信号航迹数据。所有的调制数据和航迹数据均由主控计算机下载到数字管理单元的存储器中。

## 3 工作模式

## 3.1 延时回波模式

在延时回波模式下,数字管理单元首先要设定系统中的控制器件,包括接收机中的射频开关、中频开关、上变频器中的中频开关和射频开关,同时告知其他模块当前系统的工作模式。在仿真进程中,数字管理单元还需根据航迹数据控制数字延迟线的读入、读出,同时控制主控计算机下发的调制信息,包括目标的多普勒调制、特征参数调制等,延时回波模式系统工作图如图 3 所示。

## 3.2 直通模式

在直通模式下,信号从接收机的射频输入端到上变频器的输出端或者从接收机的中频输入端流向上变频器的中频输出端,无需经过延迟线,主控计算机也无需下载调制文件和航迹数据等,系统的工作流程与延时回波模式类似。数字管理单元只需要控制上、下变频单元中的信号选择开关即可。

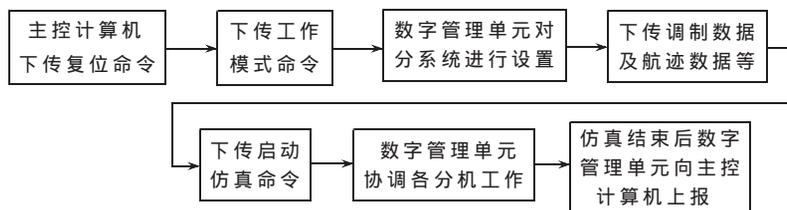


图3 延时回波模式系统工作流程图

### 3.3 干扰模式

干扰模式的工作流程与延迟回波模式比较类似,只是系统无需对目标信号进行模拟,主控计算机也无需下载目标的调制信号和航迹数据,整个目标模拟通道处于关断状态。

### 3.4 信号记录模式

在信号记录模式下,系统的上变频器不用工作,只需要接收机和目标信号延迟线工作,并且第二本振信号为固定频率,无需进行跳频,主控计算机通过 CPCI 总线设置目标模拟延迟线的工作状态。数字管理单元通过 RS485 总线设置第二本振信号的频率,并关断上变频器的本振使能信号。

### 3.5 任意波形模式

在任意波形模式下,系统的接收链路、AGC、瞬时测频接收机都不用工作,主控计算机将波形文件下载到目标信号延迟线中,由目标延迟线输出相应的中频信号。数字管理单元分别控制系统中的开关状态,并根据要求设置第二本振信号的输出频率。

### 3.6 自检模式

自检模式分为接收机自检和闭环自检。自检时,数字管理单元首先设置好系统中的开关控制信号,然后根据主控计算机的要求,发送相应的频率码给自检信号源,并对自检信号源进行开关调制,同时控制数字延迟线的读入,数字延迟线对输入的自检信号进行采集,并上传给主控计算机,由计算机进行分析,完成对接收链路的自检。接收机的自检完成之后,主控计算机将数字延迟线置于闭环工作状态,数字管理单元接收上变频器输出的自检信息,完成对上变频链路及整个闭环的自检,包括上变频器的延时和增益等参数。

自检模式下数字管理单元控制自检信号源生成脉冲宽度为  $8\mu\text{s}$ 、脉冲重复周期为  $80\mu\text{s}$  的脉冲调制信号,共 3 个脉冲。

## 4 DSP 程序设计

数字管理单元采用 CPCI 接口,板载总容量四百万门的 Xilinx Virtex-2 Pro FPGA,所采用的 DSP 为 TI 的 TMS320C6416,处理器频率为 600 MHz,同时板上提供 1 GB 大容量的 DDR 存储器。

数字管理单元与 AGC、瞬时测频等模块的通信采取数据帧的方式。数据帧长度为 32 bit,其低 4 bit 为传输的数据,4 bit~7 bit 为各通信模块的设备编号,其余位保留。

其中,设备号 1 表示频综,2 表示 AGC,3 表示瞬时测频;数据位 0 表示上电初始状态,1 表示传输处于空闲状态,2 表示正处于传输过程中,3 表示传输出错。在传输时,有一个设备出错,就中断传输,回到上电初始状态。

由用户提供经系统操作软件做适当处理后下载到数字管理单元的调制文件中,目标信号的特征参数调制数据和杂波信号的特征参数调制数据有可能超过 10 GB,无法一次性下载到数字管理单元中,因此需要在仿真过程中实时地下载到数字管理的单元中。

在 DSP EMIFA 的 CE3 空间定义有系统操作软件和数字管理单元共享的控制功能寄存器,用以实现仿真的控制。仿真过程中,系统复位命令用于复位各模块;系统复位寄存器的物理地址为  $0xB000010$ ,为  $0x00$  时表示复位有效,为  $0x01$  时表示停止复位。系统运行命令控制各模块运行状态;系统运行寄存器的物理地址为  $0xB000014$ ,为  $0x00$  时表示停止运行, $0x01$  时表示开始运行。系统工作模式表示当前系统所处的工作模式;系统工作模式寄存器物理地址为  $0xB000018$ 。系统工作模式寄存器的低三位为工作模式指示,为  $0x0$  时为延时回波模式, $0x1$  时为干扰模式, $0x2$  时为信号记录模式, $0x3$  时为任意波形模式, $0x4$  时为自检模式, $0x5$  时为直通模式, $0x6$  为系统测试模式;第 5 和第 4 bit 为目标回波个数;第 8~6 bit 为干扰目标个数;第 9 bit 为开杂波干扰指示,为  $0x1$  时表示开杂波干扰。

```

EMIFA_Config emifaCfg0 = {
    0x0005207C, /*Global Control Reg. (GBLCTL)*/
    0x0000c030, /*CE0 Space Control Reg. (CECTL0)*/
    0x00000040, /*CE1 Space Control Reg. (CECTL1)*/
    0x10D1C321, /*CE2 Space Control Reg. (CECTL2)*/
    0x10D1C321, /*CE3 Space Control Reg. (CECTL3)*/
    0x53116000, /*SDRAM Control Reg.(SDCTL) */
    0x0000030D, /*SDRAM Timing Reg.(SDTIM)*/
    0x00175F3F}; /*SDRAM Extended Reg.(SDEXT)*/
  
```

仿真过程中,由操控软件下发的文件数据通过 CPCI 接口写入数字管理单元的 SDRAM 数据存储区。仿真数据再经过 EDMA 搬移至 FPGA 的 DRAM 数据存储区。

```

EDMA_Config cfgEdma = { //EDMA 传输参数
    0x21340001, /*opt*/ /*Option*/
    0x80002000, /*src*/ /*PC 机地址 */
    0x00000640, /*cnt*/ /*Transfer Counter-Numeric*/
    0xb0002000, /*dst*/ /*DRAM 首地址 */
    0x00000000, /*idx*/ /*Index register-Numeric*/
    0x00400000 /*rld*/;
  
```

根据系统要求,目标信号和干扰信号航迹和多普勒调制数据的数据率为 1 kHz,航迹数据位数为 8 bit,多普勒数据位数为 32 bit,因此可以设定每个目标或者干扰信号的航迹、多普勒存储空间最大为 10 MB,这样可以

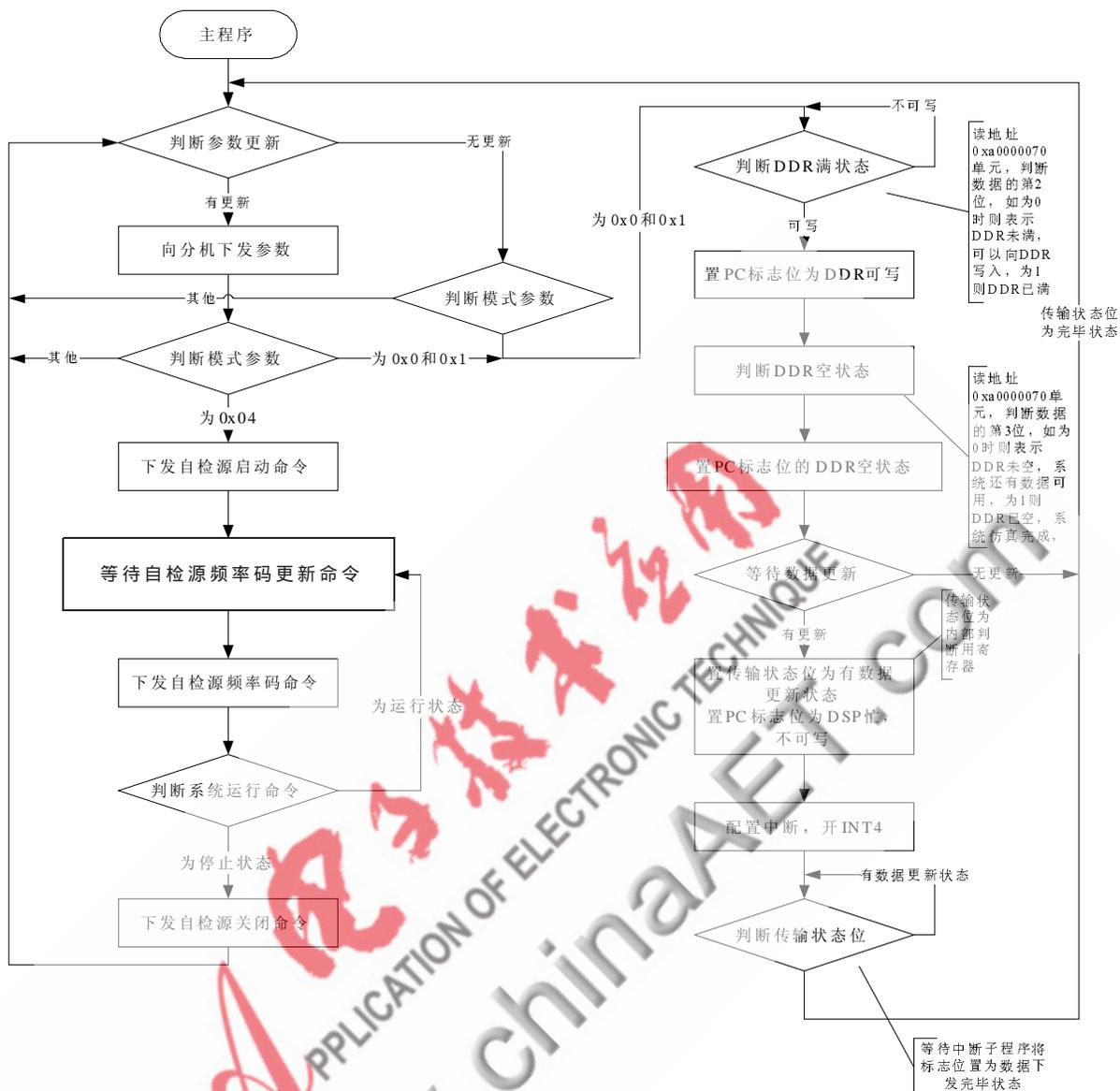


图4 数字管理单元 DSP 程序工作流程

持续仿真时间达 2000 s, 如果是 3 个目标、5 个干扰同时存在, 需要存储容量为 80 MB。杂波调制数据的数据率为 100 kHz, 数据位数 8 bit, 如果持续仿真时间为 2000 s, 单路需要 200 MB 的存储空间, 双路则需要 400 MB。其 DSP 程序工作流程如图 4 所示。

在 DSP 的软件编写过程中, 由于数字管理单元起着仿真控制的核心作用, 系统的功能繁多, DSP 的控制功能更为突出, 而且程序编写会遇到系统不同工作模式下的信号握手和信息传递, 需要根据程序的功能结构和 DSP C 语言的特点做好程序优化, 提高系统运行速度。经过系统联调, 该模拟器可实现雷达目标的模拟, 并取得了满意的效果。

参考文献

[1] 丁鹭飞, 耿富录. 雷达原理[M]. 西安:西安电子科技大学

学出版社, 2006.

[2] 米切尔 R L. 雷达系统模拟[M]. 北京: 科学出版社, 1982.  
 [3] 黄培康. 雷达目标特性[M]. 北京: 电子工业出版社, 2005.  
 [4] 王国玉. 雷达电子战系统数学仿真与评估[M]. 北京: 国防工业出版社, 2004.  
 [5] 于凤芹. TMS320 C6000 DSP 结构原理与硬件设计[M]. 北京: 北京航空航天大学出版社, 2008.

(收稿日期: 2011-01-22)

作者简介:

肖永江, 男, 1981 年生, 硕士, 主要研究方向: 信号处理。