

# 一种基于音频解嵌的异步 FIFO 设计及 FPGA 实现

刘飞, 卢结成, 姜文奇, 刘玉梅

(中国科学技术大学 电子科学与技术系, 安徽 合肥 230027)

**摘要:** 介绍了一种针对音频解嵌中的音频帧输出而采用的特定异步 FIFO 的设计。重点阐述了针对这一特定情况需要考虑到的 FIFO 深度及读写指针复位控制以及利用读写地址格雷码对 FIFO 的空、满标志信号的产生电路进行逻辑设计, 用 Verilog HDL 硬件描述语言对电路进行 RTL 级设计, 并使用 Modelsim 进行功能仿真, 最后通过 FPGA 进行验证。

**关键词:** 异步 FIFO; 音频解嵌; 格雷码; 仿真

中图分类号: TP344

文献标识码: A

文章编号: 1674-7720(2011)09-0015-03

## Design and implementation of special asynchronous FIFO based on audio de-multiplex on FPGA

Liu Fei, Lu Jiecheng, Jiang Wenqi, Liu Yumei

(Department of Electronic Science and Technology, China University of Science and Technology, Hefei 230027, China)

**Abstract:** This paper introduced a special asynchronous FIFO which is used for audio block output. The audio is de-multiplexed from horizontal ancillary of digital video. Focuses on the need for this particular case, the FIFO depth and reset control of read and write pointer is taking into account. Design the generation logic of empty and full flags by compare Gray code of read and write addresses. Design the circuit at RTL level by Verilog HDL. Then use the Modelsim to make the functional simulation, and finally verified by the FPGA.

**Key words:** asynchronous FIFO; audio de-multiplex; Gray code; simulation

在视音频嵌入解嵌系统中, 嵌入音频、音频解嵌与音频转换成音频帧标准格式输出都是工作在不同的时钟频率下的。多时钟带来的问题就是如何设计异步时钟之间的接口电路。

异步 FIFO 存储器是一种在数据交互系统中得到广泛应用的先进先出逻辑器件, 具有容纳异步信号的频率(或相位差异)的特点。使用异步 FIFO 可以在两个不同时钟系统之间快速而方便地传输实时数据。因此, 异步 FIFO 被广泛应用于实时数据传输、网络接口、图像处理等方面。

虽然目前也出现了一些通用的异步 FIFO 内核, 但在一些具体环境下其工作效率并不是最理想的。针对这个问题, 本文介绍了一种适合音频解嵌的高效异步 FIFO, 对通用异步 FIFO 进行了一些改进, 最后利用 Verilog HDL 硬件描述语言设计并仿实现。

### 1 SDI 音频嵌入基本格式

在模拟视频中存在着行、场消隐期, 而行、场消隐期

内并不存在有效图像信号。对于数字视频信号, 同样地也存在没有有效视频信号的区间。

模拟视频中的行消隐期间, 在数字视频中被称为行辅助数据区 HANC(Horizontal Ancillary Data)。分量数字视频格式的每一个有效行中, 625/50 制共有 1 728 个取样字(525/60 制为 1 716 个取样字), 其中对 Y、Cb 和 Cr 取样有 1 440 个取样字(0~1 439)。而对行消隐期间的取样可以有 288 个取样字(525/60 制为 276 个取样字)。

目前辅助数据区也即行消隐区最大的用途是放置数字音频, 被放置的数字音频称为嵌入音频。图 1 是 AES/EBU 音频数据块结构<sup>[1]</sup>。

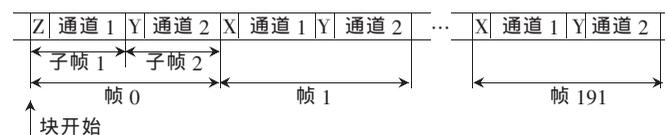


图 1 AES/EBU 数据格式

一个音频块由 192 个连续帧组成,每个帧包含相关的两个子帧,使得一个数字音频码流可以作为立体声、双声道模式使用。这两个子帧(32 bit)分别表示一个音频通道中的一个音频样本,每个子帧的 32 bit 中包含 24 bit 的音频数据和一些辅助数据。

音频嵌入就是将每个子帧的 32 bit 信息按照 SMPTE-292<sup>[2]</sup>标准分别嵌入到 3 个数据字和一个辅助数据字中,并将这些数据字嵌入到 HANC 中。解嵌的目的就是把每个音频子帧对应的这 4 个字找到,按照顺序把这些子帧组合成 AES/EBU 音频块格式,使输出为直接可识别的音频码流。

## 2 通用异步 FIFO 设计

### 2.1 通用异步 FIFO 结构

图 2 所示为通用异步 FIFO 结构,一般由四个模块构成:数据存储模块、写地址产生模块、读地址产生模块和标志位产生模块。

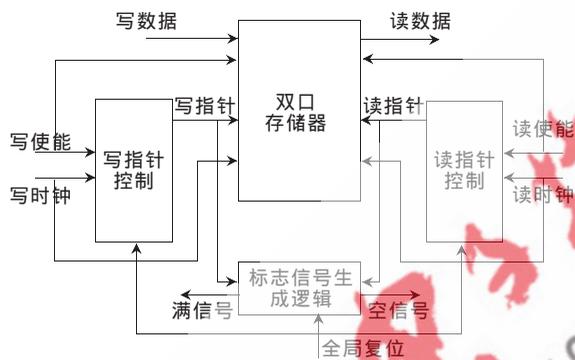


图 2 通用异步 FIFO 结构

系统分为读时钟和写时两个完全独立的时钟域。读写两端的使能和时钟信号作为读写指针控制的基础控制输入信号。更新的读写指针既作为存储器的写入读出地址又作为标志信号模块的输入。标志产生模块通过对读写地址的比较来得到存储器的空、满标志信号。将写满信号和读空信号分别反馈到写指针和读指针控制模块,控制指针值的更新。

### 2.2 亚稳态消除方法

由于读写标志控制分别工作于不同的时钟域,在其产生电路中,如果比较触发器建立时间和保持时间的要求没有得到满足,触发器就会进入一个介于逻辑 1 和逻辑 0 的中间状态,称之为亚稳态。为了降低亚稳态发生的概率,可采用格雷码地址计数<sup>[3]</sup>。二进制计数器在计数值增加时,可能同时会有多位数值发生变化,而格雷码计数器每次加 1 只有一位数值发生变化。所以将二进制读写指针转换为格雷码,送到另一个时钟域进行比较,可以降低亚稳态发生的概率。

### 2.3 空、满标志产生

通过对读写格雷码地址高两位的比较,得到存储器工作的满空趋势<sup>[4]</sup>,再比较地址值是否相等最终判断

空、满标志。把这两个 2 bit 数组合成 4 bit 数的 16 种组合,可以得到:当写地址格雷码最高两位和读地址格雷码最高两位分别组合为:0001、0111、1110、1000 时,存储器趋向满状态;为 0100、1101、1011、0010 时,存储器趋向空状态。

空、满趋势通过事件触发,随时根据读写地址的更新值进行判断。再结合读写地址的比较结果来最终判断存储器的空、满状态。

## 3 改进型异步 FIFO 设计

### 3.1 改进方案

根据 AES/EBU 音频格式可知,每 192 帧(384 子帧)音频构成一个 AES/EBU 音频块,作为一个连续输出单位,并用一个 Z 标志来指示这一音频块的开始。根据这一标准,本文设计了一种专用于该音频格式输出的异步 FIFO。该异步 FIFO 具有单端复位,并根据写地址复位寄存值作为读地址更新的参考,使读数据更可靠。FIFO 深度设计为 384 子帧,位宽为 24 bit。当用每个存储单元(24 bit)存储一个子帧中的音频数据码来指示地址时,由于设计深度为 384 子帧,利用 9 bit 格雷码来指示地址时,最高两位不会达到 10 的情况下,那么在满、空标志判断中的趋势判断就可以少考虑一种情况,即写、读地址格雷码最高两位组合为 0001、0111、1100 时,趋向满;为 0100、1101、0011 时,趋向空。这种改善,既减小了存储器的大小,又减小了程序的复杂度。

考虑到解嵌的音频信号可能存在丢帧、错帧,有的时候可能一块数据中并没有 192 帧的数据,而只是一部分数据,因此,在实际工作中需要利用块开始标志 Z 复位写地址指针。为了保证输出端也能在读地址复位的地方进行复位,保证输出的音频块与输入端对应,本设计提出了利用一个地址寄存器寄存写地址复位时的写地址,并利用该地址作为读地址指针更新参考,这样就增加了读取数据的可靠性。

图 3 是改进的(读写独立复位)异步 FIFO 结构。

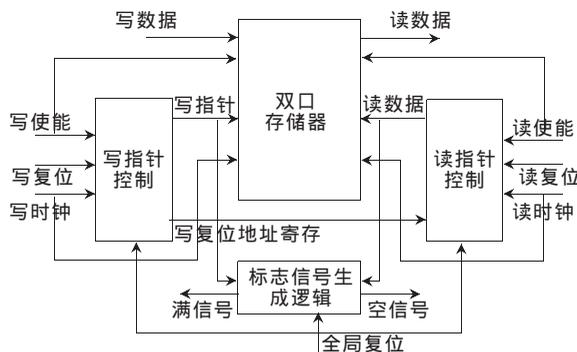


图 3 改进的(读写独立复位)异步 FIFO 结构

### 3.2 设计仿真

系统设计时,利用 Quartus II 进行 RTL 级的逻辑设计并综合处理,然后设计仿真平台<sup>[5]</sup>,利用 Modelsim 仿

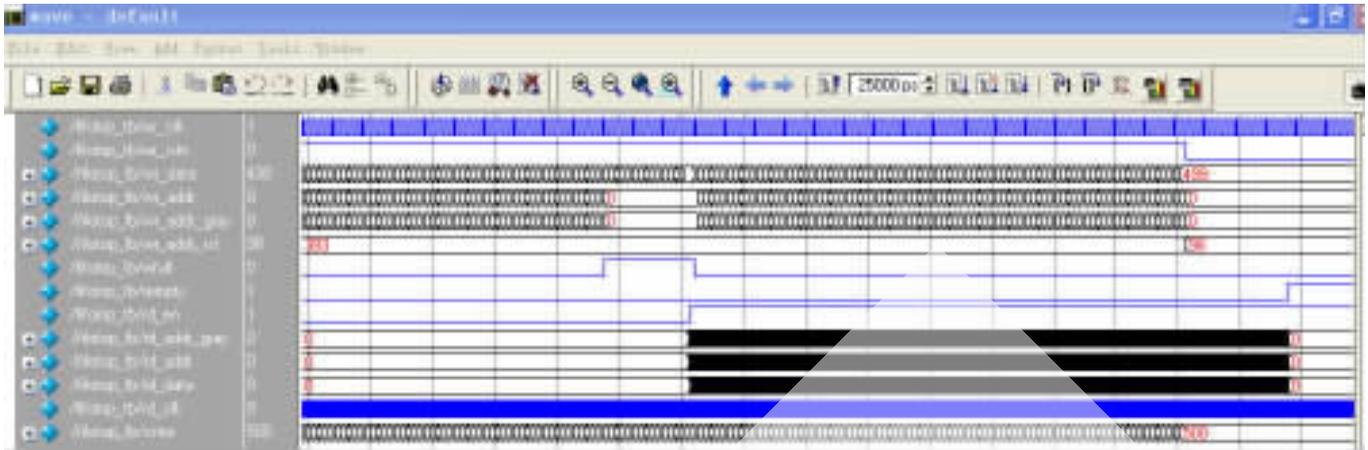


图4 仿真结果

真工具对整个系统进行门级仿真。根据设计的异步 FIFO 的工作特性,仿真平台对 FIFO 工作到满状态、空状态,以及写指针复位后的读操作进行了较全面的覆盖。

下面是测试平台的激励生成代码:

```
always #40 wr_clk=~wr_clk;
always #10 rd_clk=~rd_clk;
always @(posedge wr_clk) begin
    if(! rstn) begin
        wr_data<=0;
        cntw<=0;
        rd_en<=0;
        wr_en<=0;
    end
    else if(cntw==400) begin
        rd_en<=1;
        cntw<=cntw+1;
    end
    else if(cntw==500) wr_rstn=0;
    else begin
        wr_en<=1;
        wr_rstn<=1;
        wr_data<=wr_data+1;
        cntw<=cntw+1;
    end
end
end
```

代码的功能是在较低的时钟速率下,先进行写操作,等到确保写满后(即计数达到400时),以高速的读操作来读取数据,并继续写数据。当计数到500时,对写操作复位,此时的复位地址是98。

根据上述的改进方法,设计、仿真完成后,用 Altera 公司的 Cyclone III 系列 EP3C10E144C8 芯片实现电路程序设计。仿真结果如图4所示。在图中可以看到,wr\_addr\_rst 的值一开始默认为383,但写入端有写复位时,即为写复位时的地址值98,该值也即作为读操作的

地址复位参考值传递到读操作模块。等到读操作进行第二轮读取并读到第98个地址时,再复位到0地址时,仿真完成。

本文基于 FPGA 内部存储器,提出了一种针对视音频解嵌系统更具效率的异步 FIFO,对通用的 FIFO 进行改进,并利用硬件描述语言及相应的仿真工具实现了功能仿真。仿真结果表明,本设计能很好地按照设计的意图工作。此外,还针对视音频解嵌系统中,音频块输出端异步 FIFO 提出了写复位地址寄存,读地址根据此寄存值来进行更新及复位的改进,提高了异步 FIFO 的工作效率和可靠性。

#### 参考文献

- [1] Working group on digital input-output interfacing. 数字音频 AES3 接口标准——线性表示双信道数字音频数据的串行传输格式[J].刘欣荣译.有线电视技术,2003(8).
- [2] AVE W H, PLAINS W. SMPTE292M, television bit2 serial digital interface for high2 definition television systems[S]. NY,10607(914):761-1100.
- [3] 汪东,马剑武,陈书明.基于 Gray 码的异步 FIFO 接口技术及其应用[J].计算机工程与科学,2005(11).
- [4] 王淼,宋晗.异步 FIFO 的 FPGA 实现[J].微处理机,2004(8).
- [5] NAVABI Z.Verilog 数字系统设计——RTL 综合、测试平台与验证(第二版)[M].李广军,等译.北京:电子工业出版社,2007.

(收稿日期:2010-11-12)

#### 作者简介:

刘飞,男,1986年生,硕士研究生,主要研究方向:软件无线电及数字电路系统设计。

卢结成,男,1951年生,硕士,副教授,主要研究方向:数模混合集成电路设计和智能信息处理。

姜文奇,男,1986年生,硕士研究生,主要研究方向:软件无线电及数字电路系统设计。