

# 基于 PIC 的低速率无线语音通信系统

王萍<sup>1</sup>, 昂志敏<sup>1</sup>, 朱良学<sup>2</sup>

(1.合肥工业大学 计算机与信息学院, 安徽 合肥 230009;  
2.西河电子科技有限公司, 安徽 合肥 230088)

**摘要:** 给出了 ACELP 算法在点对点通信中的应用方案, 主要设计了基于 Microchip 公司的 PIC 系列高端芯片和以射频收发芯片 CC1100 为核心的跳频语音通信系统, 为实现数字集群通信系统中的数字终端提供了可行的方案。

**关键词:** ACELP; 无线通信; 单片机; CC1100

中图分类号: TN929.52

文献标识码: A

文章编号: 1674-7720(2011)08-0055-03

## Low-rate wireless voice communication system based on PIC

Wang Ping<sup>1</sup>, Ang Zhi-min<sup>1</sup>, Zhu Liang-xue<sup>2</sup>

(1.School of Computer and Information, Hefei University of Technology, Hefei 230009, China;  
2.XIHE Electronic Technology Co., Ltd, Hefei 230088, China)

**Abstract:** The paper gives the application project of ACELP algorithm in point-to-point communication, and mainly designs frequency hopping communication system based on the PIC series advanced chips of the Microchip companies and RF transceiver chip CC1100, the paper will provides a feasible scheme for the realization of digital terminals in tetra system.

**Key words:** ACELP; wireless communication; MCU; CC1100

在移动电话已经成为人们生活必需品的今天, 一种低成本的点对点无线通信系统也在日益发展中。它是警务、保安人员和野外工作人员的必选通信设备, 它不同于移动电话, 不用根据通话时间计费, 不存在网络拥堵的问题, 可以用于重大任务保障的通信和应付各种突发的紧急事件。在设计语音通信系统的过程中, 语音信号处理<sup>[1]</sup>的方法关系到系统的性能, 随着对通信质量要求的提高, 人们需要用较少的码率来获得尽可能好的合成语音质量<sup>[2]</sup>。

TETRA 系统采用的低速率 ACELP 压缩算法<sup>[3]</sup>, 是一种改进型的 CELP, 其码率被压缩至 4.567 kb/s, 仍能保证高质量的话音服务<sup>[4]</sup>。近几年对 ACELP 算法的研究大部分集中在算法的仿真。本文主要设计了 ACELP 算法应用的硬件系统。

### 1 系统概述

Microchip 公司推出的 dsPICXX 器件<sup>[5]</sup>将高性能 16 位单片机的控制特点与 DSP 高速运算的优点相结合, 为嵌入式系统设计提供了适合的单芯片、单指令流的解决方案。其独特的 RISC 结构精简指令与传统的采用 CISC 结

构的单片机相比, 可以达到 2:1 的代码压缩, 速度提高 4 倍, 使其执行效率大为提高<sup>[6]</sup>。

在用单个 dsPICXX 器件实现复杂的算法处理和操作时, 存在通话质量差, 不易扩展等功能, 作为改进方案设计了双单片机结构, 如图 1 所示。将计算量较大的语音压缩编码部分单独用 dsPIC33FJ64GP706 实现, 用 PIC24FJ32GA004 作为主控芯片, 控制信号之间的同步并处理按键信息, CC1100 内有快速频率变动合成器, 能够实现频率跳跃, 通过 PIC24FJ32GA004 不断改变 CC1100 的载波频率, 实现了跳频通信。

系统包括语音模块、语音编解码模块、控制模块、RF 模块以及各个模块的接口。本文设计时将语音编解码模块和控制模块按其功能分别简称为 DSP 模块和 CPU 模块。

#### 1.1 语音模块

本模块的作用是将麦克风微弱语音信号放大给 A/D, 以及将从 D/A 出来的语音播放出去。在语音输入 A/D 电路中, 利用运放芯片 LPV321M5, 采用单电源 3.3 V 供电, 将输出的信号送到 A/D。在语音输出 A/D 电路

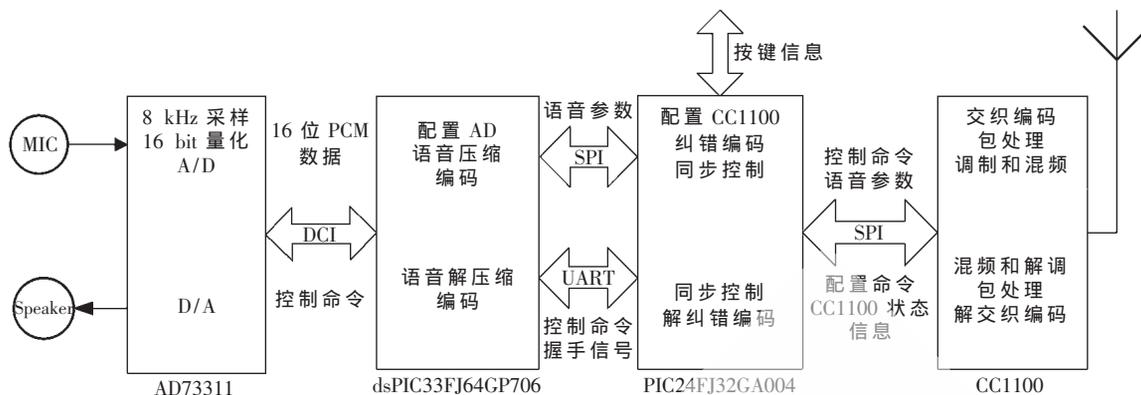


图1 系统结构图

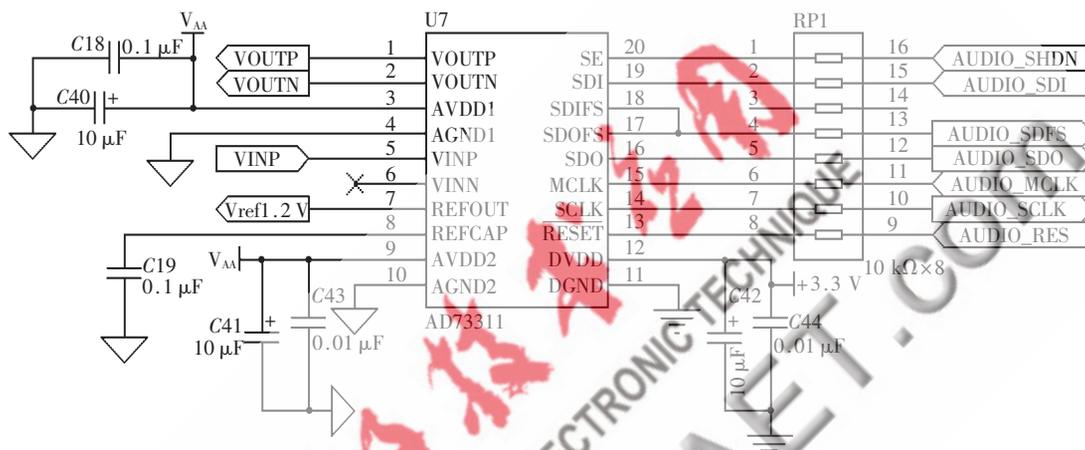


图2 AD73311 外围电路图

中,采用LM4673音频放大器进行语音放大。图2是AD73311的外围电路图。芯片复位之后才能工作,复位时间至少为4个DMCLK周期。

在图1中,CPU传出的控制命令(即手持终端机的旋钮音量控制命令)将作用于AD73311内部集成的可编程增益放大器PGA来实现输出模拟音量的可控调节。设定AD73311工作在混合模式,控制字可以交叉在DAC数据流中一起传送,对于语音30ms为一帧的处理速度,交叉传输控制字不会影响语音质量。PGA增益由CRD:4~6三位设定,可实现+6dB~-15dB范围的音量调节。

### 1.2 时序分配

图2中AUDIO\_MCLK是主时钟输入,由外部时钟信号驱动,DSP中的输出比较OC模块将产生供AD73311工作所需的2.048MHz时序波形,因AD73311是可编程的,通过设置CRB:4~6=000、CRB:2~3=00、CRB:0~1=11,分别得到内部主时钟频率DMCLK为2.048MHz,串行时钟频率SCLK为256kHz,串行口的帧同步频率即采样频率FS为8kHz。4个I/O引脚AUDIO-SDI、AUDIO-SDO、AUDIO-SDFS、AUDIO-SCLK与DCI有关,采用基于DMA控制器的DCI设计,在不需CPU干预下可完成数据传输,DCI接口负责传输16bit的A/D、D/A数据和音量控制命令。

DSPIC33工作频率支持最高40MHz的工作速度(指

令时钟),为实现实时传输信号,要尽可能达到最高工作速度,设计时充分利用了芯片的内部资源——由PIC24的输出比较模块OC产生2.048MHz给DSPIC33,DSPIC33再经内部PLL锁相环产生38.912MHz的指令时钟。PIC24外接7.168MHz晶振获得工作时钟。

### 1.3 SPI串行接口模块

SDI、SDO、SCK、SS是SPI串行接口的4个引脚,CPU内部集成着两块SPI模块,其中与DSP相连的SPI1模块工作在SPI主/帧主模式,相应的DSP中的SPIx模块工作在SPI从/帧从模式。配置为主模块的CPU为从器件DSP提供SPI串行时钟和同步信号。

当CPU通过SPI向DSP发送数据时,DSP中的数据也会传递过来,此时无论数据是否写入SPIBUF,只要接收到帧同步脉冲时都将启动发送,所以在接收帧同步脉冲前,必须保证DSP中装入了正确的发送数据。在DSP的实现过程中,当语音压缩完毕后,会通过UART发送握手信号,表明数据已经准备好。所以,当CPU成功接收到合成语音参数,并且接收到握手信号后,才可以向DSP发送数据。本系统中UART只进行简单的数据传输,两芯片间的连接较为简单,只需将收发引脚交替连接就可以了。

射频收发CC1100芯片通过4线SPI兼容接口SI、SO、SCLK、CSn实现配置,如图3所示,这个接口同时用

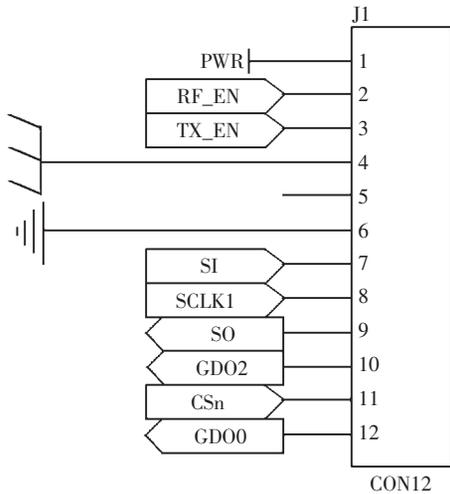


图3 RF模块与CPU的接口

作写和读缓存数据，接口上的数据头字节包含一个读/写位，一个突发访问位和一个6位地址，突发访问位表明数据是否连续，若连续，寄存器的地址将自动加1。在CPU发送数据之前，CPU必须先完成对CC1100的配置，可以设置调制方式、信道带宽、是否进行纠错编码，还可以对数据包结构进行设置。本系统采用的跳频方式较为简单，频率每30ms（一帧语音的时间）改变一次。信道的中心频率由432MHz~434MHz按照递增的方式进行跳变，公差为20kHz，当中心频率到达434MHz后，中心频率再按照递减的方式进行跳变，公差不变。

## 2 软件设计

### 2.1 DSP模块的软件实现过程

程序主要由主程序和中断程序组成，在初始化时进行如下设定：DCI接口工作在多通道帧同步模式下，字长16，缓冲区接收1个数据后触发中断，DCI数据传输时采用DMA通道，且数据传输的串行时钟和帧同步都由AD73311提供；SPI工作在从/帧从模式下。在主程序中，设置好3个接口，然后不断检测相关的标志位并进行相应的处理，中断程序包括DMA、SPI和UART接收缓冲区满中断。主程序的流程图如图4所示。

### 2.2 CPU模块的软件实现过程

PIC24是整个系统的控制芯片，实现对输入按键信息的处理、发送音量调节命令、配制CC1100、产生跳频图案、控制数据发送时机等功能。向CC1100发送数据进行同步控制，主要是为了通信终端以时分复用的方式占用信道，具体是在一个语音帧内（30ms），信道被分配给终端A 10ms，空闲5ms作为保护时隙，再分配给终端B 10ms，留5ms的保护时隙，这样在一帧语音的时间内，可以完成数据的发送和接收，实现两台终端的同步对话。通信终端在发送数据时分为主叫方和被叫方两种模

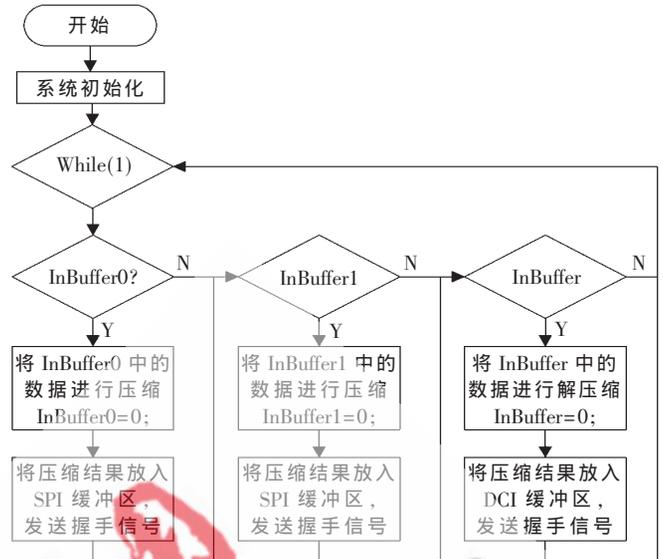


图4 DSP中主程序流程图

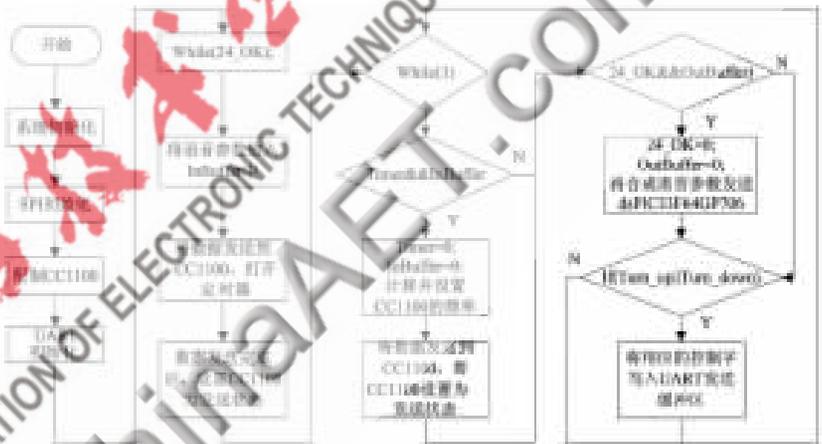


图5 CPU主叫模式流程图

式，图5给出了CPU主叫模式的流程图。

本文设计的系统中丰富的PIC外设资源和灵活的外围接口电路可以为语音信号处理的其他算法研究和实时实现提供一个通用平台，也为进一步处理噪声抑制和回声控制奠定了硬件基础。总之，ACELP算法是一种很有前途的低速率语音压缩混合编码技术，随着对其研究的不断深入，将会带动国内TETRA无线电数字集群系统的广泛应用。

### 参考文献

- [1] 杨行峻.语音信号数字处理[M].北京:电子工业出版社, 2007.
- [2] 鲍长春.低比特率数字语音编码基础[M].北京:北京工业大学出版社, 2001.
- [3] ETSI ETS 300 395-2 Edition2, Terrestrial Trunked Radio (TETRA); Speech Codec for Full-rate Traffic Channel; Part 2: TETRA codec(S).
- [4] 李伟,刘鲁新,林孝康.TETRA中的ACELP语音压缩编

(收稿日期:2010-11-19)

码[J].电声技术,2004(2):46-49.

[5] Microchip Technology Inc. dsPIC33FJXXXGPX06/X08/X10 Data Sheet[EB/OL].<http://www.microchip.com/wwwproducts/Devices.aspx?dDocName=en024667>,2007.

[6] 杨圣.PIC 系列单片机的原理与实践[M].合肥:中国科学技术大学出版社,2003.

作者简介:

王萍,女,1986年生,硕士研究生,主要研究方向:无线通信与多媒体信息传输。

昂志敏,男,1956年生,副教授,硕士生导师,主要研究方向:电路与系统、无线通信。

