

# 基于 FPGA 软核的高速数据采集系统设计

沈维聪, 陈东龙

(武汉理工大学 信息工程学院, 湖北 武汉 430072)

**摘要:** 为解决不同性能指标数据采集系统开发时间较长的问题, 提出了一种将 FPGA 软核技术应用于高速数据采集系统设计的方法。系统以 Xilinx 公司的 FPGA 为例设计软核, 使用 VHDL 语言对软核进行模块化设计。介绍了数据采集系统的硬件电路、USB 固件程序、USB 驱动程序以及 LabVIEW 上位机的设计。该数据采集系统结构可移植性强, 有利于缩短同类型系统设计研发周期。

**关键词:** FPGA; USB; 软核; 数据采集系统

中图分类号: TP274+.2

文献标识码: A

文章编号: 1674-7720(2011)07-0025-04

## Design of high speed data acquisition system based on FPGA soft-core

Shen Weicong, Chen Donglong

(School of Information Engineering, Wuhan University of Technology, Wuhan 430072, China)

**Abstract:** In order to cut down the time consumption in the development of different performance index data acquisition systems, the paper introduced a method of applying FPGA soft-core in to the design of high speed data acquisition system. The soft-cores which embedded in the Xilinx FPGA are designed modularly with VHDL. The paper also describes the design flow of the system's hardware, USB firmware programming, USB driver programming, and the LabVIEW application software in host computer. The construction of the data acquisition system can be transplant easily, which greatly reduce the design and development time of the similar systems.

**Key words:** FPGA; USB; soft-core; data acquisition system

数据采集在现代工业生产及科学研究中的重要地位日益突出, 同时对实时采集、实时传输、实时处理的高速数据采集的要求也不断提高。此外, 对于不同的场合, 数据采集系统的数据采样参数要求也不同。工业生产与科研领域中对数据采集研发提出了以下的要求: (1) 接口简单灵活且有较高的数据传输率; (2) 采集器体积小、抗干扰能力强、能够对数据做出快速的存储, 并及时进行分析和处理; (3) 设计周期短, 能快速适应市场需求。

USB2.0 以其即插即用、支持热插拔的灵活性, 以及高达 480 Mb/s 的传输速率, 成为了高速数据传输接口的首选。而 FPGA 以其工作频率和集成度高、稳定性良好、抗干扰能力强等优点, 逐步成为各领域数据采集数字电路的首选。FPGA 集成软核有设计周期短、设计投入少等优越性, 且不涉及具体的物理实现, 可以方便移植到各种 FPGA 硬件平台, 极大提高了它的灵活性和适应性。

### 1 系统方案与结构

数据采集系统性能指标修改主要集中在 A/D 转换模块与 FPGA 控制模块上, 在 USB2.0 接口的硬件、固件、驱动程序的设计以及 PC 机应用软件的设计基本没有变化。而 A/D 转换模块的修改可以通过 A/D 转换芯片的选择及更改输入信号调理电路设计来实现。但更换不同的 A/D 转换芯片可能给 A/D 转换的启停控制、数字信号的缓存等方面带来较多的改动。而 FPGA 软核的模块化设计可以极大地减少这方面的改动。

本文以 TI 公司的低功率高性能 A/D 转换芯片 ADS800 为例介绍系统的设计。图 1 为本数据采集系统的结构框图。模拟信号经过 THS4504 全差分放大器进行信号差分放大后, 输入到 ADS800 进行 A/D 转换。为减少不同系统中 FPGA 软核改动的工作量, FPGA 内部按功能设计了三个软核作为系统的控制单元。CY7C68013 作为 USB 控制芯片设置为从属 FIFO 模式 (Slave FIFO Mode), 负责数字

信号在采集系统与PC机间的传输;用户通过LabVIEW设计的PC机应用软件,在驱动程序的驱动下与数据采集系统进行命令以及数据的传输,以便对数据采集系统采集到的数据进行实时处理。

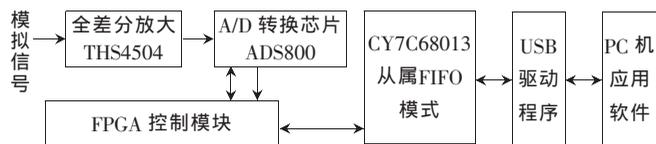


图1 数据采集系统结构框图

## 2 系统硬件设计

### 2.1 模数转换电路

数据采集系统采样参数调整的本质在于模数转换电路的改变,设计者只需要更换不同的A/D转换芯片、重新设计其硬件电路即可达到目标。本系统中模数转换电路由信号调理电路与高速A/D转换器组成。信号调理电路负责对待测模拟信号进行差分放大,高速A/D转换器负责模拟信号到数字信号的转换。

为了能精确检测微弱信号,数据采集系统的ADC前加入了全差分放大器THS4504,采用ADS800作为A/D转换芯片。ADS800含12 bit流水线型A/D转换内核,支持差分输入,最高转换速率高达40 MHz<sup>[1]</sup>,极好地满足了本系统采样频率的要求。

### 2.2 FPGA芯片外围电路

本系统FPGA采用Xilinx公司的XC3S200AN-4-FT256-C芯片。该芯片拥有20万门逻辑单元,内含16个18 KB的块存储器(Block RAM)与30 KB分布存储器(Distributed RAM),最高工作频率达到326 MHz<sup>[2]</sup>,可满足本系统的时序需求。

FPGA芯片外围电路:

#### (1)FPGA与A/D接口模块

ADS800的控制信号由FPGA生成,ADS800的转换时钟设定为30 MHz,由FPGA的时钟分频获得。FPGA与ADS800的连接示意图如图2所示。本设计中,FPGA通过ADC\_OE来控制ADS800转换数据输出的启停;ADS800的30 MHz工作时钟由FPGA的60 MHz工作时钟经过二分频得到;ADS800的数据由并口输出,FPGA内部FIFO控制单元将接收到的12 bit数据转换成16 bit数据存入FPGA内的FIFO中。

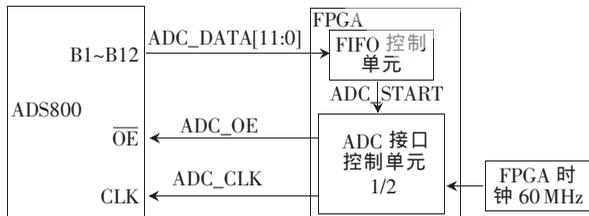


图2 FPGA与ADS800的连接示意图

当更换不同的A/D转换芯片时,A/D转换芯片与FPGA的连接有所不同。但对于并行输出、流水线型的A/D

转换芯片,只需模仿上述连接方式,对输出位数、控制时序以及FPGA时钟分频大小等做合适的修改即可。

#### (2)FPGA与USB接口模块

本设计中使用Cypress公司生产的EZ-USB FX2LP系列的CY7C68013芯片作为USB2.0协议的微控制器芯片。由于该芯片支持480 Mb/s高速传输,为本设计数据传输提供了速率保证。FPGA与CY7C68013的连接图如图3所示。

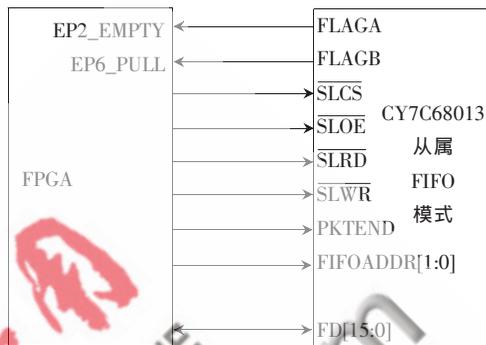


图3 FPGA与CY7C68013的连接图

本设计数据传输采用异步从属(Slave)FIFO方式,即设置IFCONEIC寄存器中IFCFG[1:0]=11。因此接口时钟IFCLK采用内部48 MHz时钟。为方便传输,数据总线FD配置为16 bit,与FPGA的FIFO宽度相同。图3中,SLOE是Slave FIFO数据输出使能信号;SLRD、SLWR分别为Slave FIFO读使能信号和写使能信号;FIFOADDR[1:0]用于选择端点,当FIFOADDR[1:0]=00时,选中EP2;当FIFOADDR[1:0]=10时,选中EP6。

FLAGA、FLAGB脚可通过PINFLGSAB、PINFLAGSCD寄存器来选择其工作在索引模式还是固定模式。本设计中被设置为固定模式。其中FLAGA表示EP2的空状态(FIFO\_EMPTY),FLAGB表示EP6的满状态(FIFO\_FULL)。

### 2.3 USB接口外围芯片电路

本设计使用容量为16 KB的EEPROM芯片AT24C016A存储,并设置CY7C68013的VID与PID。在CY7C68013上电并脱离复位状态后,内部逻辑会检查I<sup>2</sup>C端口上是否连接有串行EEPROM。如果有,则判断连接上的EEPROM第一个字节是0xC0还是0xC2。本设计中设置EEPROM第一个字节为0xC0,设置VID=0x1234、PID=0x2211、DID=0x0001。在这种情况下,由CY7C68013内核提供USB描述符,使用EEPROM存储的VID/PID/DID值替换CY7C68013内部的值,并设置RENUM=0。这样,在设备重新列举后,芯片内的程序代码会以全新的自定义设备来加以呈现。

## 3 FPGA软核设计

FPGA内部控制单元的功能分别由三个软核负责完成,分别为:ADC接口控制单元、FIFO控制单元以及USB接口控制单元。三个软核连接示意图如图4所示。

### 3.1 ADC接口控制单元

ADC接口控制单元控制数据采集的启停和传输。数据采集开始时,ADC接口控制单元将时钟信号分频为

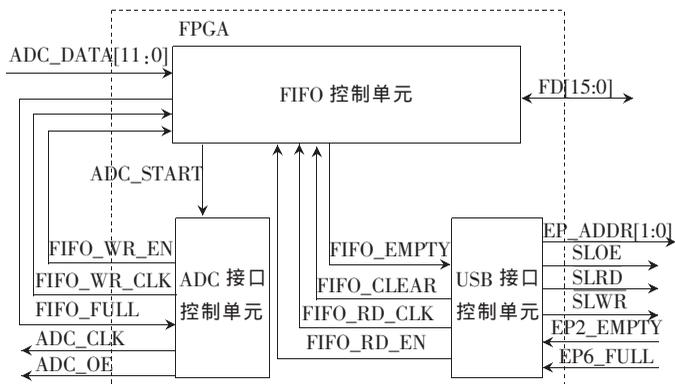


图4 FPGA内部软核连接示意图

30 MHz供ADS800作转换时钟ADC\_CLK使用。此时控制单元内寄存器CLK\_CNT对ADC\_CLK转换时钟进行周期计数,当经过7个时钟周期后(ADS800转换延时为6.5个时钟周期,为了使转换数据稳定,本设计再延时半个时钟周期输出)即CLK\_CNT=8时,CLK\_CNT清零,FIFO写时钟(FIFO\_WR\_CLK)输出,同时端口FIFO\_WR\_EN置高电平,经ADC转换完成的数据在补齐16 bit后,随时钟FIFO\_WR\_CLK上升沿存入FIFO中。ADC接口控制单元状态机工作过程如下:

(1)当FPGA上电或者复位后,状态机进入空闲状态(IDEL)。

(2)在空闲状态下,当FIFO不满(FIFO\_FULL=0)且ADC\_START=1时,状态机进入转换状态(CONVERT),此时,ADC\_CLK输出ADC数据转换时钟。

(3)在转换状态下,当FIFO\_WR\_EN=1,即数据转换延时结束时,状态机进入写状态(WRITE),此时CLK\_CNT清零,ADC\_OE和FIFO\_WR\_EN都置为高电平,FIFO\_WR\_CLK输出FIFO写时钟。

(4)在任何状态下,如果FIFO已经写满(FIFO\_FULL=1)或者ADC\_START=0时,自动跳转到空闲状态。

ADC接口控制单元状态机示意图如图5所示。

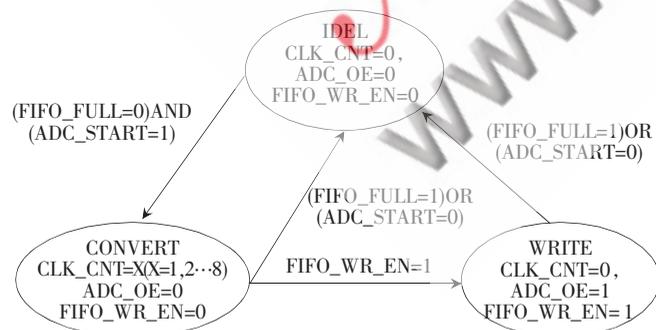


图5 ADC接口控制单元状态机示意图

### 3.2 FIFO控制单元

本设计首先使用FPGA内部Block RAM生成FIFO。由于A/D接口控制单元输出数据宽度为16 bit,因此,FIFO宽度也设置为16 bit,深度设置为4 KB。FIFO可以使用Xilinx ISE套件中的Core Generator生成器,由Core Generator生

成的FIFO软核配合控制部分构成FIFO控制单元。FIFO控制单元内部结构示意图如图6所示。

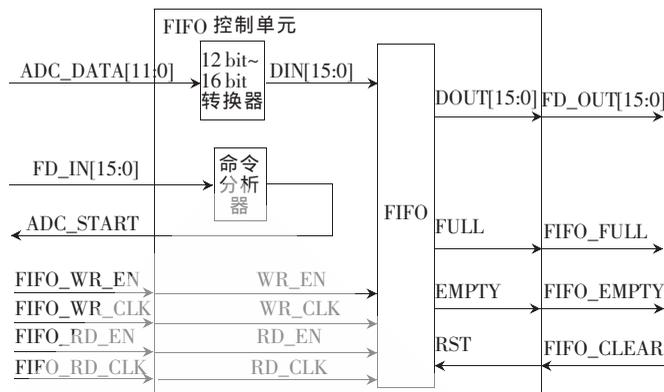


图6 FIFO控制单元内部结构示意图

由于本设计中数据采集系统处于异步从属FIFO模式,且USB接口芯片读数据的速度与ADC数据写入FIFO的速度不同。为解决因读写速度不同而可能带来的数据读写错误问题,FIFO软核上的FULL与EMPTY两信号线可以分别指示FIFO满与空的状态。当FIFO处于满状态时,FIFO\_FULL信号置高电平,由ADC控制单元通知ADC停止采集数据;当FIFO处于空状态时,FIFO\_EMPTY信号置为高电平,由USB接口控制单元通知USB接口芯片停止读FIFO。FIFO的读时钟信号(FIFO\_RD\_CLK)与读使能信号(FIFO\_RD\_EN)由USB接口控制单元提供,写时钟(FIFO\_WR\_CLK)与写使能信号(FIFO\_WR\_EN)由ADC接口控制单元提供。FIFO控制单元的工作有以下两种特殊情况:

(1)在没有来自PC机的控制命令情况下,如果FIFO\_RD\_EN=1,则FD[15:0]的数据传输方向为从FPGA到USB接口芯片(图6表示为FD\_OUT[15:0]),即数据从FIFO输出至USB接口芯片;如果此时FIFO\_RD\_EN=0,则FD[15:0]呈高阻态。

(2)当有来自PC机的控制命令时,FD[15:0]的数据传输方向为从USB接口芯片到FPGA(图6表示为FD\_IN[15:0]),即PC机的控制命令写入到USB接口芯片,再传输到FPGA内部命令分析器中。此时,命令分析器会根据命令控制ADC\_START信号,进而控制ADC数据采集的启停。

无论在上述哪种情况下,如果FIFO\_CLEAR=0、FIFO\_WR\_EN=1且FIFO\_FULL=0时,FIFO\_WR\_CLK都有相应的时钟信号输入,此时ADC转换完成的数据随写时钟通过ADC\_DATA[11:0]写入FIFO中。

### 3.3 USB接口控制单元

USB接口控制单元主要完成两种功能:(1)通过USB接口芯片实现把数据传输到PC机。此时FIFO中的数据先写入EP6,当EP6写满时,USB接口芯片自动将数据打包传输到PC机。(2)协助FIFO控制单元接收来自PC机的命令数据。此时命令数据从PC机通过USB接口传输到EP2,然后读取EP2的数据到FIFO控制单元的命令分析器中。USB接口控制单元状态机工作如下:

(1)当FPGA上电或者复位后,状态机进入空闲状态(IDEL)。

(2)在空闲状态下,当EP2不空( $EP2\_EMPTY=0$ )时,进入读命令状态(READ\_COMMAND),此时令 $EP\_ADDR[1:0]=00$ , $FD[15:0]$ 的传输方向由EP2指向FPGA,控制单元从EP2中读出PC机传来的控制命令。

(3)随后进入存储命令状态(SOTRE\_COMMAND),控制单元把传来的控制命令存储到FIFO控制单元内部的指令分析器中。同时控制单元置 $FIFO\_CLEAR=1$ ,即把FIFO控制单元内的FIFO数据清空,以准备存储新的ADC转换数据。任务完成后回到空闲状态。

(4)优先处理PC机通过EP2传来的命令,因此优先查看EP2的空状态。在空闲状态下,当EP2为空( $EP2\_EMPTY=1$ )且FIFO控制单元内FIFO不为空( $FIFO\_EMPTY=0$ )且EP6不满( $EP6\_FULL=0$ )时,进入写数据状态(WRITE\_DATA)。在写数据状态下, $EP\_ADDR[1:0]=10$ ,控制单元选中CY7C68013的EP6, $FD[15:0]$ 方向由FPGA指向EP6,同时 $FIFO\_RD\_CLK$ 产生一个周期时钟, $FIFO\_RD\_EN$ 置为高电平,一个数据从FIFO控制单元内FIFO中读出。

(5)随后进入传输数据状态(TRANS\_DATA)。在该状态下,令 $SLWR=0$ ,数据从FIFO控制单元内FIFO写入CY7C68013的EP6中。任务完成后进入空闲状态。

USB接口控制单元状态机示意图如图7所示。

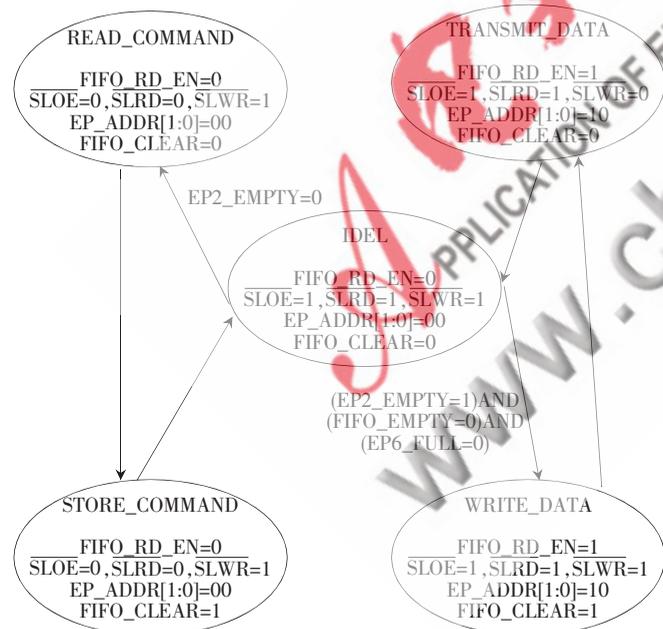


图7 USB接口控制单元状态机示意图

## 4 USB接口芯片程序设计

### 4.1 USB固件程序

固件程序是一种嵌入在硬件设备中的软件,通过执行固件程序,硬件设备可以完成各种特定的功能。在本设计中,CY7C68013芯片的固件程序是整个系统传输的控制核心,主要完成以下五种功能:(1)CY7C68013芯片

的初始化;(2)辅助硬件完成设备的重新枚举;(3)中断处理;(4)数据接收与发送;(5)对外围电路进行控制。

Cypress公司为提高用户的开发效率,提供了EZ-USB FX2LP开发套件,其中包含了一个完整的固件程序架构<sup>[3]</sup>。该架构主要包含了EZ-USB FX2LP芯片的设备初始化、处理标准USB设备请求与电源管理等服务功能。用户在开发时,只需使用Keil uVision3在固件架构下提供相应的USB描述符以及编写外部设备功能程序代码。固件架构流程图如图8所示。

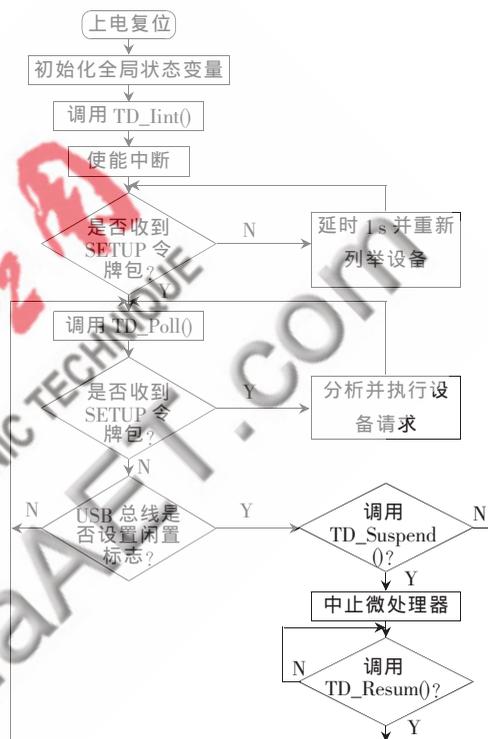


图8 固件架构流程图

主函数是固件架构流程的具体实现。主函数首先对内部状态变量进行初始化,随即调用 $TD\_Init()$ 进行用户设备初始化, $TD\_Init()$ 函数运行完成后,使能中断,随后进入主循环。

### 4.2 USB驱动程序设计

USB驱动程序位于固件程序与应用程序之间,是USB设备与PC机的通信接口。Cypress公司为用户设计了一款通用驱动程序包(ezusb.sys),可以完成应用程序与USB接口的通信与控制任务。本设计即使用该通用驱动程序。

## 5 应用程序设计

应用程序通过USB驱动程序与USB接口进行通信。本设计使用LabVIEW设计应用程序。LabVIEW为用户提供了简单、直观、易学的图形编程法,相比于传统的编程语言,LabVIEW能大量地节省开发时间。用户通过LabVIEW应用程序可以进行对数据采集系统的控制,而

且采集到的数据在控制界面中实时显示。

本文介绍了一款较为通用、基于USB2.0接口的高速数据采集系统设计方法，通过FPGA软核在数据采集系统中的应用，解决了硬件电路设计繁琐复杂的问题，而且便于开发者对产品进行修改优化，可以大幅度地缩短产品的开发时间。本系统通过了硬软件的联合调试，系统工作正常，稳定性良好。

#### 参考文献

- [1] Xilinx Corporation. Spartan-3AN FPGA family data sheet. 2009.
- [2] Cypress Semiconductor Corporation. EZ-USB FX2 CY7C68013

technical reference manual version2.2. 2003.

- [3] 钱峰.EZ-USB FX2单片机原理、编程及应用[M].北京：北京航空航天大学出版社，2006.

(收稿日期：2010-11-08)

#### 作者简介：

沈维聪，男，1960年生，本科，副教授，主要研究方向：嵌入式系统应用。

陈东龙，男，1989年生，本科在读，主要研究方向：信息工程。

