

基于单片机的多路解调 IRIG-B 码应用设计

刘小宝,王志林,童斌
(91245 部队,辽宁 葫芦岛 125001)

摘要: 阐述了用单片机实现同时解调多路 IRIG-B 码的应用设计,利用单片机中断查询的方法,以有限的单片机资源实现最多可同时解调 8 路 IRIG-B 码。

关键词: IRIG-B 码;时间码;B(AC)码;B(DC)码;码元;同步误差

中图分类号: TP335

文献标识码: B

文章编号: 1674-7720(2011)07-0057-02

Design of multi-channel demodulation IRIG-B code based on single chip

Liu Xiaobao, Wang Zhilin, Tong Bin
(91245 Troops, Huludao 125001, China)

Abstract: This paper focuses on the application design of the simultaneous demodulation of multi-channel IRIG-B code based on single chip. Using microcontroller's interrupt query methods to realize up to 8 simultaneous demodulation of IRIG-B code based on the limited resources of microcontrollers.

Key words: IRIG-B code; time code; B(AC)code; B(DC)code; symbol; synchronization error code

IRIG-B 码(以下简称 B 码)是美国靶场测量组推荐的格式时间码之一,该码在各国靶场应用广泛。B 码又分为直流码 IRIG-B(DC)码(以下简称 DC 码)和交流码 IRIG-B(AC)码(以下简称 AC 码),DC 码传输距离小但授时同步误差小,AC 码传输远但授时同步误差相对较大。详细的 B 码波形及信息定义请参阅参考文献[1]。B 码授时需要授时终端回送 B 码作为自动测量和监控同步误差的依据。因此,在点对多 B 码授时体系中,将存在一台设备同时解调多路 B 码现象,用单片机完成多路 B 码解调任务具有节省硬件资源、控制灵活等特点。本文以 W78E058B 单片机为基础,提出了基于单片机的多路解调 IRIG-B 码的应用设计方法。

1 设计原理

1.1 B 码授时原理

时间终端设备通过接收 B 码授时,同时产生 B 码回送上级时间设备,上级时间设备负责送出授时 B 码并测量时延和监视授时情况,如图 1 所示。时间终端设备解调授时 B 码得到时、分、秒等时间信息和秒头,用于 B 码同步;时间设备解调回送 B 码得到时、分、秒等时间信息和秒头,用于测量 B 码环路时延并监视授时情况,如图 2 所示。



图 1 B 码点对多授时示意图

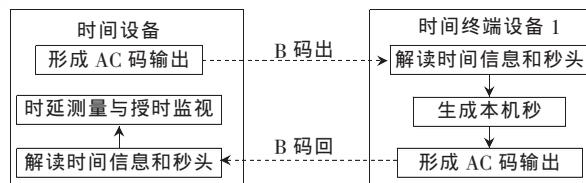


图 2 B 码授时原理示意图

1.2 单片机解码原理

AC 码经解调电路解调得到 DC 码,单片机通过解读 DC 码可以得到 B 码信息。DC 码信息由基本码元组成,每码元占用 10 ms 的时间宽度。码元含义依据高低电平宽度来定义,分为“0 码”、“1 码”和“P 码”,如图 3 所示。

用 1 kHz 信号作为外中断源,中断服务程序对各路 DC 码高低电平分别计数,计数结果作为判定码元信息位的依据。

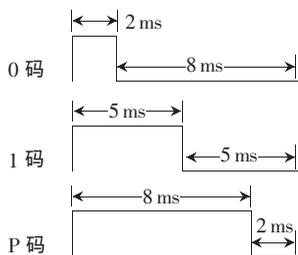


图3 码元定义

1.3 容错机制

计数用的 1 kHz 信号由本地时钟分频产生,其与各路 DC 码存在相位漂移。当 1 kHz 和 DC 码的边沿非常接近时会存在冒险现象,这将使计数结果可能出现±1 的偏差。例如,高电平实际宽度为 2 ms,出现冒险时,可能误计为 1 ms 或 3 ms。因此,设计容错机制为:计数结果为 1 ms、2 ms、3 ms 时,判定为 0 码;计数结果为 4 ms、5 ms、6 ms 时,判定为 1 码;计数结果为 7 ms、8 ms、9 ms 时,判定为 P 码。理论和实践证明,此容错机制有效率为 100%。

2 应用设计

2.1 硬件设计

用 W78E058B 单片机来实现解码(最多可同时解调 8 路 B 码)。端口分配为:P0 口用作数据端口和低位地址口,P1 口输入 8 路 DC 码,P2 口低 4 位作为高位地址口,高 4 位和 P4 口作为 8 路解码秒头标志信号出。本地 1 kHz 接入 INTO 作为单片机解码中断服务程序触发中断源,中断服务程序中依次对 8 路 DC 码计数识别,解读到的 B 码信息由 P0 口写入专用双口 RAM 芯片。解码秒头标志信号与相应的 DC 码经触发装置得到对应某路解调秒头信号。至此 8 路 B 码解调硬件设计任务完成。

2.2 软件实现

2.2.1 单片机初始化

开启辅助 RAM 区 AUX-RAM,共 256 B,存放 8 路前一秒 B 码信息,每路每秒 B 码信息占用 10 B,8 路 B 码信息需 80 B。

```

CHPNR EQU F6H
CHPCON EQU BFH
MOV CHPNER,#87H
MOV CHPCON,#59H
ORL CHPCON,#00010000B;打开 AUX-RAM
MOV CHPCON,#00H
    
```

P4 口默认为 I/O 端口,可不设置。INT0 设置为负边

沿触发中断方式。

2.2.2 中断服务程序

中断服务程序 ZDINT0 依次对 8 路 DC 码 (P1 口)进行信息解读,每路解读程序流程如图 4 所示。

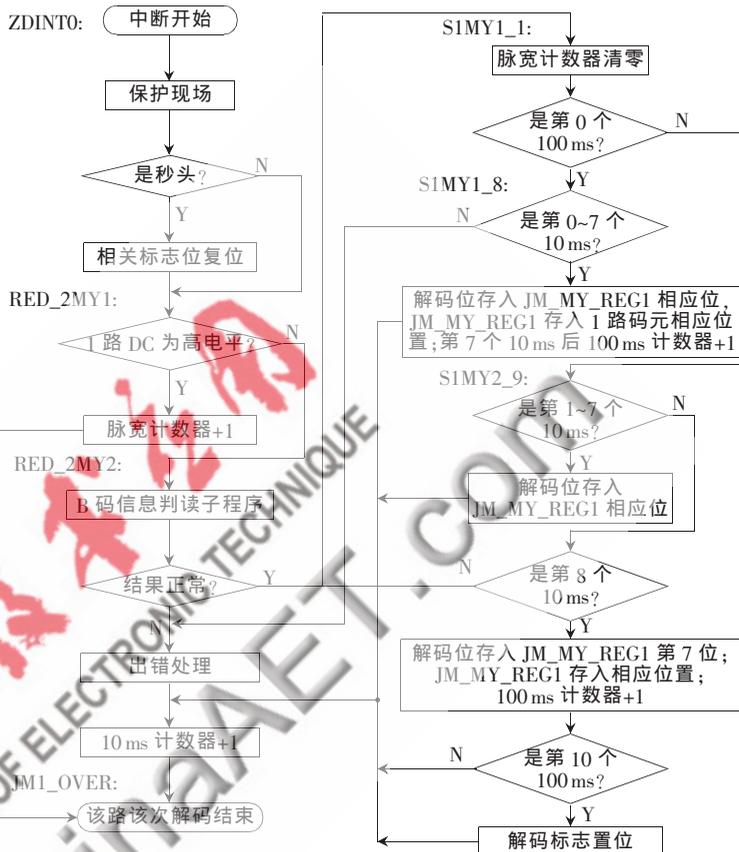


图4 每路解码中断服务程序流程设计

本理论是在多年实践的基础上提出来的,并且在研制时间设备对时同步检测仪过程采用了该技术,经设备运行和实际使用环境检测符合设计要求,该设计性能良好。如果用更高配置的 CPU 来代替 W78E058B,则 CPU 剩余的资源还可以完成时间设备的其他功能任务。在点对多时间体系中,时间设备可以减少大量的硬件资源,设备在完成相同功能的情况下完全可以做到小型化,而且设备在维修性、可靠性和灵活性方面也有很大的提高。

参考文献

[1] 国防科学技术工业委员会.B 时间码接口终端 [S].GJB2991-97,1997:2-3.

(收稿日期:2010-12-05)

作者简介:

刘小宝,男,1972 年生,本科,主要研究方向:通信控制。