

基于 FPGA 的串行通信控制系统的设计

王媛媛, 刘树林, 刘宁庄, 童 军

(西安科技大学 电气与控制工程学院, 陕西 西安 710054)

摘 要: 在 Altera Cyclone II 平台上采用“自顶向下”的模块化设计思想及 VHDL 硬件描述语言, 设计了串行通信控制系统。在 Quartus II 软件上编译、仿真后下载到 FPGA 芯片 EP2C5Q208 上, 进行在线编程调试, 实现了串行通信控制功能。基于 FPGA 的系统设计调试维护方便、可靠性高, 而且设计具有灵活性, 可以方便地进行扩展和移植。

关键词: FPGA; 通信控制系统; 模块化; VHDL

中图分类号: TN402

文献标识码: A

文章编号: 1674-7720(2011)05-0057-03

Design of serial communication control system based on FPGA

Wang Yuanyuan, Liu Shulin, Liu Ningzhuang, Tong Jun

(College of Electrical and Control Engineering, Xi'an University of Science and Technology, Xi'an 710054, China)

Abstract: The design is based on Cyclone II of Altera company. It is a serial communication control system designed by “top to down” modularization idea and VHDL programming language. After using the software of Quartus II to compile and simulate, the design is downloaded to FPGA chip—EP2C5Q208 and programmed, debugged on line. The system implemented serial communication. Design of system based on FPGA is easy to debug, and has highly reliability and agility. It is easy to expand and replant.

Key words: FPGA; communication control system; modularization; VHDL

基于现场可编程门阵列 FPGA 的系统开发可以广泛应用于各行各业, ASIC 设计、通信、控制、电力电子等。其主要优点有: 设计周期短、功耗低, 可实现更高集成度的数字系统和嵌入式系统等。用户可对 FPGA 内部的逻辑模块和 I/O 模块重新进行配置, 以实现数字逻辑电路以及基于 FPGA 的 SRAM、查找表(LUT)等。FPGA 还具有静态可重复编程和动态在系统重构的特性, 使得硬件的功能可以像软件一样通过编程来修改, 从而提高设计的可靠性、稳定性和灵活性。传统的设计中, FPGA 的功能仅局限于集成电路的应用和验证, 然而随着电子技术的迅猛发展, 集成度更高, 功耗更低, 基于 FPGA 的电路设计将发挥出更大的优势, 使得在一片 FPGA 中实现一个完备的数字处理系统成为可能^[1-3]。本文提出的基于 FPGA 的串行通信控制系统的设计与实现, 是在 Altera 公司的 FPGA Cyclone II 芯片 EP2C5 的基础上实现的, 运用 VHDL 语言编程, 在 Quartus II 软件上进行编译、仿真, 最终在 FPGA 开发板上成功实现下载和调试验证。

1 串行通信控制系统的基本原理

基本的通信方式可分为并行通信和串行通信两种。并行通信就是数据以成组的方式在多个并行信道上同时传输; 而串行通信则是在传输过程中, 二进制数据一位一位的通过一条通信信道, 并且按照规定的规程依次传输, 实现计算机与计算机或计算机与外部设备之间的通信(数据交换)。由于串行通信的收发方都只需要一条数据线, 比较容易实现, 而且长距离传输时也更加可靠, 因此其应用十分广泛^[4]。

串行通信控制系统的模型如图 1 所示, 其基本原理是: 信息源将待传输的消息转换成原始电信号(如电话系统中的电话机就可看成是信息源); 发送设备对原始电信号进行某种变换或处理, 使电信号符合信道的传输特性要求; 信道是信息传输的通道, 在串行通信时, 代表信息的数字信号序列按时间顺序一个接一个地在信道中传输; 接收端从收到的信号中恢复出相应的原始信号; 受信者则将复原的原始信号转变成相应的消息(如电话机将对方传来的电信号还原成了声音); 噪声源是

网络与通信 Network and Communication

信道中的所有噪声及通信系统中噪声的集合^[5]。

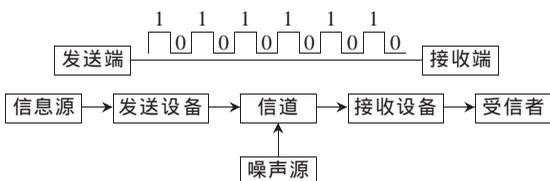


图1 串行通信控制系统的模型

2 系统整体设计方案

2.1 系统功能

- (1)通过 4×4 键盘输入 0~F 数据,并将此输入数据发送给上位机,上位机可以准确接收所发送的数据。
- (2)通过 LED 准确接收上位机串口调试助手发送的数据。
- (3) 波特率可分为 2 400 b/s、4 800 b/s、9 600 b/s、19 200 b/s、38 400 b/s,并且可以随意修改。

2.2 设计方案

整个设计在 Altera Cyclone II 平台上采用了“自顶向下”的模块化设计思想,并使用硬件描述语言 VHDL 对电路进行描述。

根据功能要求,系统可分为 4×4 键盘扫描输入模块、LED 显示模块、接收模块、发送模块和波特率产生模块 5 个功能模块,系统原理框图如图 2 所示。

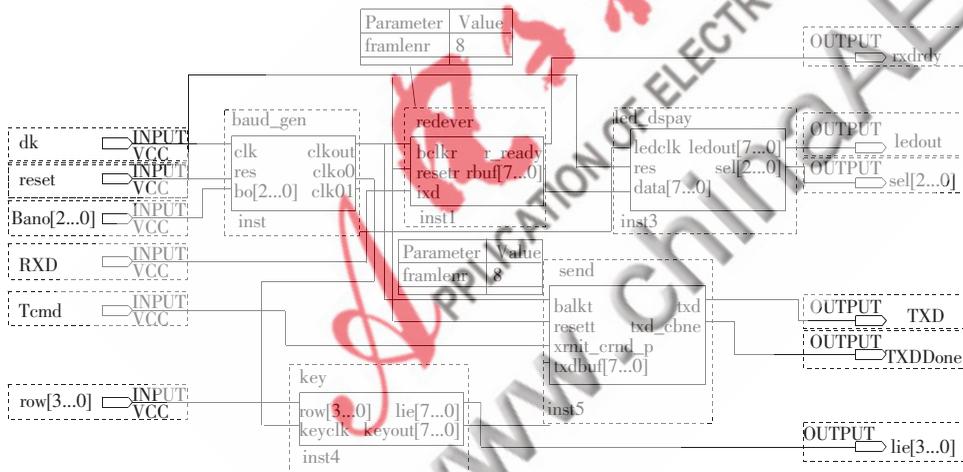


图2 串行通信控制系统原理框图

设计原理为:4×4 键盘扫描输入模块将所输入的数据转换为二进制代码传输给发送模块,发送模块再将此数据通过串口 TXD 发送到 PC 机;接收模块通过串口 RXD 接收由上位机或串口调试助手发送的数据,并且显示在数码管上;数据传输速率由波特率产生模块的输出频率决定,可以根据需要进行设置,如可设置为 2 400 b/s、4 800 b/s 等。

3 功能子模块的设计与实现

3.1 接收模块的设计

接收模块的主要功能为接收 PC 机发送 8 bit 二进制数。根据功能要求,采用 VHDL 硬件描述语言对其功

能进行描述,模块顶层设计文件如图 3 所示,各端口分别为: bclkr(传输速率控制端,输入波特率产生模块的输出频率)、resetr(复位端)、rxdr(接收端口,串行输入)、r_ready(接收就绪)、rbuf(接收寄存器)。该模块采用有限状态机设计。

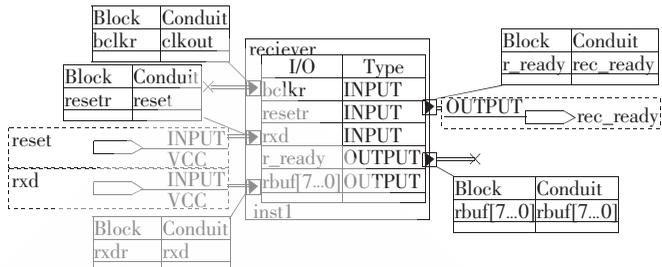


图3 串行通信控制接收模块框图

3.2 发送模块的设计

发送模块的主要功能是将键盘按键值以给定的波特率发送给 PC 机。本文的设计思想是:当不发送数据时,数据信号线表现为高电平,即空闲位;当开始发送数据后,数据信号为低电平,也就是起始位,为了保证能够在发送数据时准确采样,采用频率为波特率 16 倍的输入时钟。输入时钟信号由波特率产生模块的输出提供。该模块采用 VHDL 硬件描述语言进行描述,顶层设计文件如图 4 所示,各端口分别为: bclkt(输入时钟)、resett(复位)、xmit_cmd_p(发送命令端)、txdbuf[7..0](发送缓冲器输入端)、txd(发送数据端)、txd_done(发送完毕)。该模块采用有限状态机设计,根据功能要求,电路包括空闲、起始、等待、移位、停止 5 个状态。

3.3 波特率产生模块的设计

波特率产生模块的主要功能:当输入不同数据时,将对输入的时钟信号有不同的分频比,从而产生不同的波特率。波特率发生器采用加法计数器来实现多种分频。产生 38 400 b/s 的 VHDL 程序如下:

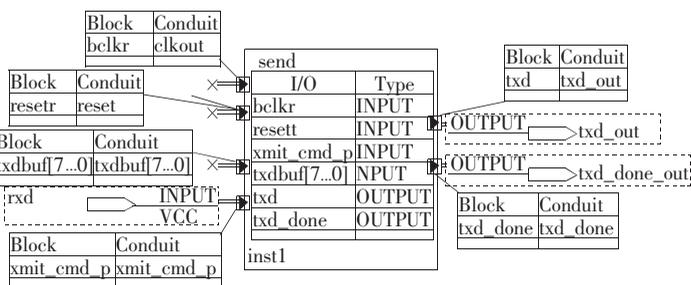


图4 串行通信控制发送模块

```

process(clk , bo)
begin
    case bo is
        when "100" => clkout <= clk38400;
        when others => clkout <= null;
    end case;
end process;
process(clk , res)
variable cnt5 : integer range 39 downto 0;
begin
    if res='1' then cnt5 := 0; clk38400 <= '0'; //复位
    elsif rising_edge(clk) then
        if cnt5 >= 39 then cnt5 := 0; clk38400 <= not clk38400;
            //设置分频系数 38 400 波特率
        else cnt5 := cnt5 + 1;
        end if;
    end if;
end process;

```

波特率为 38 400 b/s 的仿真波形如图 5 所示。其中, bo 为波特率选择设置端口, 将其分配给 FPGA 开发板的 3 个拨动开关, 通过拨动开关输入相应的数据实现波特率设置; clk 为系统时钟信号, 频率为 24 MHz; res 为复位端; clkout 为输出时钟, 提供给接收和发送模块, 实现不同波特率传输。

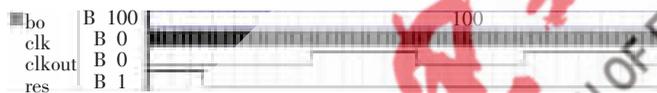


图 5 波特率为 38 400 b/s 的仿真波形

3.4 键盘模块设计

键盘模块的主要功能是将按键转换为 8 bit 二进制数, 该功能的实现过程为: 对于 4×4 键盘, 通常连接为 4 行、4 列, 因此, 要识别按键, 只需要知道是哪一行和哪一列即可。为了完成这一按键识别过程, 本设计首先确定行值, 如果读入的 4 行均为高电平, 则肯定没有键按下, 如果读入的 4 行有一位为低电平, 则对应的该行肯定有一个键被按下, 这样便可以获得按键的行值; 然后通过加法计数器进行列扫描, 获得列值。将获取到的行值和列值组合成一个 8 bit 的数据, 根据实现不同的编码对每个按键进行匹配。键盘模块仿真波形如图 6 所示。

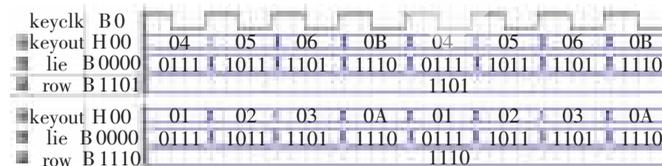


图 6 键盘模块仿真波形

3.5 数码管显示模块设计

数码管显示模块的主要功能是将所接收到的数据在 8 bit 七段数码管上进行显示。本设计中使用的是两

个 4 bit 一体、共阴极型的七段数码管。因此, 数码管中被输入高电平的这一段将会被点亮, 反之则不亮。应用数码管的这一特点, 给数码管相应的段输入高电平, 从而实现相应数据的显示。通过位选端口来控制, 被选通的数码管显示数据, 其余关闭。实现数码管显示的 VHDL 代码如下^[6]:

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY led_display IS
    PORT
    (
        ledclk : IN STD_LOGIC;
        res : IN STD_LOGIC;
        data : IN STD_LOGIC_VECTOR(7 downto 0);
        ledout : OUT STD_LOGIC_VECTOR(7 downto 0);
        sel : OUT STD_LOGIC_VECTOR(2 downto 0)
    );
END led_display;
ARCHITECTURE led_architecture OF led_display IS
BEGIN
    process(ledclk , res , data)
    begin
        if ledclk'event and ledclk='1' then
            if res='1' then ledout <= "00000000";
            end if;
            case data is
                when "00000000" => ledout <= "00111111";
                    //显示数据 0
                when "00000001" => ledout <= "00000110";
                    //显示数据 1
                when "00000010" => ledout <= "01011011";
                    //显示数据 2
                :
                :
                :
                :
                when "00001111" => ledout <= "01110001";
                    //显示数据 F
                when others => null;
            end case;
        end if;
        sel <= "000"; end process;
    END led_architecture;

```

4 系统下载与调试结果

在 Quartus II 7.2 中建立项目后, 输入顶层设计文件及各个模块的 VHDL 程序代码, 编译、仿真、管脚分配之后产生编程文件, 将编程文件下载到 FPGA 芯片 EP2C5Q208 上, 通过串口线连接实验箱与 PC 机进行调试及验证。通过 FPGA 的 4×4 键盘输入 0~F 数据, 并发送给 PC 机, PC 机可以正确接收到所发送的数据; 同时,

通过 PC 机串口调试助手发送数据给 FPGA 时, FPGA 也可以准确接收到相应数据, 并且将接收到的数据在数码管上显示; 改变波特率时也可以实现上述功能。实验结果表明, 本设计满足设计要求。

本设计运用 FPGA 开发平台将串行通信控制系统集成在一片 Altera EP2K5 芯片中, 提高了系统的质量和可靠性。同时, 由于基于 FPGA 的系统设计能够在现场进行编程及调试, 具有很大的灵活性, 可以方便地进行修改完善, 用户可以在不改变电路系统的情况下, 进行反复编程和随意修改。一旦设计成熟, 也可以制成 ASIC 芯片, 不但大大降低了设计风险, 也可以节约成本。

参考文献

- [1] 李迎九, 肖柳明. 基于 FPGA 的数字通信系统同步电路的设计[J]. 湘潭师范学院学报(自然科学版), 2005, 27(1).
- [2] KUNG Yingshieh, Chen Chiasheng, Wong Kiinging, et al.

Development of a FPGA-based control IC for PMSM drive with adaptive fuzzy control [C]. Proceeding of IEEE Industrial Electronics Society, IECON 2005, 2005: 1544-1545.

- [3] 潘松, 黄继业. EDA 技术与 VHDL[M]. 北京: 清华大学出版社, 2009.
- [4] 宋兵跃, 吴军辉, 黄斌. 单片机的高效串行通信研究[J]. 单片机与嵌入式系统应用, 2010(1): 27-29.
- [5] 王兴亮. 通信系统原理教程[M]. 西安: 西安电子科技大学出版社, 2007.
- [6] 李晶皎, 李景宏, 曹阳. 逻辑与数字系统设计[M]. 北京: 清华大学出版社, 2008.

(收稿日期: 2010-11-01)

作者简介:

王媛媛, 女, 1980 年生, 硕士, 主要研究方向: IC 设计及 FPGA 应用与设计的教学与科研工作。

电子技术应用
APPLICATION OF ELECTRONIC TECHNIQUE
www.chinaAET.com