

基于 FPGA 与 DDR2 SDRAM 的大容量异步 FIFO 缓存设计

庾志衡¹, 叶俊明², 邓迪文³

- (1. 桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004;
2. 桂林电子科技大学 职业技术学院 电子信息工程系, 广西 北海 536000;
3. 深圳市怡化电脑有限公司, 广东 深圳 518026)

摘要: 为了满足高速实时数据采集系统对所采集海量数据进行缓存的要求, 通过研究 FIFO 的基本工作原理, 利用 FPGA 和 DDR2 SDRAM 设计了一种高速大容量异步 FIFO。使用 Xilinx 提供的存储器接口生成器 (MIG) 实现 FPGA 与 DDR2 的存储器接口, 并结合片上 FIFO 和相应的控制模块完成 FIFO 的基本框架结构。详细介绍了各个组成模块的功能和原理, 并设计了专门的测试模块。

关键词: 高速大容量异步 FIFO; MIG; FPGA; DDR2 SDRAM

中图分类号: TP211+.5

文献标识码: A

文章编号: 1674-7720(2011)04-0034-03

A design of high speed and deep asynchronous FIFO based on FPGA and DDR2 SDRAM

Yu Zhiheng¹, Ye Junming², Deng Diwen³

- (1. School of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China;
2. Department of Electronic Information Engineering, Professional Technical Institute, Guilin University of Electronic Technology, Beihai 536000, China;
3. Shenzhen Yihua Computer Ltd, Shenzhen 518026, China)

Abstract: To satisfy the request of buffering the mass data in the high speed real-time data gathering system, a high speed and deep asynchronous FIFO based on FPGA and DDR2 SDRAM is designed after researching FIFO's principle. The interface between FPGA and DDR2 SDRAM is designed with memory interface generator (MIG) supplied by Xilinx, combined with two FIFO and other control models form the FIFO's fabric. The models' function and principles were introduced detailedly, in addition, a special test module is designed to validate the designed FIFO's performance. The testing result of experiment indicated that the designed FIFO achieved the antipant performance well.

Key words: high speed and deep asynchronous FIFO; MIG; FPGA; DDR2 SDRAM

异步 FIFO 作为数据缓存被广泛应用于高速实时数据采集、不同时钟域之间的高性能数据传输以及多机处理等系统中^[1]。如在视频系统中用于视频信号转换、视频分割和画中画电视^[2]。在高速传感信号实时检测处理系统中用于数据缓存等。随着微电子技术的发展, FIFO 芯片也在向着高速、大容量、小体积、低成本的方向发展。特别是 Xilinx FPGA 提供的 FIFO IP 核已经能够达

到 500 MHz 的速率和 4 MB 的容量。这些都为 FIFO 的实际工程应用提供了广阔的空间。但是在某些价格敏感、要求海量数据缓存的高速系统中, 出于价格和性能方面的考虑, 大容量异步 FIFO 芯片并非这类设计的最佳选择。FPGA 具有工作速度快、可配置性强、灵活性好等突出优点, 使用 Xilinx FPGA 提供的免费 MIG IP 核可以很容易实现 FPGA 与外部存储器之间的接口, 而 DDR2 SDRAM 具有单位空间存储容量大、高数据带宽、价格便

* 基金项目: 广西教育厅科研基金资助项目 (2008LX138)

宜等优点。因此根据 FIFO 的基本原理,通过采用 Xilinx FPGA 器件和 Micron 公司的 256MB DDR2 SDRAM MT4HTF3264HY-667 设计并实现了一种异步 FIFO。该 FIFO 具有价格相对便宜、高数据带宽、容量大、数据位宽可以根据需要进行相应灵活配置等特点,具有较高的工程实用价值。

1 大容量异步 FIFO 系统方案设计

设计主要由两块片上 FIFO、两块数据位宽转换模块、FIFO 控制器、DDR2 SDRAM 控制器、时钟模块和外部的 DDR2 SDRAM 构成^[3]。其整体结构框图如图 1 所示。

基本工作机理是当 WR_EN 有效为高电平,输入数据 DIN[N:0]在 WR_CLK 的上升沿触发下经过“数据位宽转换模块 1”之后输出位宽为 128 bit 的数据写入到位宽为 128 bit,深度为 2K 的“片上 FIFO1”中。当 FIFO 控制器检测到“片上 FIFO1”快满时,开始读取其中的数据,按照地址顺序递增的方式通过 DDR2 SDRAM 控制器写入到 DDR2 SDRAM 中,直到“片上 FIFO1”被取空。当 FIFO 控制器检测到“片上 FIFO2”快空时,通过 DDR2 SDRAM 控制器按照地址顺序递增读取 DDR2 SDRAM 中的数据,写入到“片上 FIFO2”中,直到“片上 FIFO2”被写满为止。DDR2 SDRAM 只有一组地址总线,而在该项设计中需要对 DDR2 SDRAM 进行独立的读写操作。为此,在 FIFO 控制器中定义了两组地址总线用于分别记录读写操作地址,当 FIFO 控制器处于写 DDR2 SDRAM 状态时,选通写地址总线(wr_addr)与 DDR2 SDRAM 的地址总线(DDR2_ADDR)互联。当 FIFO 控制器处于读 DDR2 SDRAM 状态时,选通读地址总线(rd_addr)与 DDR2 SDRAM 的地址总线(DDR2_ADDR)互联。另外为了保证读数据有效,在 FIFO 控制器中设计有相应的限制语句,只有当读地址(rd_addr)小于写地址(wr_addr)时,才允许读 DDR2 SDRAM 中的数据。“片上 FIFO2”的空满标志信号作为所设计的 FIFO 的空满标志信号。从外部看,该设计是一个具有标准接口的大容量异步 FIFO,而不用关心其内部操作。而且只需要对数据转换模块中的相关参数进行简单的改动,便可以改变该大容量异步 FIFO 的位宽(THE WIDTH)。

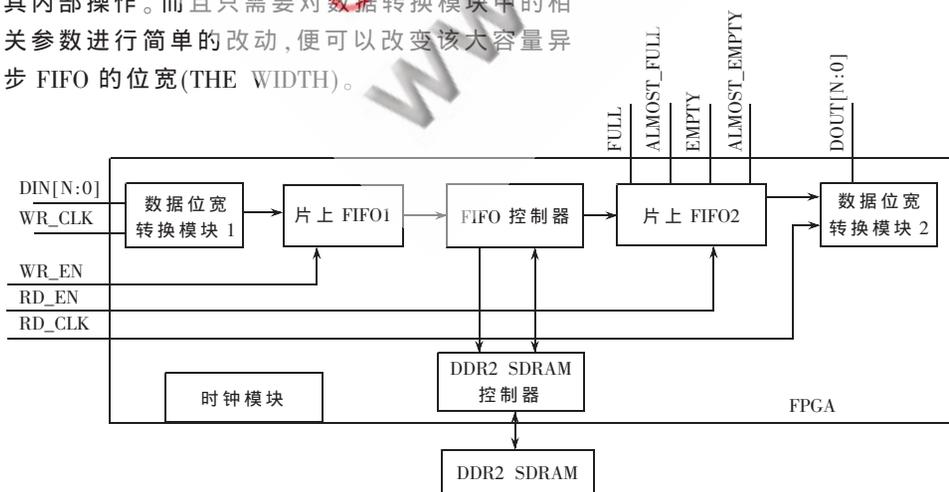


图 1 FIFO 整体结构框图

2 高速大容量异步 FIFO 设计

如图 1 所示,设计主要集中在 FPGA 部分,包括数据位宽转换模块、FIFO 控制器、时钟模块、DDR2 SDRAM 控制器设计以及片上 FIFO 的定制。

2.1 DDR2 SDRAM 控制器设计

存储器控制器需要对包括存储器控制状态机在内的所有构建模块加以集成。控制器状态机必须按正确顺序发出命令,同时还要考虑存储器器件的时序要求。而且存储器控制器状态机因存储器架构(DDR、DDR2、QDR2、RLDRAM 等)、组数(BANK)、数据总线宽度、存储器器件的宽度和深度、组和行存取算法等变量的不同而异。因此,创建存储器控制器是一项极其复杂、精细的任务。

使用 MIG (Memory Interface Generation) 软件工具^[4]可以生成一个完整的设计,减少了设计人员的工作量,简化了系统设计。设计人员通过在 MIG GUI 中设置系统和存储器参数,整个过程不用一分钟,MIG 工具即可生成存储器控制器有关的 RTL 和 UCF 文件。MIG 设计流程如图 2 所示。

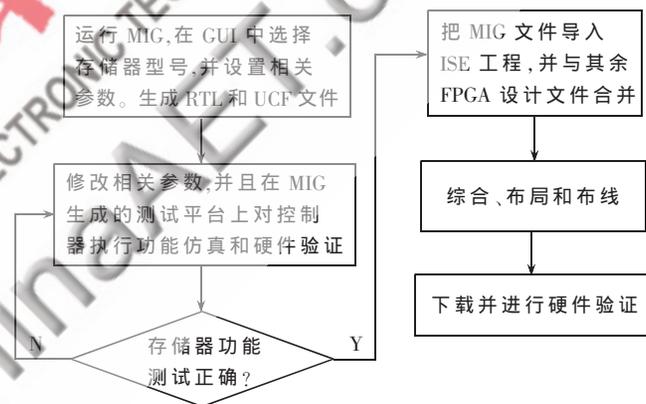


图 2 MIG 设计流程

设计采用 Xilinx 提供的免费 IP 核 MIG2.3 来设计 DDR2 SDRAM 控制器。所用 FPGA 为 Virtex-5 FPGA XC5v1x110T。控制器原理框图如图 3 所示。

其中时钟 & 复位模块 (Infrastructure) 用于生成控制器所需要的各类时钟和复位信号,它的输入时钟可根据用户需求选择单端或差分时钟信号输入。延时控制单元 (Idelay_ctrl) 用于同步校准设计中的延时单元以减少功耗。状态控制单元 (Ctrl) 是控制器中的最关键单元,它生成 DDR2 存储器接口和用户接口所必需的所有控制信号。物理层控制单元 (Phy_top) 是

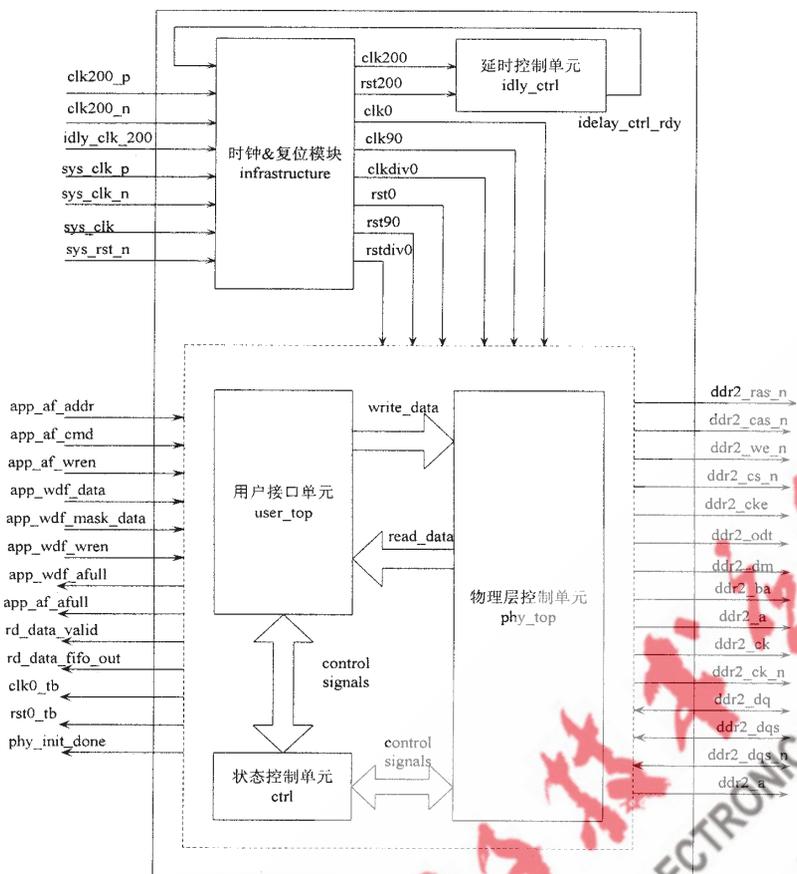


图3 控制器原理框图

设计的物理层接口的顶层模块，它封装了FPGA与DDR2 SDRAM的物理接口信号。用户接口单元(Usr_top)作为设计中的用户接口，用于接收和存储用户数据、命令和地址信息。最终将复杂的DDR2 SDRAM访问操作封装成简单的读写两种操作。设计采用的Micron DDR2 SDRAM SODIMM MT4HTF3264HY-667容量为256MB、带宽5.3 GB/S、数据位宽64 bit、含10位列地址线、13位行地址线和2位BANK地址线。上述MIG控制器右侧信号端口用于连接DDR2 SDRAM物理引脚，右侧信号端口用于连接输入时钟和来自FIFO控制器的数据和控制信号线。这些端口类型和位宽刚好与所选定的MT4HTF3264HY-667相匹配。

2.2 片上FIFO设计

所设计的FIFO数据输入/输出端与外界的数据传输、FPGA与DDR2 SDRAM间的通信分别属于不同的时钟域，设计中通过采用两块小容量片上FIFO^[5]作为缓冲来实现他们之间的跨时钟域数据传输。根据所选定DDR2 SDRAM的性能参数，两块片上FIFO的数据位宽设置为128 bit，深度1 kHz。

2.3 FIFO控制器设计

FIFO控制器用于控制两块片上FIFO与DDR2 SDRAM之间的数据通信，其状态转移图如图4所示。由于DDR2 SDRAM具有很高的数据带宽，MT4HTF3264-

667的带宽为5.3 GB/S。远大于FIFO1输入/输出端的数据带宽。所以FIFO控制器根据两块片上FIFO的数据量状况，对DDR2 SDRAM总线进行分时复用。

该状态机工作过程为：

(1)系统上电或复位后，状态机进入空闲状态(idle)，在该状态下输入端片上FIFO1读使能信号(rd_en_wrfifo)、输出端片上FIFO2写使能信号(wr_en_rdfifo)，DDR2 SDRAM控制器的用户地址FIFO使能信号(app_af_wren)，用户数据FIFO使能信号(app_wdf_wren)均无效。

(2)在空闲状态下，当检测到输入端片上FIFO1几乎满，并且DDR2 SDRAM控制器初始化完毕，控制器发送写DDR2 SDRAM命令(cmd = 3'b000)。将读到的数据直接写入DDR2 SDRAM由于DDR2 SDRAM控制器突发长度为4，地址总线按4累加。当检测到片上FIFO1被取空时，回到空闲状态。

(3)在空闲状态，当检测到输出端片上FIFO2几乎空，并且没有检测到输入端片上FIFO1几乎满时，开始读DDR2 SDRAM中的数据，并将读出的数据写入到输出端片上FIFO2。待FIFO2写满后，回到空闲状态。

2.4 时钟模块设计

控制器所需要的系统时钟(sys_clk)和200 MHz时钟(idly_clk_200)由外部33 MHz时钟信号通过FPGA的全局时钟网络后，分别输入到两个定制好的DCM后输出生成。

2.5 数据位宽转换模块设计

该模块用于匹配N位的输入/输出数据位宽和两个片上FIFO的128 bit数据位宽，实现所设计的大容量异步FIFO位宽可配置功能。输入端数据位宽转换模块的基本工作机理是将在WR_CLK时钟作用下连续输入的128/N个数据按先后顺序由高到低组成128 bit数据输出到片上FIFO1的数据输入端口，同时生成一个时钟上升沿作为FIFO1的写时钟，将该128 bit宽数据写入到片上FIFO1中。输出端数据位宽转换模块将从片上FIFO2读到的128 bit宽数据是由高到低依次拆分为128/N个N位宽数据，并且在RD_CLK上升沿先后输出这些数

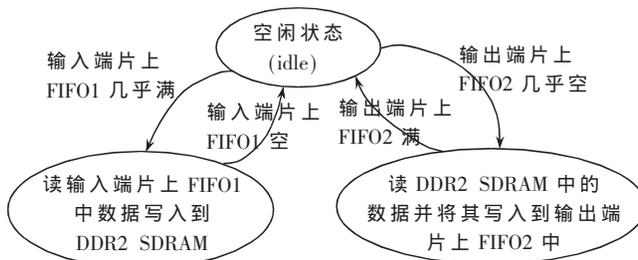


图4 FIFO控制器状态转移图

据。当这些数据输出完毕后,该模块输出一个上升沿脉冲作为输出端片上 FIFO2 的读时钟信号,读取下一个 128 bit 宽的数据。

3 实验测试

为了测试系统的性能,设计了专门的测试系统对所设计的 FIFO 进行测试,如图 5 所示。

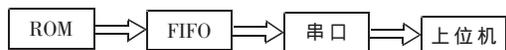


图 5 测试系统框图

基本工作机理是,在 FPGA 内部定制一块存有 4KB 已知数据的嵌入式 ROM。该 ROM 在时钟 CLK 和循环地址计数器的作用下输出数据流,该数据流经过待验证的 FIFO 缓存后,通过串口发送到上位机上显示。通过比较上位机接收到的数据与 ROM 中存储的数据是否一致,便可以判断系统设计是否正确。

分别对不同位宽的 FIFO,通过改变 ROM 的时钟 CLK 模拟生成 FIFO 的高低速率输入数据流,进行反复的实验测试,结果表明上位机上接收到的数据与 ROM

中存储的数据是一致的。

参考文献

- [1] 金明,罗飞路,朱霞飞.FIFO 芯片在高速系统中的应用[J].电子技术应用,1998,24(3):61-62.
- [2] 郭照南,李儒峰.FIFO 芯片 AL422B 在视频系统中的应用[J].湖南工程学院学报,2002,12(1):37-38.
- [3] 徐欣,周舟,李楠,等.基于 DDR2 SDRAM 的高速大容量异步 FIFO 的设计与实现[J].中国测试,2009,35(6):34-37.
- [4] Memory interface solutions user guide. http://www.xilinx.com/support/documentation/ip_documentation/ug086.pdf.
- [5] LogiCORE? IP FIFO Generator v6.2. http://www.xilinx.com/support/documentation/ip_documentation/fifo_generator_ug175.pdf.

(收稿日期:2010-10-22)

作者简介:

庾志衡,男,1986 年生,硕士研究生,主要研究方向:智能信息处理与嵌入式应用。