

基于 Ansoft 仿真分析的 SSN 解决方案探讨*

李学平^{1,2}, 李玉山¹

(1.西安电子科技大学 电子工程学院, 陕西 西安 710071;

2.西安理工大学 信控系, 陕西 西安 710082)

摘要: 利用 Ansoft 公司的设计仿真工具, 结合具体电路对部分电源分配系统进行了优化设计, 重点研究了对 SSN(同步开关噪声)的抑制。对采用传统的加退耦电容方法提高其高频特性和高阻抗电磁表面(EBG)结构应用到具体电路设计中减小同步开关噪声(SSN)进行了比较, 结果证明, 采用 EBG 结构比传统单纯加去耦电容效果更佳。

关键词: 电源完整性; 同步开关噪声; 退耦电容; 高阻抗电磁表面结构

中图分类号: TN41

文献标识码: A

文章编号: 1674-7720(2011)04-0068-03

Research of SSN solutions based on Ansoft simulation analysis

Li Xueping^{1,2}, Li Yushan¹

(1.School of Electronic Engineering, Xidian University, Xi'an 710071, China;

2.Department of Message Control, Xi'an University of Technology, Xi'an 710082, China)

Abstract: The essay analyzes the inhibition to SSN by using the design and emulation tools from Ansoft Co., which are used in the optimization design on PDS and integrated with particular circuit designs. The traditional means of adding decoupling capacitor is adopted to inspect and verify that increased decoupling capacitors will help to increase high frequency response. A high impedance electromagnetic surface texture which can be applied to decrease SSN. Test run results show that EBG is better than traditional adding decoupling capacitor.

Key words: power integrity; SSN; decoupling capacitor; EBG

电源完整性 PI(Power Integrity)是指由于开关器件数目不断增加, 供电电压不断减小, 电源输出产生波动, 从而影响芯片的工作状态和输出信号的质量。因此, 除了分析信号完整性中的反射、串扰以及 EMI 之外, 如何获得稳定可靠的电源系统成为一个新的重点研究方向。

PI(Power Integrity)和 SI(Signal Integrity)不可分割, 以往的 EDA 仿真工具在进行信号完整性分析时, 一般都是简单地假设电源绝对处于稳定状态, 但是这与实际情况是不符合的, 新一代的信号完整性仿真必须建立在可靠的电源完整性基础之上。由于电源完整性不仅强调电源供给的稳定性, 还包括在实际系统中总与电源密不可分。因而如何减少地平面的噪声也是电源完整性中需要讨论的一部分。本文主要就解决信号完整性问题中如何减小 SSN 做了探讨。

1 增加退耦电容抑制 SSN

本文以一个从 Ansoft 公司网站下载的, 用于数字信号处理研究的电路板的设计为例说明增加退耦电容抑制 SSN 的过程。

电路板的电源层和地层的大小为 22.86 cm×15.24 cm。电源层和地层都是厚度为 0.037 mm 的铜皮层, 中间走线层为第 3 层至第 6 层, 表面(SURFACE)是封装焊盘, 第 2 层和第 7 层分别是地层和电源层。

为了理解对电路板的设计, 首先考虑电路板的裸板(未安装器件)特性。根据电路板上高速信号的上升时间 $T_r=0.17$ ns, 可得截止频率 $F_{knee} = \frac{1}{2T_r} = 3$ GHz, 经测量可知所用电路板上所关注的 PAL22V10_SMSOCKETAMDU17 芯片会在 1 ns 内产生 0.2 A 的输入电流变化。在如此短

* 基金项目: 国家自然科学基金(60871072)

技术与方法 Technique and Method

时间内产生大电流变化将会使电路板产生各种模式的谐振,导致电源层和地层电压的不均匀。

在 3 GHz 频域范围内仿真裸板的谐振特性。具体作法为在板子的一侧电源和地之间加一个 0.1Ω 的电阻,等效 VRM 作用。在 U17 芯片的中间位置加一个 port,连接电源和地层,频率范围为 1 MHz~3 GHz。经测试此时的裸板 Z 参数图如图 1 所示。

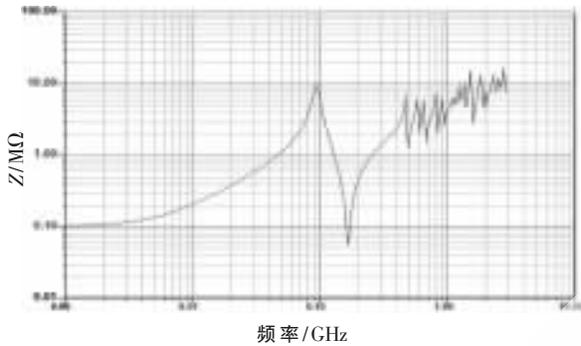


图 1 裸板 Z 参数

由图 1 中可知一个谐振点为 0.08 GHz,从 0.08 GHz 开始扫频到 3 GHz,部分谐振点和对应的电源/地之间电压分布如图 2 所示。

Mode	Re-Freq [GHz]	Im-Freq [GHz]	Z	Waveform	U [V]
1	0.324421515	0.003448164	9.71938102	0.52495952	47.14650000
2	0.325665962	0.006733339	7.029201958	0.2937125	54.438623000
3	0.457195472	0.004637187	3.59945618	0.2460337	63.916474000
4	0.571425841	0.002919412	11.97641722	0.25463033	60.00599800
5	0.63388638	0.006400989	12.20486529	0.43996638	49.432956800
6	0.670037862	0.013526189	14.21688923	0.49395989	29.357003000
7	0.793627770	0.007902222	16.62801623	0.4446271	49.448011000
8	0.897396656	0.003189443	18.93749423	0.3391121	53.380011000
9	0.995825826	0.002717771	19.94250323	0.3348917	52.352111000
10	0.981388256	0.008950269	20.14894444	0.3191947	49.432956800
11	1.047897153	0.018164129	21.96336262	0.2937125	54.438623000
12	1.071620320	0.018793170	20.9842369	0.2781647	53.380011000
13	1.173284321	0.011188288	23.5337622	0.2898849	51.788810000
14	1.202420280	0.018967874	24.00708560	0.2487485	64.888000000
15	1.270834307	0.013481679	25.22891227	0.23891	65.800000000
16	1.324881256	0.012460437	25.703398	0.23456	62.382220000
17	1.363939262	0.015499928	25.823333	0.23456	64.888000000

图 2 谐振频率对应表

由图 2 可知,电路板会谐振于许多不同的频率点。通过仿真可以得到:分别在 0.324 GHz 和 0.793 GHz 的谐振模式下,前者在 U17 芯片中心处电源层和地层的电压差变化为零,而后者不为零。

可以将短时间内产生的大量电流变化的器件放置于零压差变化点,从而避免电路板产生低频谐振模式。

尽管器件的布局与放置的位置有助于减小电源完整性的问题,但它们并不能解决所有的问题。首先,不可能将所有的关键器件都放在电路板的中心,通常情况下,器件放置的灵活性是有限的;其次,在任何给定的位置总会有一些谐振模式被激发。如图 3 所示,“o”曲线显示的是当位于电路板中心处的芯片从电源平面吸入电流时引起的谐振现象;“-”曲线表示将芯片放置偏移中心位置时的响应。从中看出若将芯片放置在沿某一坐标轴偏移中心位置时,其他的谐振模式将被激发。成功设计电路板的 PDS (电源分配系统) 的关键在于在合适的位置增加退耦电容,以保证电源的完整性和在足够宽的

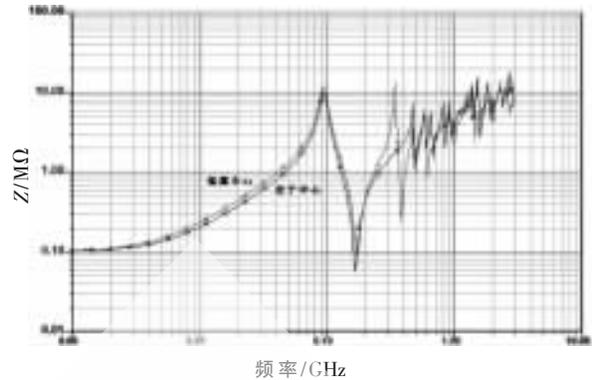


图 3 芯片放置位置不同时产生的新谐振

频率范围内地弹噪声足够小。

为了保证高速器件的正确动作,应该消除电压的波动,保持低阻抗的电源分配路径。为此,需要在电路板上增加退耦电容来将高速信号在电源层和地层上产生的噪声降至最低。电容数量、每一个电容的容值、在电路板上合适的位置都是需要严格定义的。

U17 芯片在 1 ns 的上升沿吸入 0.2 A 的电流,此时电源电压会暂时降低(压降),而地平面电压会暂时被拉高(地弹)。其变化幅度取决于电路板的阻抗和芯片偏置管脚处用于提供电流的退耦电容。

由于电流的瞬变值为 0.2 A,电压的瞬变值由 $V=Z \times I$ 决定, Z 是从芯片端等效的阻抗,图 4 所示为本文所用电路板的阻抗分布图。为了避免电压的尖峰波动,在从直流到信号带宽的频率范围内, Z 值必须低于某一门限值 Z_{target} , Z_{target} 变化幅度取决于电路板的阻抗和芯片偏置管脚处的用于提供电流的退耦电容;为了避免电压的尖峰波动,在从直流到信号带宽的频率范围内, Z 值必须低于某一门限值。图 4 中虚线部分即为 PDS 阻抗应该满足的目标区域。

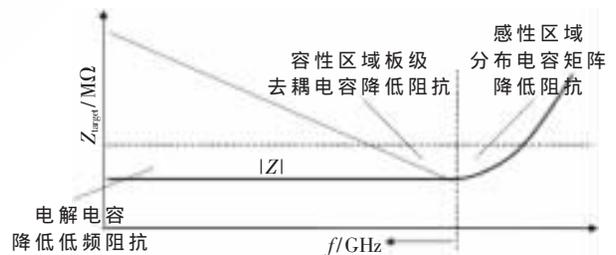


图 4 阻抗分布图

在该设计中,为了保持电源的完整性,电源/地的电压波动必须保持在标准值 3.3 V 的 5% 以内。因此噪声不能大于 $0.05 \times 3.3 \text{ V} = 165 \text{ mV}$ 。可以据此按照欧姆定律计算出 PDS 的最大阻抗 $Z_{\text{target}} = 165 \text{ mV} / 0.2 \text{ A} = 0.825 \Omega$ 。

在设计中,最快信号跳变时间为 0.17 ns,所以整体设计的截止频率为 3 GHz。为了达到此带宽,通常需要在 MHz 信号区域放置很多高频瓷片电容(nF),在 kHz 信号区域放置体积较大的电解电容(μF)。通过系统设计书可知 U17 芯片的上升时间约为 1 ns,所以它的工作截止频

技术与方法 Technique and Method

率约为 500 MHz。因此要求在 500 MHz 频率范围内, U17 芯片附近电源/地阻抗低于 0.825Ω 。

使用 SIwave 可以在 IC(U17) 芯片电源/地处放置一个端口, 计算电路板在适当带宽内的输入阻抗。仿真显示了电路板本身电容的影响而忽略了经过电源的低感应电流回路, 由仿真结果可知, 阻抗随着频率的减少而增加, 但由于经过电源的回路存在低阻抗, 因此这种关系并不严格。

为了使阻抗在 1 MHz 处低于目标阻抗 0.825Ω , 电容值至少为 $0.18 \mu\text{F}$, 为此首先需要增加 6 个 30 nF 的电容矩阵 ($\text{ESL}=0.5 \text{ nH}$, $\text{ELR}=0.05 \Omega$), 此时的仿真 Z 参数如图 5 所示。

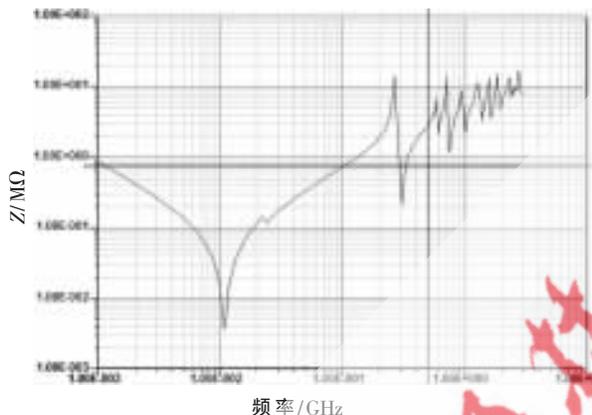


图 5 添加第一组去耦电容后的 Z 参数

继续做谐振仿真, 板子在 $f=0.257 \text{ GHz}$ 处发生谐振, 再添加 4 个 10 nF 的电容矩阵 ($\text{ESL}=0.3 \text{ nH}$, $\text{ELR}=0.03 \Omega$), 此时的仿真参数如图 6 所示。

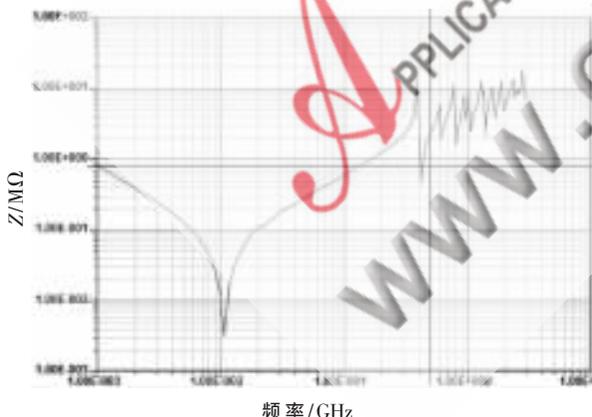


图 6 添加第二组去耦电容后的结果

由图 6 可知, 第一个尖峰值从图 5 中的 180 MHz 变到了图 6 中的 400 MHz , 然后在 U17 周围添加 4 个去耦电容, 分别为 0.3 nF 、 1 nF 、 3 nF 、 10 nF 的电容矩阵 ($\text{ESL}=0.1 \text{ nH}$, $\text{ELR}=0.01 \Omega$), 为了使仿真与实际情况相符, 还在板子上端添加一个 0.1Ω 的 VRM 等效电阻, 此时的仿真 Z 参数如图 7 所示。由图 7 可知, 添加去耦电容后, 电源/地之间的阻抗变得非常小, 在 500 MHz 频率

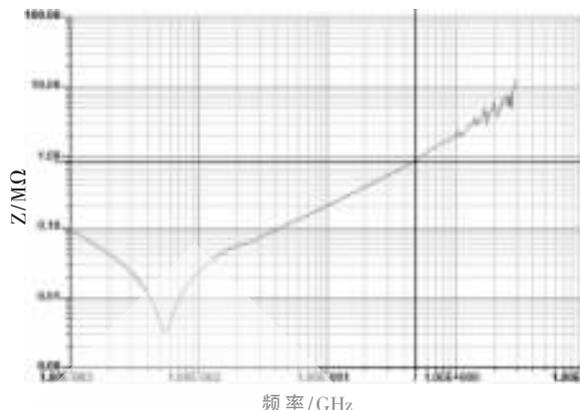


图 7 添加第三组去耦电容矩阵的结果

内, 基本低于 0.825Ω 。由于容值更小的电容具有更小的 ESL 和 ESR 值, 因此增加旁路电容的数量有助于提高其高频特性。

2 采用 EBG(高阻抗电磁表面结构)抑制 SSN

EBG 结构是具有带阻特性的周期性结构, 可以采用金属、铁磁或铁电物质植入基质材料, 或者由各种合适材料周期性排列而成。采用 EBG 结构作为 PCB 衬底时, 跨越几个 EBG 周期单元的电路元件将能实现滤波。利用 EBG 结构可以实现在微带电路衬底中集成具有很宽阻带的滤波器, 当和其他电路元件有机地结合起来时, 可节省电路空间。

采用 EBG 结构抑制 SSN 时, 特别在高频时, 效果比单纯加去耦电容好许多。因为频率的升高要求加入的去耦电容的数量随之变多, 从而引起其他的一些效应。而采用 EBG 结构+去耦电容的方式则可以更有效地在更高频率范围上提供一个较大的禁带宽度, 在最高频率下能尽量满足 PDS 的最小阻抗要求, 从而减小 SSN。

本文将对此单纯加去耦电容的 PDS 设计和采用 8×8 方形 EBG 结构加去耦电容 PDS 设计的仿真结果。第一组数据是两个 $80 \text{ mm} \times 80 \text{ mm}$ 的平面电路板之间分别加入 6×6 电容矩阵和 9×9 电容矩阵, 电容为 10 nF , 忽略其 ESL 和 ESR。分别测试其 Z 参数。

结果表明 6×6 电容矩阵在频率为 2 GHz 以下其特性阻抗低于 7Ω , 9×9 电容矩阵在频率为 3.7 GHz 以下保持其特性阻抗低于 7Ω 。

第二组数据采用前面分析 8×8 EBG 结构+ 6×6 去耦电容矩阵和 8×8 改进 EBG 结构+ 6×6 去耦电容矩阵两种结构, 并仿真得出结果。

结果显示 8×8 EBG+ 6×6 去耦电容矩阵结构可以使特性阻抗在频率为 3.4 GHz 以下都保持低于 7Ω , 而 8×8 改进 EBG+ 6×6 去耦电容矩阵结构则可以使特性阻抗在频率为 4.2 GHz 以下都保持低于 7Ω , 结果表明采用 EBG 结构的 PDS 设计比传统单纯加去耦电容更具有优势。

参考文献

- [1] CHEN Guang, KATHLEEN M, JOHN P. The applications of EBG structures in power/ground plane pair SSN suppression [J]. IEEE Microwave and Wireless Components Letters, 2004, 15(3).
- [2] HOWARD J, MARTIN G. High-speed digital design[M]. Prentice Hall PTR, 1993.
- [3] BOGATIN E. Signal integrity-simplified[M]. Prentice Hall PTR, 2003.
- [4] PART M D, PANT P, WILLS D S. On-chip decoupling capacitor optimization using architectural level prediction[J]. IEEE Transactions on Very Large Scale Integration(VLSI) Systems, 2002(2):319-326.
- [5] KOZHAYA J N, NASSIF S R, NAJM F N. A multigrid-like technique for power grid analysis[J]. IEEE Trans. on CAD of integrated circuits and systems, 2002, 21(10):1148-1160. (收稿日期:2010-09-21)

作者简介:

李学平,男,1980年生,硕士,讲师,主要研究方向:高速互联设计和信号完整性(SI)。

李玉山,男,1945年生,教授,博士生导师,主要研究方向:高速互联设计及信号完整性分析研究。

