

基于 FPGA 的 915 MHz 射频读卡器设计*

杨碧华¹, 文张斌²

(1.暨南大学 信息科学技术学院, 广东 广州 510632;

2.暨南大学 信息技术研究所, 广东 广州 510075)

摘要: 参照 ISO/IEC 18000-6 Type B 协议设计了一款工作频率为 915 MHz 的射频读卡器, 采用 FPGA 完成协议中规定的数字信号处理, C8051F020 单片机作为主控器。利用 Verilog HDL 硬件描述语言, 搭建 FPGA 内部各个小模块及系统的验证平台, 选用 Altera 公司 Cyclone 系列的 EP1C6Q240C8 芯片为目标器件, 使用 Quartus II 进行综合, 并通过时序和功能验证。实验结果表明, 该读卡器符合 ISO/IEC 18000-6 Type B 协议要求, 具有结构灵活、体积小、升级容易等优点。

关键词: 射频识别; 读卡器; FPGA; C8051F020

中图分类号: TP338.1

文献标识码: A

文章编号: 1674-7720(2011)03-0022-04

Design of 915 MHz radio frequency reader based on FPGA

Yang Bihua¹, Wen Zhangbin²

(1.College of Information Science and Technology, Jinan University, Guangzhou 510632, China;

2.Institute of Information Technology, Jinan University, Guangzhou 510075, China)

Abstract: Based on ISO/IEC 18000-6 Type B protocol, a 915 MHz RFID reader was designed. FPGA was used to process the digital signal that was based on the protocol and C8051F020 was used as the controller. Each module in FPGA and verification module were designed by Verilog HDL. They were synthesized by Quartus II with EP1C6Q240C8 CMOS chip of the Altera as the target device, and they were verified on both timing and function. The result showed that it could satisfy the technology index of ISO/IEC18000-6 Type B requests and possesses the advantages of flexible structure, small size, easily upgrading and so on.

Key words: RFID; reader; FPGA; C8051F020

射频识别(RFID)技术是一种非接触式的自动识别技术, 通过射频信号自动识别目标对象并获取相关信息。通常 RFID 系统主要由应用软件、射频卡以及读卡器三部分构成^[1]。相对于低频段的 RFID 系统, 工作在 860 MHz~960 MHz 的超高频段 (UHF)RFID 系统有着读取距离远、阅读速度快等优点, 是目前国际上 RFID 技术发展的热点^[2]。读卡器的设计是 RFID 系统设计中的关键部分, 设计方案有很多种。FPGA^[3]具有开发简单、静态可重复编程和动态在线编程的特点, 已经成为当今应用最广泛的可编程专用集成电路。目前生产 RFID 产品的很多公司都使用自己的标准, 可供射频卡使用的几种标准有 ISO/

IEC 11784、ISO/IEC 14443、ISO/IEC 15693 和 ISO/IEC 18000 等。其中应用最多的是 ISO/IEC 14443、ISO/IEC 15693 和 ISO/IEC 18000 这三个标准^[4]。本文基于 ISO/IEC 18000-6 Type B 协议设计了一款工作频率为 915 MHz 的读卡器。

1 读卡器的硬件设计

读卡器的硬件可以分为三大模块: FPGA 数字信号处理模块、MCU 及人机接口模块和射频收发模块, 其结构框图如图 1 所示。FPGA 数字信号处理模块用来实现 ISO/IEC 18000-6 Type B 协议中规定的基带数据编解码, MCU 及人机接口模块用来实现指令的跳转控制和返回数据的显示等一些操作接口, 射频收发模块用来处理前端的超高频信号。

* 基金项目: 国家自然科学基金项目(60505018); 广东省自然科学基金项目(8451063201000361)

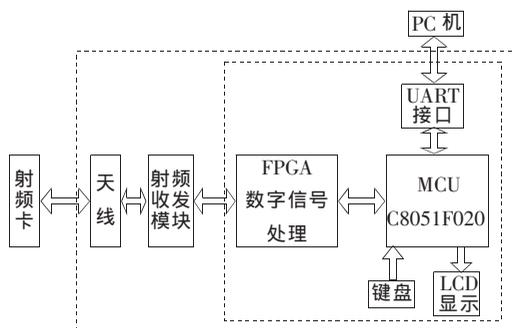


图1 读卡器硬件结构框图

1.1 FPGA 数字信号处理模块

FPGA 数字信号处理模块包含时钟分频模块、FIFO、曼彻斯特编码器、CRC 生成校验、FMO 解码器、串并变换电路及对应的帧发送接收控制器,其结构框图如图 2 所示。

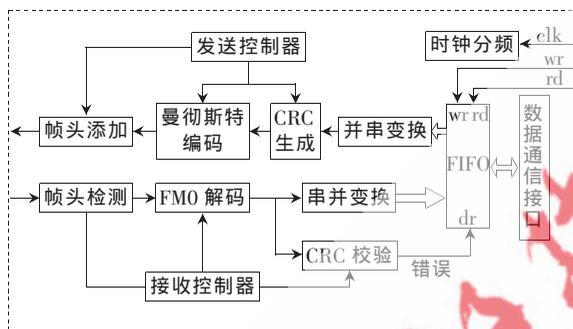


图2 FPGA 数字信号处理模块结构框图

该模块的内部工作流程如下:

(1) 发送部分

①数据通信接口 8 bit 并行接收来自 MCU 的命令数据,数据在 FIFO 中缓冲。

②数据做并行到串行的转换。

③在发送控制器的控制下,串行数据通过 CRC 模块,生成 16 bit 的 CRC 校验值,并附加在原数据的后面。

④根据 ISO/IEC 18000-6 Type B 协议规定,把上述的数据进行曼彻斯特编码。

⑤把已经过曼彻斯特编码的数据引向一个已预置帧头的移位寄存器,数据一到便启动移位寄存器,然后把输出数据传送给射频收发模块。

(2) 接收部分

①从射频收发模块接收一帧基带信号,用移位寄存器来检测帧头。若检测到帧头,则发一个收到帧头的信号给接收控制器。

②若接收控制器接收到帧头的信号,则马上启动 FMO 解码。

③解码后的数据传送给串/并行的转换电路,转换后的数据暂存在 FIFO。

④同时解码后的数据也送给 CRC 模块进行校验,若校验结果错误,则清除存于 FIFO 中的数据,通知 MCU

其接收的数据错误;若校验结果正确,则把 FIFO 中的数据传送给 MCU。

1.2 MCU 及人机接口模块

MCU 及人机接口模块以 C8051F020 单片机^[5]为核心,由 FPGA 接口、LCD、PS/2 键盘、UART 接口以及 JTAG 接口等外围电路组成,其结构框图如图 3 所示。

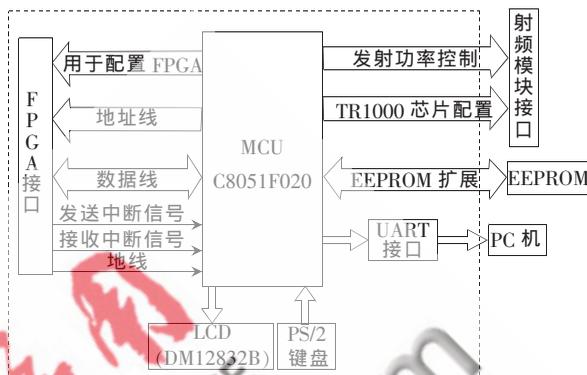


图3 MCU 及人机接口模块结构框图

该模块实现的功能有:(1)C8051F020 负责整个读卡器内各部分的协调工作(包括与计算机的数据通信);(2)在启动时向 FPGA 传送配置数据,初始化 FPGA;(3)在读卡过程中向 FPGA 传送读卡命令,然后通过 INT1 中断启动接收 FPGA 信号;(4)处理接收回来的射频卡信息(卡号、密码等);(5)实现二进制树形防撞功能;(6)驱动 LCD,显示系统的提示信息;(7)扩展一个 PS/2 键盘,可以输入数据及命令;(8)控制 TR1000 芯片,设置 OOK 发射方式或 ASK 接收方式;(9)控制发射功率大小;(10)扩展 EEPROM,存储读出的射频卡的信息。

1.3 射频收发模块

超高频段射频收发模块的开发一般可以采用两种方案:一是采用分立元件搭建射频电路;二是采用无线射频收发模块以实现基带信号的调制解调^[6]。由于第一种方法的电路调试比较麻烦,而且会占用很长的开发时间,所以本设计采取第二种方案。

ISO/IEC 18000-6 Type B 协议规定读卡器到射频卡端的射频调制方式为调制深度为 99% 的 ASK 调制,也就是可以近似看作为 OOK 调制;而射频卡到读卡器端的射频调制方式为反向散射调制,其调制方式与 ASK 调制类似,所以在解调端可以按照 ASK 方式解调。射频收发模块的核心芯片采用 RFM 公司的 TR1000 芯片。TR1000 是一款单片 OOK/ASK 通用无线射频收发器芯片,适合高稳定、小尺寸、低功率、低价格的短距离无线数据通信和无线控制应用。

2 读卡器的软件系统设计

软件设计采用模块化和结构化的编程思想,在初始化的时候由单片机配置 FPGA。考虑到 C 语言可读性强,移植性好以及 MCU 的实际情况,本设计采用 C 语言对 C8051F020 进行编程。读卡器的软件系统大致可以分

为:读写卡操作程序、防冲突程序和串行通信程序。

2.1 读写卡操作程序

读写卡操作程序完成基于 ISO/IEC 18000-6 Type B 协议的基带信号编解码,其程序设计流程图如图 4 所示。

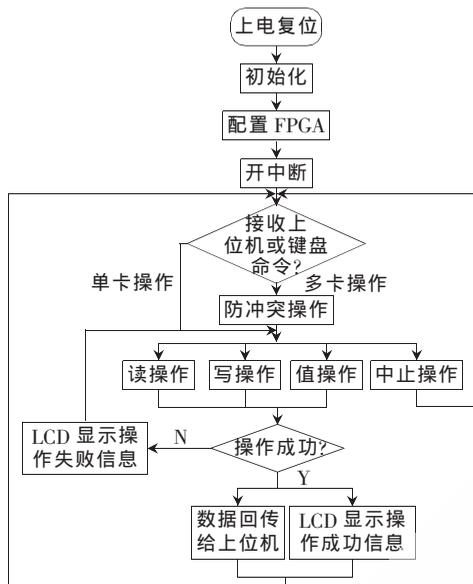


图 4 读写卡操作程序流程图

具体工作过程如下:(1)上电复位,系统初始化,包括单片机时钟、端口、LCD、定时器的初始化,配置 FPGA 和开中断。(2)等待接收上位机或键盘发送的指令。(3)对指令进行判断,如果为多卡操作,则进入防冲突子程序;如果为单卡操作,则直接进行读卡、写卡、值操作和中止操作。(4)若操作成功,所得数据回传给上位机,同时驱动 LCD 显示操作成功信息;若操作失败,则驱动 LCD 显示操作失败信息。

2.2 防冲突程序

当读卡器对射频卡进行多卡操作时,在其天线覆盖范围内的所有射频卡将被激活,并处于识别状态,造成了多张射频卡读写冲突。所以解决冲突是多卡操作的关键。ISO/IEC 18000-6 Type B 协议详细规定了防冲突机制,其程序设计流程图如图 5 所示。该防冲突机制的原理是利用随机产生的 0 和 1 信号实现二进制树形搜索,并且设定了成功命令,进一步提高了搜索的效率,是一种二进制树形的防冲突算法^[7]。具体实现过程为:首先,射频卡进入读卡器的工作范围,从离场掉电状态进入就绪状态。读卡器可以通过 GroupSelect 命令和 GroupUnselect 命令让读卡器工作范围内处于就绪状态的所有或部分的射频卡参与防冲突过程。针对该模式的防冲突机制,射频卡应该具有如下两种硬件电路:一个 8 bit 的计数器和一个 0、1 随机数发生器。当射频卡进入识别状态(ID 状态)后,将其内部的计数器清 0,其中的一部分可以通过接收 GroupUnselect 命令重新回到就绪状态,其他处于识别状态的射频卡则进入了防冲突执行的过程中。被选中的射频卡开始下面的循环:(1)所有处

于识别状态并且内部计数器为 0 的射频卡将发送其识别码;(2)如果有一个以上的射频卡发送识别码时,读卡器将检测到冲突而发送 Fail 命令;(3)所有接收到 Fail 命令并且内部计数器不等于 0 的射频卡将把本身的计数器加 1;所有接收到 Fail 命令并且内部计数器等于 0 的射频卡(即刚刚发送过应答的射频卡)将产生一个 1 或 0 的随机数。如果选择了 1,射频卡将把自己的计数器加 1;如果选择了 0,射频卡将保持计数器为 0 并且再次发送它们的识别码。在接下来的过程中会出现 4 种可能的情况;(4)情况 1:如果有一个以上的射频卡发送,将重复步骤(2);(5)情况 2:如果所有的射频卡都随机选择了 1,读卡器将接收不到应答,此时,读卡器将会发送 Success 命令,所有的射频卡的计数器减 1,然后计数器等于 0 的射频卡开始发送,接着重复步骤(2);(6)如果只有一个射频卡发送并且它的识别码被读卡器正确接收,读卡器将发送包含识别码的 DataRead 命令,射频卡正确接收该条命令后将进入数据交换状态,开始发送它的数据。此后,读卡器将发送 Success 命令,使处于识别状态的射频卡的计数器减 1;(7)情况 3:如果只有一个射频卡的计数器等于 0 并且返回应答,重复步骤(5)读卡器发 Success 命令或重复步骤(6)发送 DataRead 命令;如果有一个以上的射频卡返回应答,重复步骤(2);(8)情况 4:如果只有一个射频卡返回应答,并且它的识别码未被正确接收,读卡器将发送一个 Resend 命令。如果识别码被正确接收,重复步骤(5)。如果识别码被重复几次的接收(这个次数可以基于系统所希望的错误处理标准来设定),就假定有一个以上的射频卡在响应,重复步骤(2)。

经过如上的防冲突过程,射频场内的射频卡将可以逐一被识别并进行数据交换。

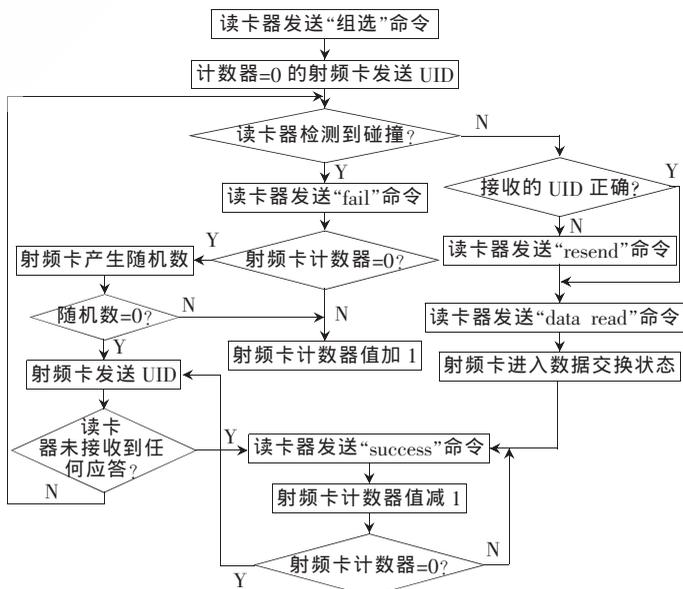


图 5 防冲突机制流程图

2.3 串行通信程序

系统使用 PC 机作为上位机,读卡器作为下位机。上位机与下位机之间的通信采用基于 RS-232-C 的串口通信。RS-232-C 是一种串行通信总线标准,是数据终端设备(DTE)和数据通信设备(DCE)之间的接口标准,不同厂家生产的设备,只要它们都具有 RS-232-C 标准接口,则不需要任何转换电路,就可以互相插接起来。

串行通信程序是 MCU 与 PC 机通信的控制程序。发送程序采用查询的方式设计,即把待发送的数据先送到缓冲区中,然后查询串口发送中断标志是不是有空,若有空就发送下一个数据。

接收程序采用中断的方式设计,即当 PC 机要发数据给 MCU 时,主动向 MCU 申请中断,接收中断标志有效,则 PC 向 MCU 传送数据。

3 验证方案

3.1 验证平台的建立

为了验证所设计的读卡器能否完成预期的功能,设计了相应的验证平台^[8]。验证平台由数据解码通道、数据编码通道以及指令分析器三部分组成。数据解码通道是对读卡器发送出的数据帧进行解码,提取指令的原始数据;指令分析器是对收到的指令数据进行判断,同时返回相应的数据并发送给数据编码通道;数据编码通道则是对发送来的数据进行编码,再发送给读卡器。

平台采用 Verilog HDL 硬件语言搭建,选用 Altera 公司 Cyclone 系列的 EP1C6Q240C8 芯片为目标器件,使用 Quartus II 进行综合验证,其结构框图和电路原理图分别如图 6、图 7 所示。

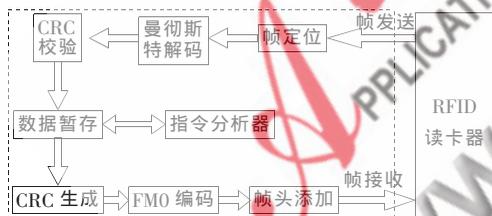


图 6 验证平台结构框图

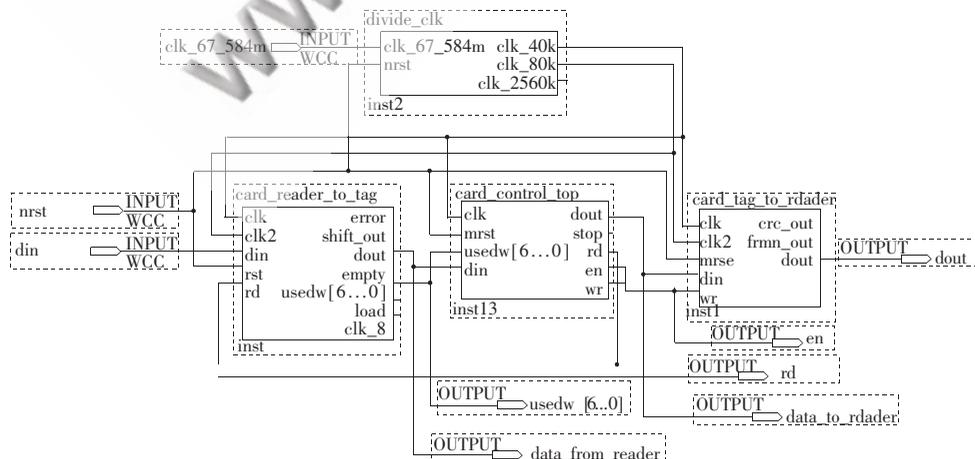


图 7 验证平台电路原理图

3.2 测试结果分析

(1) 时序分析

通过运行 QuartusII 7.1 自带的时序分析器,可以得到时序分析的一些参数: t_{su} (输入建立时间)、 t_{co} (时钟到输出延时)、 t_h (保持时间)分别为 3.530 ns、13.174 ns、0.751 ns。基频时钟 clk 最大可以达到 89.06 MHz,而 ISO/IEC 18000-6 Type B 协议规定的基频时钟为 40 kHz。从分析本系统的时序结果显示,完全符合协议要求。具体的时序分析结果如图 8 所示。

Type	Clock	要求时间	实际时间
1	Ward-case:tau	None	3.530 ns
2	Ward-case:tc	None	13.174 ns
3	Ward-case:th	None	0.751 ns
4	Clock Setup:clk2	None	96.34 MHz (周期 = 10.378 ns)
5	Clock Setup:clk	None	89.06 MHz (周期 = 11.228 ns)
6	Clock Setup:clk1	None	Restricted to 275.00 MHz (周期 = 3.636 ns)

图 8 时序分析结果

(2) 功能分析

功能分析以 GROUP_SELECT_LT 命令为例。GROUP_SELECT_LT 命令是多卡操作中的组选命令,射频卡接到此命令,卡内指定地址的数据与帧中提供的数据进行对比。若卡内数据较小,则返回射频卡的 64 bit 序列号,否则不作任何响应。GROUP_SELECT_LT 命令的命令号为 03,地址设为 0F,掩码设为 FF,64 bit 数据全设为 F,所以从 MCU 传给 FPGA 的命令数据为 03_0F_FF_FFFF_FFFF_FFFF_FFFF。原始数据经过 FPGA 数字信号处理模块处理后,成了一帧基带数据信号。验证平台将读卡器发来的数据帧进行解码,然后判断指令并返回射频卡的 64 bit 序列号,经编码后成一帧数据帧发送给读卡器。读卡器收到此帧后即解码,并进行 CRC 校验,若都没有错,则把解码后的数据传输给 MCU。

GROUP_SELECT_LT 命令仿真波形图如图 9 所示,实验证明可实现 ISO/IEC 18000-6 Type B 协议。

随着 RFID 相关国际标准的确立(如 ISO/IEC



图9 GROUP_SELECT_LT 命令仿真波形图

18000)RFID 的研发已成为国际性的课题。在众多 RFID 工作频段中,UHF 频段的 RFID 技术前景最为看好,也成为现今 RFID 技术领域研究的热点。

参考文献

- [1] 周晓光,王晓华.射频识别(RFID)技术原理与应用实例[M].北京:人民邮电出版社,2006.
- [2] 倪荣生.超高频 RFID 系统的发展和趋势分析[J].中国防伪报道,2007(11):41-47.

- [3] 刘韬,楼兴华.FPGA 数字电子系统设计与开发实例[M].北京:人民邮电出版社,2006.
- [4] ISO/IEC JTC1/SC31/WG4N0722. ISO/IEC FDIS 18000-6:2003(E)[S]. Geneva: ISO copyright office, 2003.
- [5] 张迎新,雷文,姚静波.C8051F 系列 SOC 单片机原理及应用[M].北京:国防工业出版社,2005.
- [6] 范佳林.915MHz RFID 阅读器设计[D].大连:大连理工大学,2006.
- [7] 陆永宁.非接触 IC 卡原理与应用[M].北京:电子工业出版社,2006:94-97.
- [8] CILETTI M D. Verilog HDL 高级数字设计[M].张雅琦,李镛,等译.北京:电子工业出版社,2005.

(收稿日期:2010-09-01)

作者简介:

杨碧华,男,1983年生,硕士生,主要研究方向:智能建筑,网络技术与系统集成。