

基于片上系统的无线收发模块设计

阮越

(浙江树人大学 信息科技学院, 浙江 杭州 310015)

摘要: 为满足无线传感器网络、蓝牙技术与无限局域网(WLAN)等领域中无线收发系统低功耗、小型一体化、低成本和高可靠性的技术要求,提出了片上系统(SoC)的设计思路,采用在单芯片上设计无线收发系统,使其最小化和一体化。给出了单芯片无线电的基本结构及电路实现的混频器、低噪声放大器和功率放大器等部分的解决方案。

关键词: 片上系统; 收发器; 单芯片无线电; 低噪声放大器; 功率放大器

中图分类号: TN92

文献标识码: A

文章编号: 1674-7720(2011)03-0042-04

A single chip radio transceiver system design

Ruan Yue

(Information Science & Technology College, Zhejiang Shuren University, Hangzhou 310015, China)

Abstract: A system-on-chip (SoC) design methodology is suggested in order to satisfy the technical requirements of low power consumption, low cost, integration and high reliability in wireless transceiver system such as WSN, Bluetooth, WLAN and so on. Integrate the whole wireless transceiver system into one single chip can greatly minimize its size. This paper presents the basic structure in single chip radio system and several components in circuit implementation, such as mixer, low noise amplifier, power amplifier.

Key words: SoC; transceiver; single chip radio; low noise amplifier; power amplifier

基于片上系统的单芯片无线电通信系统是将发射机、接收器、放大器、电源管理组件以及其他一些基带逻辑电路综合成一个单一芯片的单晶片装置。现代深亚微米 CMOS 技术的迅猛发展使得单芯片无线电的实现成为可能。基于片上系统(SoC)的单芯片无线收发系统具有体积小、低功耗、低成本等特点,可以很方便地嵌入到非常小的或者是便携式的电子产品中。同时,由于所有电路组件都在一块芯片上,与用 PCB 板设计的电路相比,设计的最终产品有更高的可靠性。

1 收发器的结构组成

在单芯片无线电通信中最重要的组成部分是发射和接收,被称为短收发。结构简单的单芯片无线电收发器的示意图如图 1 所示。图中,信号发射部分将逻辑电路产生的一个低频基带信号经由一个混频器调制到适当的频率(上转换),然后信号经功率放大器(PAS)增强后由天线发射出去。

而对于接收模块,当天线接收到信号后,通过低噪

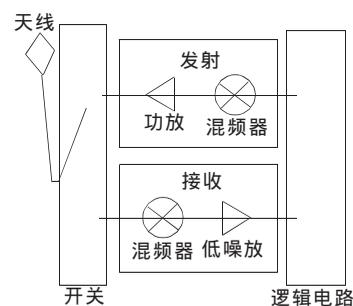


图 1 单芯片无线电收发机

声放大器(LNAs),最后被混频器调制,这次是降低信号的频率,称为下转换。将发射机和接收机双方结合在一个单芯片上,必须有一个允许天线发射和接收信号的开关,并且要在隔离技术,以确保独立的电路不互相干扰^[1-2]。

发射机送电信号经天线进入大气层,如果想得到非常高的频率,如大于 1 GHz 时,发射机将采用连续的上变频来达到正确的频率。但是,如果所需的频率很低,如

在 100 MHz 以下,那么发射机往往用一个直接转换方法或是单上变频方法。直接转换又被称为零中频调制,之所以采用直接转换,是因为这种方法提供更好的噪声特性,使发射机不再需要大体积的滤波器,否则将占去单芯片过大的体积。但如果基带和载波频率不同量级,混频器的设计就变得更加困难。所以,当芯片是采用调幅/调频无线电通信时,应该利用直接转换方案;当发射机被用于 GSM 或 WLAN 的解决方案时,应采用连续的上变频,以达到正确的频率,但增加了系统的复杂性^[3-4]。

1.1 混频器

混频器为一个调制信号频率的电路,在无线电应用中,混频器在基带频率和载波频率之间转换电信号,两路信号驱动混频器,输出的信号是两个输入信号相乘,因此混频器实际上是两个信号的乘法电路,当通过混频器时,输入和振荡器信号将成倍增加,并且能计算出来。线性代数的一个简单性质证明,任何信号都可以用傅里叶级数描述,任何信号都是不同频率的正弦曲线的总和。因此每个信号可以用正弦曲线表示,这是数学三角函数特性引起的频率的加和减。例如,输入 V_1 和 V_2 ,并使它们通过一个混合器, V_1 的形式为 $V_1 = \cos(\omega_1 t)$, V_2 的形式为 $V_2 = \cos(\omega_2 t)$,对傅里叶级数来说, ω_1 和 ω_2 是信号的频率, t 是时间变量。

两个信号的乘积为:

$$V_1 \times V_2 = \cos(\omega_1 t) \times \cos(\omega_2 t) = 1/2 \cos((\omega_1 + \omega_2)t) + 1/2 \cos((\omega_1 - \omega_2)t)$$

因此,其输出频率是由输入频率的相加和相减两部分组成。在实践中,滤波是用来去除不想要的正弦频率分量。在先进的工程设计中,能将滤波器包含在混频器中设计,从而避免大体积的滤波器,这是单芯片无线电通信考虑的一个重要因素^[5]。

1.2 功率放大器(PA)

功率放大器是一个保持电信号波形不失真情况下增加其功率的电路,被用于发射机部分,并放在天线的附近。信号经过功率放大器被送到天线,然后再被发送到外界环境中,由另一个无线电接收装置接收。功率放大器也可串联,以产生与 1 W 相似的所需功率,这取决于无线电信号发送的范围。

本文以一个单芯片的 CMOS 收发系统为例,其收发器有两频段:2.4 GHz 和 5 GHz,采用 802.11a/b/g 无线局域网。

1.3 低噪声放大器(LNA)

低噪声放大器(LNA)是一个旨在限制杂散信号的放大器,它常用在无线电收发机的接收部分,并且非常靠近天线。在大多数情况下,接收机天线接收到的微弱射频信号将包含一些杂散信号,因此,降低噪声对接收机非常重要。根据 Friis 公式对于噪声的描述,接收机的全部噪声指数由最初级所控制,因此,将低噪声放大器放

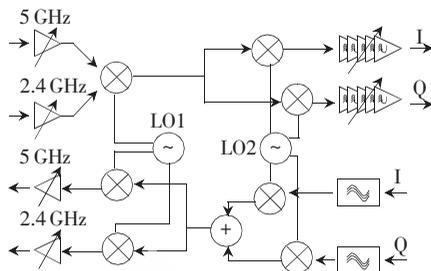


图2 收发器的方框图

在接收部分的前级,以提高信号的抗干扰能力。采用低噪声放大器,后面各级噪音随着 LNA 的增加而减少,而 LNA 的噪声直接注入收到的信号中。因此,当存在少量噪声和失真时,加入低噪声放大器,以增强有用信号功率是必要的。而信号可在系统的后级得到恢复。为了产生适当增益,可以将几个 LNA 串联起来工作^[6]。

1.4 天线

单芯片无线收发装置设计的另一关键部分是天线。为了使整个系统规模较小,许多现代的单芯片无线解决方案上使用片上天线代替分布式天线。常用的方法有:在高阻硅衬底上制造 95×10^3 MHz 的 IMPATT 二极管振荡器的芯片集成天线;在砷化镓基板上制造 43.3 GHz IMPATT 二极管振荡器的芯片集成天线。高阻硅衬底也被用来制造基于天线操作范围在 $90 \times 10^3 \sim 802 \times 10^3$ MHz 的微型机电系统(MEMS)^[7-8]。

除了衬底兼容性以外,要降低成本,天线必须利用主流硅技术上的导体和绝缘层制作。目前,金属层可以是 8~9 层,厚度介于 $0.5 \sim 2 \mu\text{m}$ 之间。导体可以采用铝或铜。该绝缘层分离导体是由于二氧化硅厚度介于 $0.5 \sim 1 \mu\text{m}$ 之间的变化引起。

因此,芯片天线可以用来在集成电路内部以及外部自由空间通信,信号的传播是在传播介质中以光速传播,但在无线互连网中使用的芯片天线不需要光学元件,因为其难于集成^[9]。

2 收发器电路设计

2.1 发射机

双波段发射机的方框图如图 3 所示。

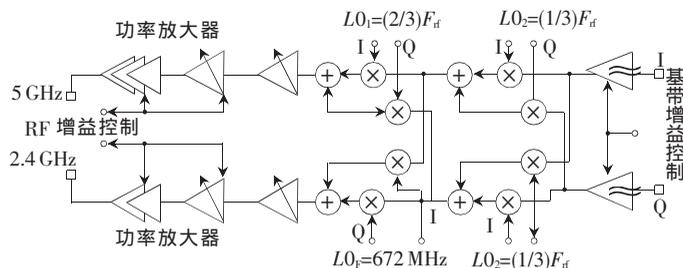


图3 双波段发射机方框图

其中,正交基带 I、Q 信号由同一数字芯片中的 DACs 产生,以电流输入方式送发射机。输入信号先被可重构滤波器滤波,然后混合到 1.7 GHz 的中频。由此,无

网络与通信 Network and Communication

论发射机运行在 2.4 GHz 还是 5 GHz 的模式,中频信号都被 LO_F 或 LO_2 上转换。发射机采用镜像抑制混频,以避免需要一个中频滤波器。对于图 3 中的混频器正交分量 LO_2 和 LO_F 是直接由合成器提供,而正交分量 LO_1 为了产生射频混频局部采用 RC-CR 滤波器。在经过射频可变增益级之后,每一路的射频信号都驱动芯片上的功率放大器(PA)。

图 4 是一个上变频混频器和功率放大器(PA)的电路图,用于蓝牙技术的单片无线调制解调器。由于这种调制解调器采用直接转换,所以在收发中不必使用中频带。

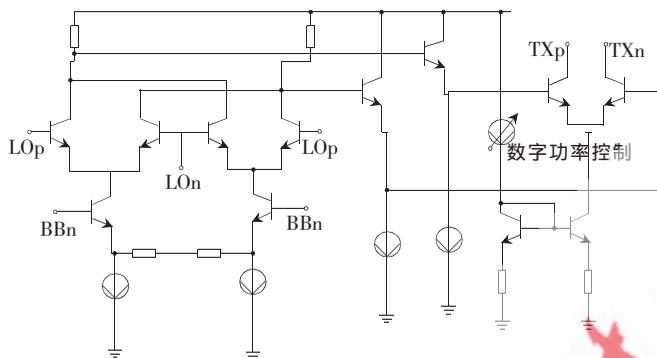


图 4 上变频混频器以及功率放大器电路图

重构的基带信号由电阻衰减 Gilbert 型混频器完成上变频以及电阻负载,如图 4 所示。I-Q LO 驱动信号来自于 2 阶的多相滤波器,它的输入源于一个锁定参考频率为 1 MHz 的 2.4 GHz VCO。功率放大器也如图 4 所示,由单级集电极开路、在同一块芯片上匹配的差分对和为得到最大功率传送的不平衡变压器组成,通过数控尾电流源对差分对导纳的控制来完成分 8 步实现 30 dB 的功率控制^[10]。这种功率放大器能够在 50 Ω 负荷下传送 +3 dBm 的连调,而消耗为 9 mA。

2.2 接收机

图 5 是一个适用于 802.11a/b/g 无线局域网的单芯片无线双频接收机框图^[5]。

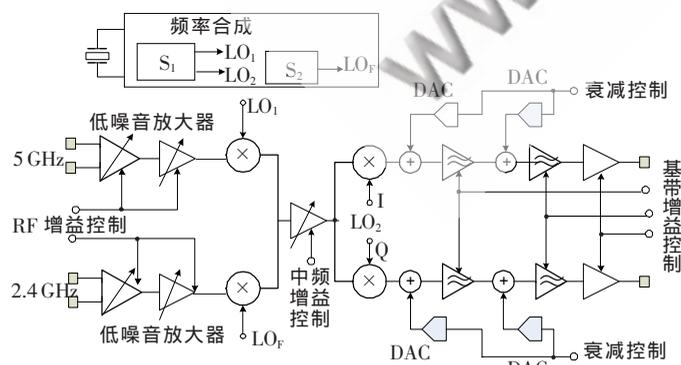


图 5 双频接收机方框图

图 5 所示的双频接收机中有两个差分级联低噪声放大器,对每一个波段提供必要的前端增益和降低噪

声。不用的 LNA 始终关掉,以减少目前的整体消耗。在 2.4 GHz 和 5 GHz 内的射频信号在下转换为共同的中频(如约为 1.7 GHz)之前被相应的噪声放大器和 RF 可变增益放大器(VGA)放大。这个中频信号进一步混合后下至正交基带 I、Q 信号,称 LO_2 。信道滤波器选择用于芯片基带的 gm-C 滤波器。基带滤波器中的直流偏移量被两对受同基带 IC 控制的 6 位 DAC 删除。该接收机具有可达 90 dB 可编程增益,射频和基带信号大约各占 1/2。整体接收系统噪声系数对应于 5 GHz 应用模式为 5.5 dB,对应于 2.4 GHz 应用模式为 4.5 dB。

低噪声放大器(LNA)是接收机印板中最重要的装置之一,LNA 的质量对接收器的参数有相当大的影响。图 6 是用于双频接收机中的 5 GHz 低噪声放大器示意图。

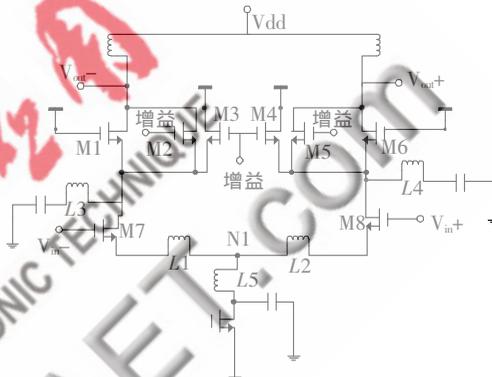


图 6 5 GHz 的低噪声放大器示意图

放大器由一对为降低噪声系数而优化的级联差分电路组成。当一个有用的大射频信号输入时,该 LNA 转换到低增益模式,以避免信号压缩。增益减少是通过晶体管 M2 和 M5 作为一对电流开关实现的,通过分流信号电流远离感性负载来实现降低输出信号。增益变化的正确度取决于匹配晶体管的大小和对所有过程及温度死角的很好控制。为了降低噪声,可以使用级联装置,在级联节点的寄生电容通过电感 L3 和 L4 滤出。电感 L5 通过滤去差分 M7 和 M8 尾部节点的寄生电容来提高 LNA 的共模抑制比。增加在尾节点的共模阻抗以提高共模抑制,从而允许 LNA 使用单端射频输入,无需一个平衡器^[6]。

目前产品中的大多数单片无线电通信装置的处理能力有限,主要是受到尺寸和隔离的限制。当前用到的单芯片无线电通信最复杂的装置是应用于 WLAN 的无线蓝牙调制解调器和收发器。其适合单晶片设计是因为其运行在低功耗状态且需处理的地方有限。在无线传感器网络的设计过程中,传感器节点无线通信、低耗能、体积小等特点也使基于片上系统(SoC)的单芯片无线收发系统有了极大的空间。如何开发更好的分离技术,克服电磁干扰等问题,仍是如何将收发模块、中频模块基带信号处理模块和电源管理与控制模块等,连同天线和开关集成在一个单晶片中的片上系统(SoC)的主要课题。

参考文献

- [1] OH Nam Jin, LEE Sang Gug, KO Jinho. A CMOS 868/915 MHz direct conversion ZigBee single-chip radio [J]. IEEE Communications Magazine, December, 2005, 43(12):100-109.
- [2] KADOYAMA T, SUZUKI N, SASHO N, et al. A complete single-chip GPS receiver with 1.6 V 24 mW radio in 0.18 μm CMOS[J]. IEEE Journal of Solid-State Circuits, 2004,39(4): 562-568.
- [3] ISHIKURO H, HAMADA M, AGAWA K I, et al. A single-chip CMOS bluetooth transceiver with 1.5 MHz IF and direct modulation transmitter [C]. 2003 IEEE International Solid-State Circuits Conference, 2003:94-480.
- [4] AHOLA R. A single-chip CMOS transceiver for 802.11a/b/g wireless LANs [J]. IEEE Journal of Solid-State Circuits, 2004,39(12):2250-2258.
- [5] ZARGARI M, TERROVITIS M, JEN SH M, et al. A single-chip dual-band tri-mode CMOS transceiver for IEEE 802. 11a/b/g wireless LAN [J]. IEEE Journal of Solid-State Circuits, 2004,39(12):2239-2249.
- [6] RYYNÄNEN J. A single-chip multimode receiver for GSM900, DCS1800, PCS1900, and WCDMA [J]. IEEE Journal of Solid-State Circuits, 2008,38(4):594-602.
- [7] KENNETH K O. On-chip antennas in silicon ICs and their application [J]. IEEE Transactions on Electron Devices, JULY, 2005, 52(7): 1312-1323.
- [8] O K K , KIM K, FLOYD B. Wireless communications using integrated antennas[C]. Proceedings of the IEEE 2003 International Interconnect Technology Conference, 2008: 111-113.
- [9] LIE D Y C. RF-SoC: low-power single chip radio design using Si/SiGe BiCMOS technology [C]. 2008 3rd International Conference on Microwave and Millimeter Wave Technology Proceedings, 2008:30-37.
- [10] MAGOON R. A single-chip quad-band(850/900/1800/1900 MHz)direct conversion GSM/GPRS RF transceiver with integrated VCOs and fractional-N synthesizer [J]. IEEE Journal of Solid-State Circuits, 2008,37(12):1710-1720.

(收稿日期:2010-10-13)

作者简介:

阮越,男,1984年生,硕士,助教,主要研究方向:嵌入式系统,无线传感器网络等。