

基于 FPGA 的精密离心机光栅信号细分系统^{*}

程壮壮, 谷玉海, 徐小力

(北京信息科技大学 北京市机电系统测控重点实验室, 北京 100192)

摘要: 介绍一种基于 FPGA 的精密离心机光栅信号细分系统。说明了光栅信号的产生过程和基本处理方法, 提出了一种综合 EDA 技术与光栅莫尔条纹电子学细分技术的设计方案。通过 VerilogHDL 实现该系统的主要设计, 并利用 ISE 软件进行了仿真试验。试验表明, 该系统具有捕捉速度快、跟踪精度高、相位误差小、成本低廉等特点。

关键词: VerilogHDL; 光栅信号; 莫尔条纹电子学细分

中图分类号: TP206

文献标识码: B

文章编号: 1674-7720(2011)02-0032-03

Precis centrifuge grating signal subdivision system based on FPGA

Cheng Zhuangzhuang, Gu Yuhai, Xu Xiaoli

(Beijing Key Laboratory Measurement and Control of Mechanical and Electrical System, Beijing 100192, China)

Abstract: This article describes a system based on FPGA that using to subdivide the grating signal. It explains the generation process and the basic approach of grating signals, and has come up with a design which integrate the EDA technology and the Moire fringe subdividing technology. It implements the main design of the system through VerilogHDL, and completes the simulation experiment by ISE software. Experiment suggests that the system has many characteristics such as the high tracking speed, high precision, little relative error, and the low cost.

Key words: VerilogHDL; grating signal; Moire fringe subdivided by electronics

在航空、航天领域中的一些应用于惯性测试的精密离心机, 其转速信号通常是由分体式光栅测量系统输出的光栅信号经过具有细分、辨向、整形功能的电子系统后而得到的。该光栅信号通常具有两个功能: 送给转速测量仪测量离心机工作实际转速; 作为系统速度反馈信号与频率给定装置、鉴相器、脉冲调宽电路、功率放大电路、主电机一起构成闭环控制系统。而在光栅测量中, 当主光栅随运动部件移动一个栅距时, 就会相应输出一个交变莫尔条纹信号, 每出现一个交变莫尔条纹信号就代表移过了一个栅距, 即分辨率等于一个栅距。在精密测量中, 为了测量比栅距更小的位移量, 可以采用提高光栅的刻线密度来实现精度要求。但由于现代精密离心机的研制已经接近或达到了当前机械工艺和实验技术的最高水平, 其中更高分辨率的光栅在制造工艺上具有相当难度, 所以成本相当昂贵, 单纯用提高精密离心机的制造工艺的方法来提高其控制精度不但成本高昂且效果不佳^[1]。因此, 在当前精密离心机的研究中, 为了以较低的成本实现较高的控制精度, 提出了一种综合了 EDA

技术与光栅莫尔条纹电子学细分技术的设计方案。

1 光栅信号的产生

该系统所要处理的光栅信号采用 32400 刻线圆光栅经如下 4 个过程产生: (1) 经过一个光栅光学系统(如图 1 所示) 产生莫尔条纹并由光电接收系统将光信号转化为电信号。(2) 指示光栅刻划时, 中间两个区域相位相差 180°, 边缘两个区域相位相差 180°, 在整个莫尔条纹视场照度不可能非常均匀的情况下, 每一组相差 180° 的两路信号的直流电平相近、信号幅值接近(利用电阻匹配实现)。为了消除信号中的直流电平和偶次谐波, 提高信号的幅度, 将 0° 和 180°、90° 和 270° 的信号进行差

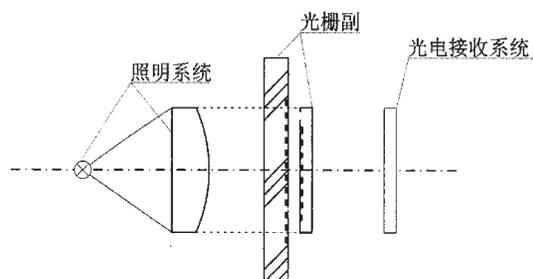


图 1 光栅光学系统图

* 基金项目: 北京市教委科技发展计划重点资助项目(KZ200910772001)

硬件纵横

Hardware Technique

接放大(5~8倍),这样就得到相差 90° 和一定幅值的正弦和余弦两路信号;(3)在光栅盘的对径方向均布两个读数头,取初始相位相同的电压信号的平均值,以便消除奇次谐波带来的分度误差,克服光栅盘安装偏心引起的误差。(4)正弦波信号经过鉴零比较器整形,得到与过零点相同的相差 90° 的两路方波信号和一路零位脉冲信号。此信号便是系统需要进一步处理的光栅信号。经系统处理之后,最终系统将输出5路信号(如图2所示)。

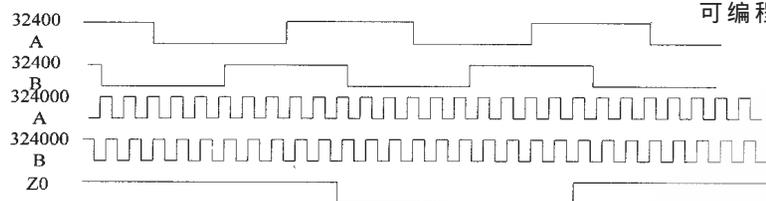


图2 系统输出信号波形图

- (1)相位相差 90° 的32400两组方波信号。
- (2)相位相差 90° 的324000两组方波信号。
- (3)一路零位脉冲信号。

2 莫尔条纹电子学细分

由于莫尔信号的周期性,信号每变化一个周期就对应着空间上一个固定的角位移。传统的电子学细分主要是根据信号的周期性测量信号的波形、振幅或者相位的变化规律,在其一个周期内进行插值,从而获得优于一个信号周期的更高的分辨率^[2]。其常用的方法主要有直接细分法、移相电阻链法、鉴相细分法、幅值分割法等。以下是这些方法的特点比较,如表1所示。

莫尔条纹电子学细分技术是提高光栅测量系统测量精度的有效手段,能够在满足高精度测量要求的前提下大大降低测量成本。在实际的应用中,要根据具体的精度要求和细分要求来选择所应用的细分方法。根据上述离心机所产生的信号频率不高且为经过初步处理的标准方波信号的特点,提出以鉴相细分法为参考的一种适合于低频的细分方案。该方案应用EDA技术通过FPGA实现,不但缩短了开发周期,而且降低了传统鉴相细分法的电路复杂度、提高了速度。

3 细分系统的基本原理

细分系统的基本原理如图3所示^[3]。

表1 莫尔条纹传统电子学细分方法特点比较表

细分方法	细分数	原理	特点
直接细分	4	根据正、余弦波形的过零点进行计数、辨向。	电路简单,细分数固定,对信号的质量要求不高,速度快。
移相电阻链法	10~40	$2\pi/n$ 排列的正弦波群,经过信号过零点编码计数,得到n倍频的细分信息。	电路设计成本低,细分数有限,对信号的正交性要求高,随着细分数的增加,电路将变得越来越复杂,精确度与速度都将降低。
鉴相细分法	200~1000	对光栅信号进行调制,使光栅的位移量通过对应的相位角反映出来。	细分数越大,精度越高,对信号波形的正交性要求严格,电路比较复杂,速度低。
幅值分割法	500~4000	将莫尔条纹信号或构造波形幅值进行分割,得到相应的等分相位信息。	细分数大,精度高,信号质量对细分精度影响较大,速度高。

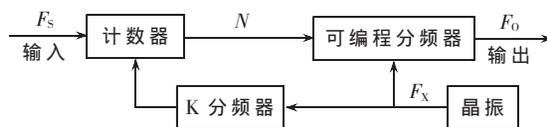


图3 细分系统原理框图

该细分系统要将频率为 F_s 的输入信号细分为频率 K 倍于 F_s 的输出信号 F_0 ,即 $F_0=KF_s$ 。首先设置一个标准时钟源,即图1中所示的晶振,其时钟频率为 F_x 。 F_x 经可编程分频器分频,分频数由计数器给定。如果计数器给定的分频数为 N ,则输出信号 F_0 为时钟信号 F_x 的 N 分频,即:

$$F_0 = \frac{F_x}{N} \quad (1)$$

然后时钟信号再经 K 分频器后送计数器,计数器对 F_x 的 K 分频脉冲信号(即频率为 F_x/K 的脉冲)在输入信号 F_s 的一个周期内进行计数。在忽略误差的情况下,设计数值为 N ,则:

$$N = \frac{F_x}{K} \cdot \frac{1}{F_s} \quad (2)$$

最后将(2)式代入(1)式可得 $F_0=KF_s$,即完成了对输入信号的 K 细分。其实质是利用频率为 F_x/K 的脉冲信号在输入信号的一个周期内进行脉冲计数,最终实现对输入信号周期的 K 细分。

4 细分系统的实现

由细分系统的基本原理可以看出,整个系统可由计数器模块、 K 分频器模块和可编程分频器模块及一个时钟源组成。这3个模块的功能全部通过VerilogHDL进行描述。

计数器模块监测到输入信号的上升沿后对经 K 分频后的时钟源信号进行计数,当遇到下一个输入信号的上升沿时,停止计数并把计数值 N 作为可编程分频器的分频数送到可编程分频器模块。

K 分频器模块的实现主要由计数器完成,原理简单。若要对时钟信号进行 K 分频则只需要令计数器每计 K 个时钟脉冲就发出信号令模块输出一个脉冲信号,从而实现对时钟信号的 K 分频。

可编程分频器模块是在 K 分频器模块基础上改进

得到的,两者的区别仅仅在于可编程分频器的分频数是由计数器模块给定的而不像K分频器那样是固定不变的,这样只需要在模块中加入一个存储单元专门存放由计数器送来的分频数 N 。模块在每次分频计数过程中不断地与存储单元中的分频数 N 进行比较就能进行可编程的分频工作了。

通过如图3所示的连接将这三个模块的组成一个系统,由理论分析可知该系统可以实现对输入信号的K细分,也即K倍频。此外,因为使用VerilogHDL做数字电路设计,所以可以大大缩短设计的周期,节省设计的成本。

5 误差分析

因为计数器是通过监测被K分频后的时钟信号的上升沿计数的。所以如果输入信号与计数信号不同步或者在一个计数周期内的计数信号的周期数并不是整数,则细分系统将产生误差。譬如在输入信号和K分频信号波形规则的情况下,最多多计一个周期的K分频信号,即原本应该是 $N-1$ 个整周期的K分频信号,结果计为 N 个,从而误差的范围是 $0 \sim F_x/N(N-1)$ 。可以看出在时钟频率固定的情况下,系统的误差随 N 的增大而减小,也即如果输入信号与时钟信号相差倍数越多,系统的误差就越小。对于该精密离心机12 rpm~95 rpm的转速来说输入信号的频率为6480 Hz~51300 Hz,要对该信号进行10倍频,若FPGA提供了100 MHz的时钟频率,则其对应的误差范围应为42 Hz~2643 Hz,也即只有大约0.065%~0.52%的误差率。

6 实验仿真

将上述模块所组成的系统先通过ISE软件利用VerilogHDL进行设计输入,将K分频器模块的K值设为10,使系统实现10细分功能,然后用ISE软件自带的逻辑仿真器进行功能仿真如图4所示。

由图4可以看出,输出信号 F_0 的频率为输入信号 F_1 频率的10倍,也即实现了对输入信号 F_1 的10细分,从

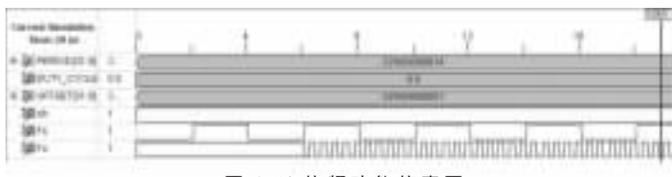


图4 10倍频功能仿真图

而验证了设计的正确性。

本文论述了光栅信号的产生,介绍了莫尔条纹电子学细分的方法并结合实际提出了以传统鉴相细分法为基础的通过VerilogHDL利用ISE软件实现的设计方案。该方案已经在实际项目中得到应用。实践表明,该系统具有捕捉速度快、跟踪精度高、相位误差小、成本低的特点。

参考文献

- [1] 樊亚东,陈雪丰,莫尔条纹数字化细分方法[J].武汉化工学院学报,1998,20(6):53-55.
- [2] 张国雄,金蒙芷.测控电路[M].北京:机械工业出版社,2001:198-207.
- [3] 林雷刚,段尚枢,付景峰.一种低频高精度全数字化倍频器[J].哈尔滨工业大学学报,1995,27(3):109-113.
- [4] 任晓东,文博.CPLD/FPGA高级应用开发指南[M].北京:电子工业出版社,2003.
- [5] 杨世中,等.锁相环技术基础[M].北京:人民邮电出版社,1978.
- [6] 庞浩,王赞基.一种基于FPGA实现的全数字锁相环[J].电子技术应用,2005,31(5):28-30.
- [7] 李金泉.光栅莫尔条纹信号的零位跟踪细分[J].计量技术,1996(1):4-6.

(收稿日期:2010-07-12)

作者简介:

程壮壮,男,1986年生,硕士研究生,主要研究方向:机电系统状态监测、诊断与预测。

徐小力,男,1958年生,博士生导师,主要研究方向:机电系统及制造业设备的状态监测、故障诊断、趋势预测及自动控制。