

基于 DSP Builder 的 伪随机序列发生器设计及 FPGA 实现

杨 东, 王建业

(空军工程大学 导弹学院, 陕西 三原 713800)

摘要: 简要分析了伪随机序列中应用广泛的 m 序列, Gold 序列及平衡 Gold 码的概念、原理和应用。提出了一种基于 Altera 的 DSP Builder 工具箱的伪随机序列产生器设计方法, 并通过设计实例, 说明这种方法在简化设计难度、提高设计速度和灵活性等方面的优点和应用价值。并提出了其仿真和 FPGA 实现的基本方法。

关键词: DSP Builder; m 序列; Gold 序列; 平衡 Gold 码

中图分类号: TP331.1

文献标识码: A

文章编号: 1674-7720(2011)02-0096-04

A DSP builder-based pseudo-random sequence and its FPGA implementation

Yang Dong, Wang Jianye

(The Missile Institute, Air Force Engineering University, Sanyuan 713800, China)

Abstract: This text synopsisly analyzed the concept, principle and application of the m sequence, the Gold sequence and the equilibrium Gold code in the pseudo-random sequence. It put forward a designing way of pseudo-random sequence which based on the tool box of DSP builder in the Altera, and explained the advantages and values on simplifying the designing difficulty and advancing the designing speed and vivid through a solid example. It also put forward the basic method of imitating and carrying out with FPGA.

Key words: DSP builder; m sequence; Gold sequence; equilibrium Gold code

在扩展频谱通信系统中, 伪随机序列起着十分关键的作用。在直接序列扩频系统的发射端, 伪随机序列扩展信息序列的频谱, 在接收端, 伪随机序列将扩频信号恢复为窄带信号, 进而完成信息的接收。因此, 伪随机序列产生器是扩频系统的核心单元。伪随机序列具有理想随机序列的性质, 易于产生, 具有随机性和尽可能长的周期, 使第三方难以从扩频码的一小段去重建整个码序列, 具有双值自相关特性等。理想随机序列在工程上无法应用, 实际上所用的均为伪随机序列。伪随机序列主要有: m 序列、Gold 序列、R-S 码、复合码以及混沌序列等。

1 m 序列基本原理

m 序列又称最长线性反馈移位寄存器序列, 它具有平衡性、移位可加性、游程特性及很好的相关性能, 广泛应用于直接序列扩频系统。一个典型的 m 序列组成如图 1 所示。

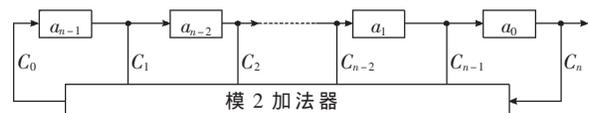


图 1 n 位线性反馈移位寄存器结构

由反馈移位寄存器产生的序列, 取决于反馈系数, 对于此反馈移位寄存器, 反馈逻辑为:

$$F(x) = c_0 + c_1x + c_2x^2 + \dots + c_nx^n = \sum_{i=0}^n c_i x^i \quad (1)$$

上式即为序列的特征多项式。 $(c_n, c_{n-1}, \dots, c_0)$ 为反馈系数, 其取值为“0”或“1”, “1”表示该反馈支路连通, “0”表示该反馈支路断开。m 序列的反馈系数与其寄存器级数对应关系可由查表获得, 据此, 便可以构造任意级 m 序列。

2 Gold 序列基本原理

扩频通信中, 不仅要求伪随机序列具有随机性好、

技术与方法 Technique and Method

周期长、不易被敌方检测等特性,而且要求有尽可能多的可用的伪随机序列,以便进行多址通信和组网运用。Gold 序列便具有此特性。GOLD R 指出:“给定移位寄存器级数为 n 时,总可以找到一对互相关函数值最小的码序列,采用移位相加的方法构成新码,其互相关旁瓣都很小,并且自相关函数和互相关函数都是有界的”。这一对互相关函数最小的序列称为 m 序列优选对,是指在 m 序列集中,其互相关函数最大值的绝对值小于某个值的两个 m 序列。设序列 $\{a\}$ 是对应于 n 阶本原多项式 $f(x)$ 产生的 m 序列,序列 $\{b\}$ 对应于 n 阶本原多项式 $g(x)$ 产生的 m 序列,当它们的互相关函数值 $R_{ab}(\tau)$ 满足不等式(2):

$$|R_{ab}(\tau)| \leq \begin{cases} \frac{1}{N} \left[2^{\frac{n+1}{2}} + 1 \right], n \text{ 为奇数} \\ \frac{1}{N} \left[2^{\frac{n+2}{2}} + 1 \right], n \text{ 为偶数但不能被 4 整除} \end{cases} \quad (2)$$

则由 $f(x)$ 和 $g(x)$ 产生的 m 序列 $\{a\}$ 和 $\{b\}$ 构成一优选对。 m 序列优选对可由查表获得。

Gold 序列的产生方式有并行和串行两种方式。由两个码长相等、码时钟速率相同的 m 序列优选对模 2 和构成 Gold 序列的方法为并行方式,每改变两个 m 序列相对位移就可得到一个新的 Gold 序列。将产生两优选对 m 序列的本原多项式相乘,展开后,按此多项式构成 $2n$ 级 Gold 序列产生器的方法为串行方式。以 $n=6$ 级 Gold 序列产生器为例,其优选对 m 序列的本原多项式为:

$$\begin{aligned} f(x) &= 1+x+x^6 \\ g(x) &= 1+x+x^2+x^5+x^6 \end{aligned} \quad (3)$$

并行方式如图 2 所示。

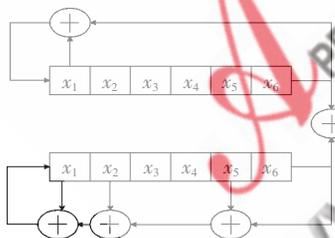


图 2 并行法产生 Gold 序列

由于:

$$f(x)g(x) = 1+x^3+x^5+x^6+x^8+x^{11}+x^{12} \quad (4)$$

可得串行方式如图 3 所示。

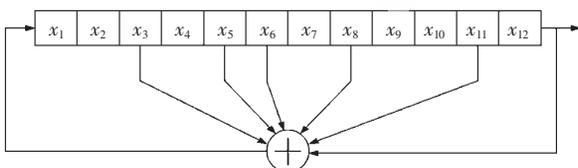


图 3 串行法产生 Gold 序列

Gold 序列族中任意两个 Gold 序列满足如下的互相关特性:

$$|R_{ab}(\tau)| \leq \begin{cases} 2^{\frac{n+1}{2}} + 1, n \text{ 为奇数} \\ 2^{\frac{n+2}{2}} + 1, n \text{ 为偶数但不能被 4 整除} \end{cases} \quad (5)$$

这一特性使得 Gold 序列中的任意码都可以作为地址码,因而大大增加了地址码的数量。

3 平衡 Gold 码

扩频通信系统中,对系统质量影响因素之一就是伪码的平衡性(即序列中的“0”、“1”均匀性),平衡码具有更好的频谱特性。在 DS 系统中,码的平衡性对载波抑制有密切的关系,码不平衡会造成载波泄漏,破坏扩频通信系统的保密性、降低其抗侦破能力。序列中“1”和“0”的码元数量相差等于 1 时为平衡码,而大于 1 时为非平衡码。为寻找平衡 Gold 码,首先要确定特征相位,当序列处于特征相位时,序列每隔一位抽样后得到的序列与原序列完全一样。设序列特征多项式 $f(x)$ 为 n 级线性移位寄存器产生 m 序列的本原多项式,序列的特征相位由 $g(x)/f(x)$ 的比值确定。 $g(x)$ 计算如下:

$$g(x) = \frac{d[xf(x)]}{dx}, n \text{ 为奇数} \quad (6)$$

$$g(x) = f(x) + \frac{d[xf(x)]}{dx}, n \text{ 为偶数}$$

序列多项式为:

$$G(x) = \frac{g(x)}{f(x)} \quad (7)$$

长除后可得处于特征相位的 m 序列。

令序列 $\{a\}$ 和 $\{b\}$ 为处于特征相位的 m 序列优选对。 n 为奇数时,其序列生成多项式表示为:

$$G(x) = \frac{1+c(x)}{1+d(x)} \quad (8)$$

$d(x)$ 的阶数为 n , $c(x)$ 的阶数小于 n ,长除后的结果为 $1+d_1x+d_2x^2+\dots$ 的形式。

因此,处于特征相位上的序列 $\{a\}$ 和 $\{b\}$,以 $\{a\}$ 序列为参考序列,移动 $\{b\}$ 序列,使之第一位为“0”,对应于 $\{a\}$ 序列第一位为“1”。两序列相加后得到的序列必定是平衡 Gold 码。那么,移动 $\{b\}$ 序列的第一位为“0”的序列的前 k 位为相对相位。

产生平衡 Gold 码的一般步骤为:

- (1) 选一参考序列,其本原多项式为 $f_a(x)$,求出其生成多项式 $g_a(x)$;
- (2) 由 $G(x) = g_a(x)/f_a(x)$, 求出序列多项式,使序列 $\{a\}$ 处于特征相位上;
- (3) 求位移序列 $\{b\}$,使位移序列的初始状态的第一位为“0”,即处于相对相位,对应于序列 $\{a\}$ 第一位“1”;
- (4) 将处于特征相位的序列 $\{a\}$ 和处于相对相位的序列 $\{b\}$ 模 2 加,就得到平衡 Gold 序列。

4 利用 DSP Builder 设计伪随机序列发生器

4.1 DSP Builder 介绍

Matlab 工具一般作为 DSP 算法的建模和基于纯数

技术与方法 Technique and Method

学的仿真,其数学模型无法为硬件 DSP 应用系统直接产生实用程序代码,仿真测试结果也仅仅是基于数学算法结构。而传统的 FPGA 基于硬件描述语言(HDL)的设计由于需要考虑 FPGA 的硬件延时、VHDL 的递归算法的衔接、补码运算和乘积结果截取等问题,相当繁杂。DSP Builder 是美国 Altera 公司推出的一个面向 DSP 开发的系统级工具,为 Matlab 的一个 Simulink 工具箱,以帮助设计者完成基于 FPGA 的 DSP 系统设计的整个流程,它充分体现了现代电子技术自动化开发的特点与优势。基于 DSP Builder 的设计流程如图 4 所示。

4.2 利用 Simulink 建立各序列模型

DSP Builder 设计中首先是在 Matlab/Simulink 中进行设计输入,即在 Matlab 的 Simulink 环境建立一个 MDL 模型文件,用图形方式调用 Simulink 库中的模块,构成系统

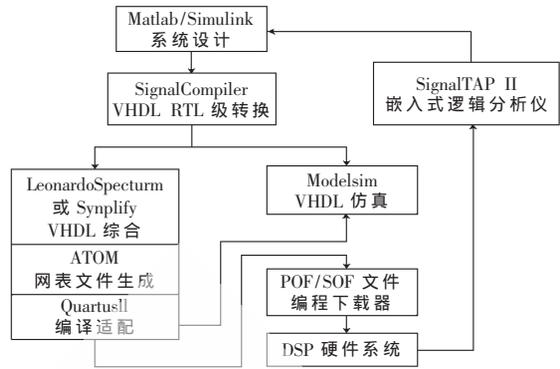


图 4 DSP Builder 设计流程

级或算法级设计框图(或称 Simulink 建模)。建立的 m 序列、Gold 序列和平衡 Gold 序列产生器模型如图 5 所示。

图 5 中主要模块功能为:

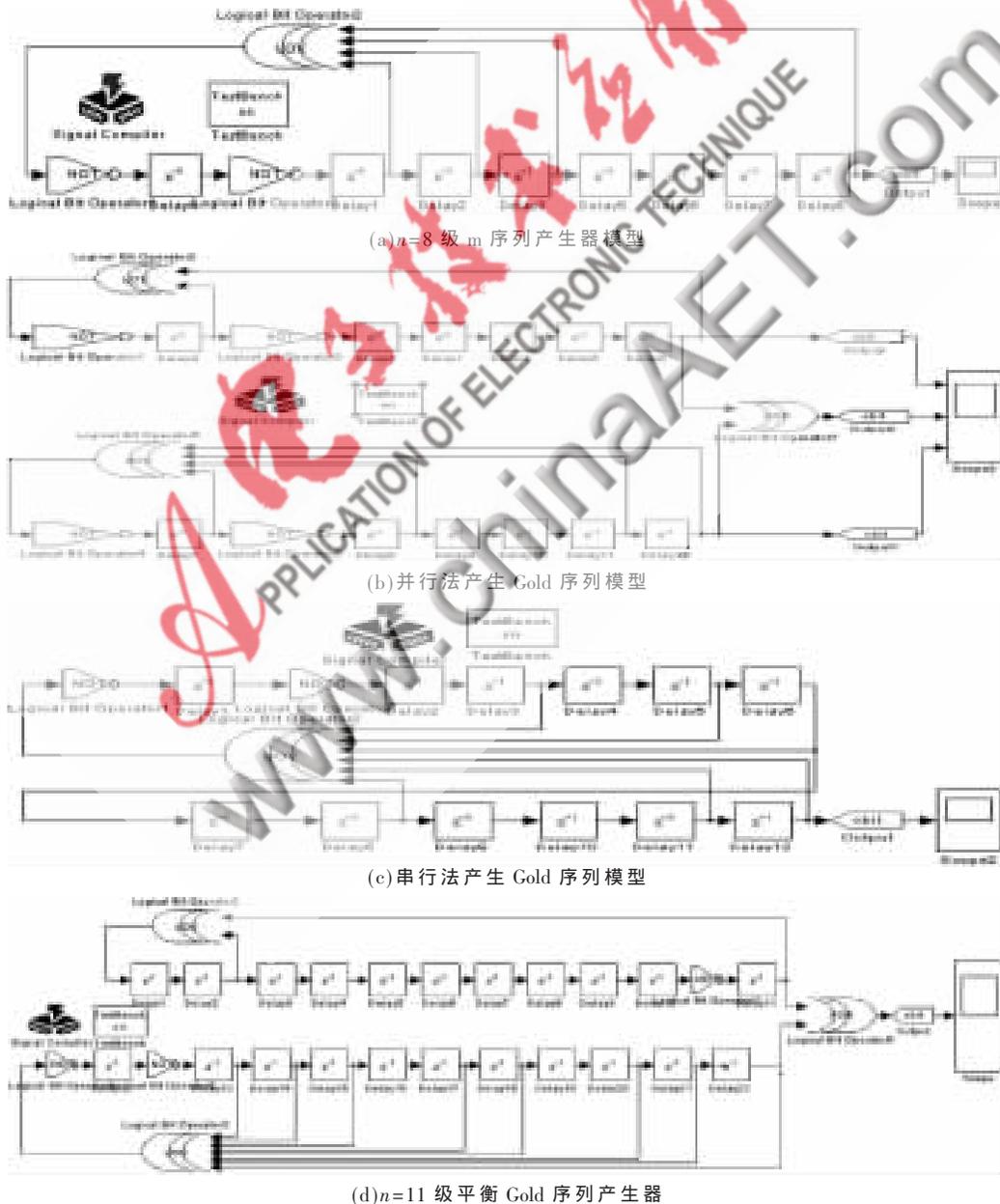


图 5 各模型示意图

技术与方法 Technique and Method

(1)The Delay block: 延迟模块,起延时作用,在硬件上可以采用寄存器来实现。此模块可接受任意类型的数据输入。

(2)The Logical Bit Operator block: 位逻辑运算模块,能实现单个位输入数之间的逻辑运算,能实现多种功能:AND, NAND, OR, XOR, NOR, NOT。

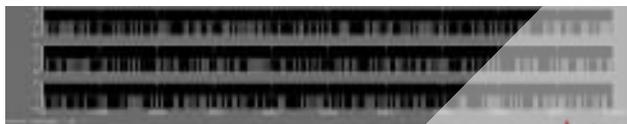
(3)SignalCompiler: DSP Builder 的核心,将 Simulink 设计转换成可综合的 RTL 级 VHDL 代码,并产生各种测试和仿真矢量文件。

(4)The Testbench block: 通过测试平台模块,可自动运行 Modelsim,对比仿真结果。

5 各模型仿真及 FPGA 实现

5.1 Simulink 模型系统级仿真

Simulink 中进行的仿真属于系统验证性质的,是对 mdl 文件进行的仿真,而对 VHDL 代码进行仿真则需要使用 ModelSim,如图 6 所示。



(a)并行法 Gold 序列模型仿真结果



(b)n=11 级平衡 Gold 序列模型仿真结果

图 6 Simulink 模型系统级仿真

5.2 使用 ModelSim 进行 RTL 级仿真

ModelSim 是一个基于单内核的 Verilog/VHDL 混合仿真器,是 Mentor Graphic 的子公司 ModelTechnology 的产品。主要用于对生成的 RTL 级 VHDL 代码进行功能仿真。对应图 5 中(b)、(d),经过 ModelSim 功能仿真的波形如图 7 所示。

5.3 FPGA 实现

在 Matlab/Simulink 中对设计模型进行编译,再用



(a)并行 Gold 序列波形



(b)平衡 Gold 序列仿真波形

图 7 Modelsim 仿真波形

DSP Builder 的 Signal Compiler 工具直接生成 Quartus II 工程文件,再调用 Quartus II 完成综合、网表生成和适配,直至完成 FPGA 的配置下载。本设计使用的 FPGA 芯片是 Altera 公司的 Cyclone 系列芯片 EP2C35F672C6。

设计表明,在利用 FPGA 进行伪随机序列发生器设计时,利用 DSP Builder 能简化设计难度,加快设计速度,灵活选取精度,实现优化设计;DSPBuilder 与 Quartus II 软件的融合,实现了自顶向下的设计流程,充分显示了现代 EDA 开发的特点与优势。然而,该方法的应用在精度、速度和器件选择等方面也受到一定限制。

参考文献

- [1] 何世彪,谭晓衡.扩频技术及其实现[M].西安:电子工业出版社,2006.
- [2] 潘松,黄继业,王国栋.现代 DSP 技术[M].西安:西安电子科技大学出版社,2003.
- [3] 楮振勇,齐亮,田红心,等.FPGA 设计及应用.西安电子科技大学出版社,2006.
- [4] 张洪润,张亚凡.FPGA/CPLD 应用设计 200 例[M].北京:北京航空航天大学出版社,2007.

(收稿日期:2010-01-16)

作者简介:

杨东,男,1986 年生,硕士研究生,主要研究方向:数字专用集成电路设计。