

组合式频率合成技术在短波电台中的应用研究

胡荣贵, 徐海

(电子工程学院, 安徽 合肥 230037)

摘要: 介绍了采用单片机控制 DDS+PLL 组合式频率合成器的方法, 结合实际项目给出了采用双模分频器 MB1505 和直接频率合成器 AD9835 寄存器参数的算法, 以及如何利用单片机对频率进行微调 and 线性校准, 并对设计的频率合成器进行了测试实验。

关键词: 单片机; 短波电台; 频率合成

中图分类号: TN924

文献标识码: A

文章编号: 1674-7720(2011)01-0013-03

Research and application of frequency synthesizer in the shortwave transceiver

Hu Ronggui, Xu Hai

(Electronic Engineering Institute, Hefei 230037, China)

Abstract: The paper introduces how to use MCU control DDS and PLL to generate exact frequency, as well as the arithmetic of double module PLL MB1505 and DDS AD9835's register parameter combined with project. And the inching and linearity adjust of frequency by MCU are studied. Finally, the frequency synthesizer is tested by experiment.

Key words: MCU; shortwave transceiver; frequency synthesizer

组合式频率合成技术是国内外近几年来比较流行的现代电子系统中的一种关键技术, 已广泛应用于通信、雷达、电子对抗等许多领域, 并得到了快速的发展。组合式频率合成是依靠直接数字频率合成(DDS)的精准输出频率作为参考频率, 通过锁相环频率合成(PLL)对参考频率进行一系列计算变换, 产生高稳定性和精确度的大量离散频率的技术, 其将 DDS 和 PLL 两种技术结合起来, 取长补短, 实现了具有高分辨率和杂散较小的高速宽带频率合成。

频率合成器是电台的核心部件, 其性能直接影响到电台整体的性能指标。本文根据某型号短波电台项目研制的需要, 设计了基于“DDS+PLL”技术的频率合成器。电台设计上采用传统超外差体制来抑制镜频, 在 455 kHz 中频对信号进行采样, 其中选用频率为 44.545 MHz 的一本振, 二本振则是通过组合式频率合成器提供。将经过一本振混频的信号二次混频到 455 kHz, 因此频率合成器的输出频率大小应为信号载频加上 45 MHz。短波的频率工作范围是 300 kHz~30 MHz, 所以要求频率合成器的频率合成范围在 45.3 MHz~75 MHz。另外还要求

频率合成器的步进频率间隔为 10 Hz。本文根据电台功能需求, 设计了由组合式频率合成器 AD9835 和锁相环 MB1505 组成的频率合成器, 并对其控制方法和频率的校准进行研究, 为短波电台提供了精准的本振源。

1 组合式频率合成技术简介

组合式频率合成器采用 DDS 直接激励 PLL 的方案。DDS 作为参考频率源来驱动 PLL, 系统结构简单易于实现, 稳定性高。其中, DDS 主要由标准高精度参考时钟、相位累加器(PA)、正弦查询表(ROM)、数模转换器(DAC)和低通平滑滤波器(LPF)构成, 其结构框图如图 1 所示。

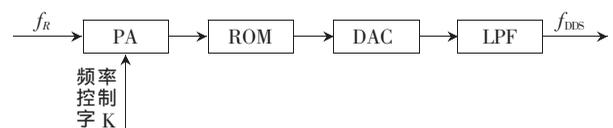


图 1 DDS 构成

在标准参考源的控制下, 频率控制字 K 决定了相应的相位增量, 相位累加器以步长 K 进行线性累加, 当相位累加器加满时会产生一次溢出, 从而完成一个周期性的动作, 即 DDS 合成信号的一个频率周期。 N 位相位累

加器的最小值为 0, 最大值为 2^N-1 , 故累加器以 K 为步进产生的一次溢出经历的平均次数为 $2^N/K$, 其输出信号频率为:

$$f_{\text{DDS}}=K \times f_R / 2^N \quad (1)$$

其分辨率为:

$$\Delta f_{\text{DDS}}=f_R / 2^N \quad (2)$$

一般 PLL 频率合成电路由相位比较器 (PD)、环路滤波器 (LF)、压控振荡器 (VCO) 和可编程分频器 ($1/M$) 构成, 如图 2 所示。

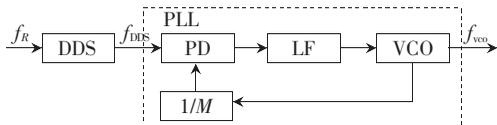


图 2 锁相环分频电路

DDS 的输出信号作为 PLL 的参考频率, 通过改变 DDS 的输出频率和 PLL 的分频比来改变 PLL 的输出频率。当环路锁定时, PLL 频率合成器的输出频率为:

$$f_{\text{out}}=M \times f_{\text{DDS}} \quad (3)$$

频率合成器输出频率分辨率为:

$$\Delta f_{\text{out}}=M \times \Delta f_{\text{DDS}} \quad (4)$$

DDS 直接激励 PLL 的频率合成器, 其优点是电路简单可靠、易于调试和实现, 缺点是 DDS 的杂散和相位噪声在带内被恶化 $20 \log(M)$ dB (其中 M 是锁相环分频器的分频数)。频率合成器的频率分辨率由于 PLL 的倍频作用下下降到 DDS 频率分辨率的 $1/M$ 。

2 频率合成器的设计与实现

DDS 部分的时钟输入选用 45.545 MHz 的恒温晶体振荡器, 其核心采用美国 ADI 公司的大规模集成芯片 AD9835。AD9835 集成了数控振荡器、余弦查找表、频率和相位调制器以及一个 10 bit 的 D/A 转换器; 时钟频率最大支持 50 MHz, 频率稳定性为 1×10^{-7} 。根据式 (2) 可知, DDS 的分辨率约为 0.01 Hz。由于受到各部分传输时延的限制以及出于速度和功率上的考虑, 可变分频器的上限频率仅在几十 MHz 数量级。要产生最高 75 MHz 的信号, 一般的可编程分频器难以满足设计需要。所以, PLL 部分选用 FUJITSU 公司的 MB1505 芯片。MB1505 集成了一个双模数分频器, 其优点是工作频率高达 600 MHz, 其原理框图如图 3 所示。

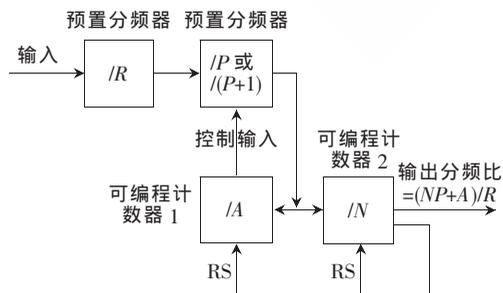


图 3 带有双模预分频器的 MB1505 分频系统

预分频器的分频比为 N 或 $N+1$, 这取决于控制输入的逻辑状态。预分频器的输出送到两个普通的可编程计数器, 计数器 1 控制双模预分频器, 分频比为 A 。计数器 2 的分频比为 N , 产生系统输出。当分频器工作时, $P/(P+1)$ 预分频器的分频比一直为 $P+1$, 直到可编程计数器 1 的计数达到 A 时, 分频比变为 P 。此后一直保持这样的工作状态, 直到可编程计数器 2 的计数达到 N , 这时两个计数器都被重置, 产生输出脉冲, 然后重新开始这样的循环过程。整个系统的分频比为: $[A(P+1)+P(N-A)]/R=(PN+A)/R$ 。

MB1505 的输出函数为:

$$f_{\text{vco}}=[(P \times N)+A] \times f_{\text{DDS}}/R \quad (5)$$

式中, f_{vco} 为压控振荡器输出频率; f_{DDS} 为外部输入参考频率, 即 DDS 的输出频率; N 为 11 bit 二进制可编程计数器 (16~2 047); A 为 7 位二进制可编程计数器 ($0 \leq A \leq 63, A < N$); R 为 14 位可编程二进制计数器 (8~16 383); P 为预设双模预分频器模式 (32 或 64)。

电台, 选用 ATMEL 公司的高性能、低功耗的 8 bit 处理器 AVR1280 完成控制工作^[9]。单片机通过外部输入获得需要设置的频率, 计算后将频率控制字和相位控制字串行写入 DDS 内部寄存器中, DDS 即可以产生一个频率和相位都可编程控制的模拟正弦波输出; 然后把 DDS 的输出信号作为 PLL 参考信号频率, 通过单片机设定分频器的分频比 $(PN+A)/R$, 最终得到频率为 DDS 输出频率 $(PN+A)/R$ 倍的时钟信号。

在设计上, AD9835 的输出连接一个带通滤波器 (BPF), 保证 AD9835 的输出频率 f_{DDS} 在 2.7 MHz 左右小幅变化, 通过该低通滤波器滤除高频的干扰分量。再将带通滤波器输出连接到 MB1505, 通过改变 MB1505 的分频比, 获得精准的频率输出, 频率合成器硬件结构如图 4 所示。

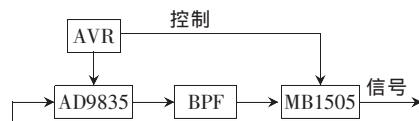


图 4 频率合成器硬件示意图

设式 (5) 中 $R=64, P=32$, 当 $45.3 \text{ MHz} \leq f_{\text{vco}} \leq 75 \text{ MHz}$, $f_{\text{DDS}} \approx 2.7 \text{ MHz}$ 时, N, A 编程计数器均可在规定范围内取值, 可得:

$$f_{\text{vco}}=(32N+A) \times f_{\text{DDS}}/64 \quad (6)$$

各寄存器参数计算过程如下:

(1) 设 f_{DDS} 为 2.7 MHz, 根据输出频率 f_{vco} , 由式 (6) 计算出 $(32N+A)$ 的值, $M=(32N+A)=[64 \times f_{\text{vco}}/f_{\text{DDS}}]$ ($[]$ 表示取整)。

(2) 计算 $N=[M/32], A=M \% 32$ 。

(3) 将 A 和 N 的值, 代回式 (6) 可得 f_{DDS} 。

(4) 根据 $f_{\text{DDS}}=K \times 45.545/2^{10}$, 计算 K 的值。

单片机中频率合成的控制程序根据此计算方法计

算出 AD9835 和 MB1505 中各寄存器参数的值,再通过 I/O 进行设置。在程序的实际开发中,由于 AVR 单片机是 8 bit 的处理器,特别需要注意变量的数值表达范围及精度。程序的编写采用针对 AVR 单片机设计的 C 语言编译器,其支持 ANSI 标准的 C 语言程序设计,同时针对 AVR 单片机的一些特点进行了扩展;支持 32 bit 浮点数 float,用 4 B 来表示一个实数,表示范围为: $\pm 1.175e-38 \sim 3.40e+38$ 。无符号长整型变量 unsigned long 也采用 4 B,表示范围为: $0 \sim 4\ 294\ 967\ 295$ 。 f_{vco} 的输出频率为 45.3 MHz~75 MHz,以 Hz 为单位进行表达计算,可以用 float 及 long 类型的变量来表示。特别需要注意的是:避免由两个浮点数或无符号长整型变量进行乘除运算结果的溢出而导致错误的问题。

3 频率校准

由于工作环境等原因,往往需要对电台的工作频率进行校准,该功能可由单片机对 DDS 和 PLL 控制之前完成,即对输出频率 f_{vco} 进行预先调整后再进行计算,以确保合成频率的准确。校准分为微调 and 线性校准两个部分。典型的频率设置工作流程如图 5 所示。

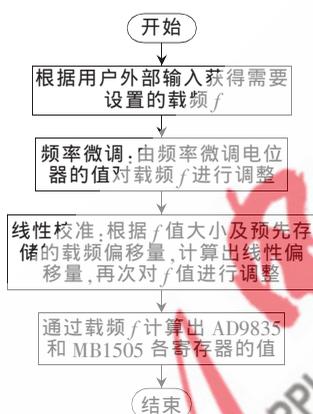


图 5 频率设置流程图

频率微调功能主要用于补偿通信设备之间的频率偏差,由单片机对控制微调的电位器进行采样,根据电位器来判断调整的范围。设电位器的最大采样值为 V_{max} , $[0, V_{\text{max}}]$ 分为 $2n$ 等分,设 $\Delta V = V_{\text{max}}/2n$,当电位器值 V_{AD} 为 $V_{\text{max}}/2$ 时, f_{vco} 不变化,则以此为中心,根据电位器值对载频 f 进行调整。每当电位器顺/逆时针旋转偏移 $V_{\text{max}}/2n$, f_{vco} 变化 $\pm \Delta f$ 时,计算方法如下:

$$f = f - n \times \Delta f + [V_{\text{AD}}/\Delta V] \times \Delta f \quad (7)$$

线性校准主要用于调整载频偏移的影响,短波电台载频 f 不断变化,会导致频率偏移的变化,其一般表现为线性关系,如图 6 所示。通过线性校准来对载频的偏移进行补偿。通过精准的频率计可以分别获得载频为 1 MHz 和 29 MHz 时的偏移量 S_1 和 S_{29} ,将其记录在单片机的非失忆存储区(EEROM)中。工作时偏移频率的计算如下:

$$S_n = (S_{29} - S_1)/28 \times (f - 1) + S_1 \quad (8)$$

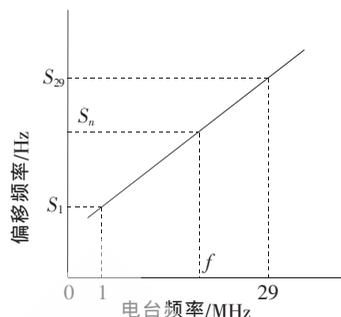


图 6 载频偏移示意图

4 实验分析

为了验证组合式频率合成器的正确性和精确性,采用频率计对电台的输出频率进行了测试。采用的晶体振荡器的精度为 1.5 ppm。频率校准前后测试数据如表 1 所示。

表 1 频率校准前后比较

目标频率 /MHz	线性校准前频差 /Hz	线性校准后频差 /Hz	微调后频差 /Hz
0.3	64	0.4	0.4
1	67	0	0
5	85	0.856	0.856
10	106	4.434	0.434
20	148	0.434	0.4340
29	187	0	0

根据实验数据,验证了设计的组合式频率合成器可满足电台对频率精度的需要。实验证明,经过载频在微调之前先经过线性频率补偿,可以提高输出频率的精度,从而减少用户对频率微调电位器的操作。

本文介绍的采用通过单片机控制 DDS 和 PLL 进行频率合成的方法,满足了为短波电台提供精确的本振源的需要。该方法调试简单、性能稳定,综合了 DDS 和 PLL 各自的优点,具有优良的技术性能,有一定的工程应用价值。

参考文献

- [1] Analog Devices. AD9835 Datasheet. 1998.
- [2] FUJISTU. MB1505 Datasheet. Sept, 1995.
- [3] 李俊俊,刘珩,吴丹.基于 DDS+PLL 频率合成器的设计实现[J].电子测量技术,2009(4).
- [4] 任鹏,周资伟,朱江.一种基于 DDS 和 PLL 技术本振源的设计与实现[J].现代电子技术,2009(9).
- [5] 殷雷,金海军,李映雪,等.基于 DDS 的高精度函数信号发生器研制[J].现代电子技术,2009(1).
- [6] ATMEL. ATmega1280/V user's manual [R]. 2549K-01/07. 2007.

(收稿日期:2010-08-15)

作者简介:

胡荣贵,男,1966年生,博士,教授,主要研究方向:网络安全,嵌入式系统。

徐海,男,1984年生,硕士,工程师,主要研究方向:嵌入式系统,软件工程。