

基于 VHDL 的旋转编码器接口电路的实现

薛沛祥,袁少强

(北京航空航天大学 自动化科学与电气工程学院,北京 100191)

摘要: 用 VHDL 语言设计的增量式旋转编码器接口电路,实现了四倍频、双向计数的功能以及与单片机的接口。给出了在 MAX Plus II 环境下的 VHDL 源代码和时序仿真结果。本设计在角度测量、位移测量和高度测量等方面有广泛的应用价值。

关键词: 旋转编码器;四倍频;VHDL;Max Plus II

中图分类号: TM13

文献标识码: A

文章编号: 1674-7720(2011)01-0023-03

Interface circuit design of revolving encoder based on VHDL

Xue Peixiang, Yuan Shaoqiang

(School of Automation Science and Electrical Engineering, Beijing University of Aeronautics and Astronautics, Beijing 100191, China)

Abstract: The designed circuit of revolving encoder is based on VHDL and realizes the function of fourfold frequency multiplication, two-way identification counter, and the interface to MCU. The source codes of VHDL and simulation results in MAX Plus II are given. The circuit can be applied in angle measurement, displacement measurement and height measurement.

Key words: revolving encoder; fourfold frequency multiplication; VHDL; Max Plus II

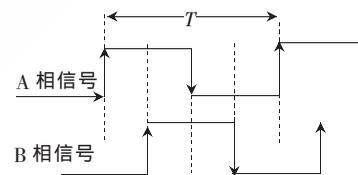
旋转编码器是一种高精度的角位置测量传感器,具有分辨率高、响应速度快等特点,被广泛应用在以位置或角度为对象的控制系统中。将编码器安装在电机轴的非负载端跟随转动,其反馈信号传递给控制器,构成对电机的闭环控制^[1]。

增量式旋转编码器发出两路正交脉冲,即两路(A、B)相位差 90°的方波,其相位关系标志电机的转向,当 A 相超前 B 相 90°时,标志电机正转,如图 1 所示;当 B 相超前 A 相 90°时,标志电机反转,如图 2 所示。编码器旋转一圈,输出脉冲数固定,通过累加 A、B 两相信号的脉冲数可以计算电机转过的角度。

本文用 VHDL 语言设计了一种增量式旋转编码器的接口电路,可以配置在 CPLD 或者 FPGA 上,实现对编码器输出信号的四倍频、双向可逆计数和与单片机接口的功能。下面介绍各个电路的设计原理和实现源码。

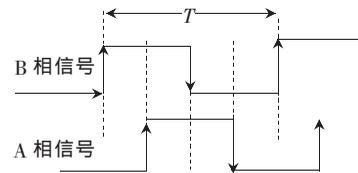
1 四倍频电路设计原理

对于每个确定的编码器,其脉冲周期 T 对应的角位移固定为 q , 其量化误差为 $q/2$ 。若将 A 和 B 信号四倍频,则计数脉冲的周期将减小到 $T/4$,量化误差减小为 $q/8$,从而使角位移测量精度提高 4 倍^[2]。



Y 初值为 n $n+1$ $n+2$ $n+3$ $n+4$

图 1 编码器正转时输出波形和四倍频示意图



Y 初值为 n $n-1$ $n-2$ $n-3$ $n-4$

图 2 编码器反转时输出波形和四倍频示意图

如图 1 和图 2 所示,在任意一个周期 T 内,A、B 两路信号各变化了两次,分别产生一次上升沿和一次下降沿,若用 Y 对 A、B 两路信号的跳变沿计数,则在一个脉冲周期内,信号 Y 就会出现 4 次变化,实现编码器信号的四倍频。

2 转向鉴别电路设计原理

在信号跳变沿时检测另一相信号的电平值可以判断转向^[3]。例如,在 A 相信号上升沿时检测 B 相信号电平,若 B 为低电平(如图 1),表示电机正转;若 B 为高电平(如图 2),表示电机反转。结合上面所述四倍频原理,计数规则总结如下。

(1)检测到以下状态表示电机正转,加计数:

①A 相上升沿, B=0; ②A 相下降沿, B=1; ③B 相上升沿, A=1; ④B 相下降沿, A=0。

(2)检测到以下状态表示电机反转,减计数:

①B 相上升沿, A=0; ②B 相下降沿, A=1; ③A 相上升沿, B=1; ④A 相下降沿, B=0。

3 与单片机接口设计原理

编码器的脉冲计数值一般要传送给单片机或其他控制器进行处理,而 CPLD 的全局时钟的频率高于单片机的时钟频率,为保证 CPLD 和单片机之间计数值传输的正确性,单片机首先发送信号给 CPLD,将计数值锁存后再进行传输。CPLD 与单片机接口示意图如图 3 所示。本设计中 CPLD 检测到单片机锁存信号的上升沿后将当前计数值锁存^[4],然后在单片机位选信号的上升沿和下降沿分时将 16 bit 计数值的高 8 位和低 8 位传送给单片机 8 bit I/O 端口。



图3 CPLD与单片机接口示意图

4 实现电路的源代码

本设计利用 D 触发器的延时作用检测信号跳变沿, D 输入端接脉冲信号,则 Q 输出端是上一个 CLK 周期的脉冲信号状态。在 CLK 的上升沿检测 Q 端输出和 D 端信号电平值是否一致,不一致表示出现跳变沿。

设 A 和 B 是 A、B 相的源信号,经过 D 触发器后 A、B 相信号记为 A1、B1,则计数规则表示为:

A=1, A1=0, B=0;

A=0, A1=1, B=1;

B=1, B1=0, A=1;

B=0, B1=1, A=0 时,加 1 计数

A=1, A1=0, B=1;

A=0, A1=1, B=0;

B=1, B1=0, A=0;

B=0, B1=1, A=1 时,减 1 计数

```
CONT: Process (CLK, RESET); //方向鉴别、四倍
begin //频和计数进程
```

```
if RESET='0' then
```

```
CONT16<=(others=>'0'); //计数初值设为 0
```

```
    elsif CLK'event and CLK='1' then
    if
      (A='1'and A1='0' and B='0') or
      (A='0'and A1='1' and B='1') or
      (B='1'and B1='0' and A='1') or
      (B='0'and B1='1' and A='0')
    then CONT16<=CONT16+1; //正转加计数
    elsif
      (A='1'and A1='0' and B='1') or
      (A='0'and A1='1' and B='0') or
      (B='1'and B1='0' and A='0') or
      (B='0'and B1='1' and A='1')
    then CONT16<=CONT16-1; //反转减计数
    else null;
    end if;
    end if;
    end Process;
    LOCKe: process(RESET, lock); //计数值锁存进程
    begin
      if (RESET='0') then
        OUT_lock <=(others=>'0');
        elsif rising_edge(lock) then; //锁存信号上升沿
          OUT_lock <=OUT_tmp;
        else null;
        end if;
      end process;
    CHOOSE: process(RESET, CLK); //计数值传输进程
    begin
      if(RESET='0') then
        OUTPUT8 <=(others=>'0');
        elsif rising_edge(CLK) then
          if(choose='1' and choose_one='0') then
            OUTPUT8<=OUT_lock(15 downto 8);
            //位选信号上升沿,传输高 8 位
          elsif(choose='0' and choose_one='1') then
            OUTPUT8<=OUT_lock(7 downto 0);
            //位选信号下降沿,传输低 8 位
          else null;
          end if;
        else null;
        end if;
      end process;
    end process;
```

5 仿真结果

利用 ALTERA 的开发工具 MAX+Plus II,输入 VHDL 文本文件,目标设备为 EPM7128SLC84^[5],CLK 周期为 200 ns, A、B 的周期为 2 000 ns,编译后仿真波形如图 4~图 7 所示。

图4是编码器正转时的仿真波形,在A相信号的1个周期,两条标记线内,计数值 OUTPUT 由初始值4增加到8,实现四倍频加计数。

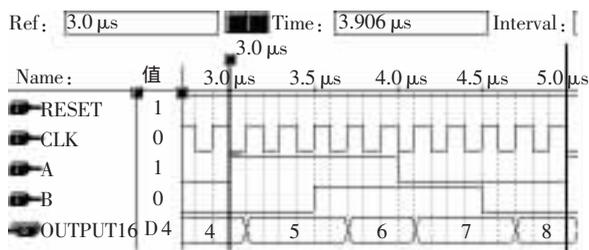


图4 编码器正转时仿真波形

图5是编码器反转时的仿真波形,在A相信号的1个周期内,计数值 OUTPUT 由初始值15减少到11,实现四倍频减计数。

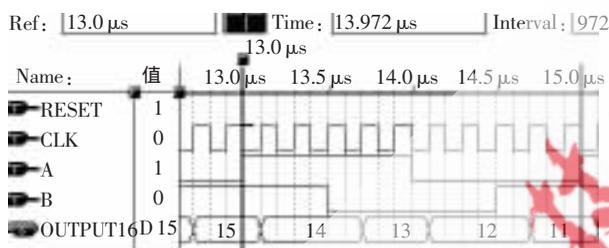


图5 编码器反转时仿真波形

图6是编码器由正转切换为反转时的仿真波形。如图中标记线所示,B相超前A相后的第一个CLK的上升沿,计数方向立即改变,由加计数变为减计数。



图6 编码器正反切换时仿真波形

如图7中标记线所示,在锁存信号 lock 上升沿时 16 bit 计数值锁存于 OUT_lock; 位选信号 choose 上升沿后的第一个 CLK 上升沿,8 bit 计数值 OUTPUT8 输出 OUT_lock 的高 8 位; choose 下降沿时 OUTPUT8 输出 OUT_lock 的低 8 位。

由上述仿真波形可以看出,本电路的设计实现了编码器的转向鉴别、四倍频、双向计数以及与单片机通信的功能。

本文设计的编码器接口电路,结构简单、可靠性高,即使在正反转频繁切换的场合也能高精度地工作。本接

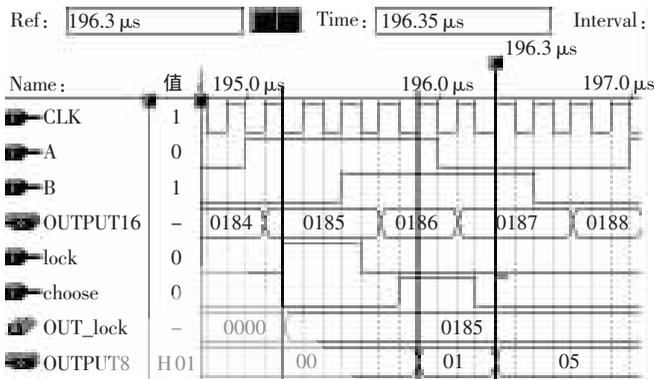


图7 计数值传输时仿真波形

口电路已应用在单级旋转倒立摆控制系统中,且运行良好。

参考文献

- [1] 夏冬梅,孙林.基于 CPLD 的增量式旋转编码器接口电路模块设计[J].机械制造与自动化,2009,38(5):156-157,160.
- [2] 史晓娟,李海芹.基于 CPLD 的四倍频鉴相计数电路在运动控制器中的应用[J].制造技术与机床,2008(6):85-87.
- [3] 马志建,戴炬,张峰,等.基于 CPLD 的编码器倍频鉴相计数电路设计[J].仪器仪表用户,2009,16(4):82-84.
- [4] 黄任.AVR 单片机与 CPLD/FPGA 综合应用入门 [M].北京:北京航空航天大学出版社,2004.
- [5] 王志鹏,付丽琴.可编程逻辑器件开发技术 MAX+plus II [M].北京:国防工业出版社,2005.

(收稿日期:2010-08-03)

作者简介:

薛沛祥,男,1986年生,硕士研究生,主要研究方向:导航制导与控制。

袁少强,男,1960年生,副教授,主要研究方向:导航制导与控制。