

# 一种高效灵活数字上变频 FPGA 设计

张新胜

(中国人民解放军空军装备部,北京 100071)

**摘要:** 数字上变频器是软件无线电的核心部件之一,其基本功能是增加基带信号采样率并将其搬移到载波频率上。本文采用内插滤波器特性较好的积分梳状滤波 CIC 和补偿滤波器 CFIR 级联的插值滤波器结构,载频可编程的数控振荡器(NCO)在 Altera FPGA EP2SGX90 上实现了稳定可靠的数字上变频器。

**关键词:** 软件无线电; 数字上变频; FPGA; 积分梳状滤波器

中图分类号: TN713.7

文献标识码: A

文章编号: 1674-7720(2010)24-0016-03

## FPGA design of a high-efficiency flexible digital up converter

ZHANG Xin Sheng

(The Equipment Department of Air force of People's Liberation Army, Beijing, 100071, China)

**Abstract:** Digital up converter (DUC) is one of the key components in software defined radio(SDR). Its main function is to increase the sampling rate of the baseband signal and shift it to carrier frequency. The paper designs a reliable DUC with the architecture of cascading CIC filter and (compensation FIR) CFIR filter, and programmable numerically control oscillator based on Altera FPGA EP2SGX90. The DUC designed in the paper has the following features: low power consumption, high computation resolution, programmable NCO and up to 100dB spur-free dynamic range (SFDR).

**Key words:** software defined radio; digital up conversion; FPGA; CIC filter

软件无线电的基本思想是把 A/D 转换器尽可能地靠近射频天线,用软件实现无线电系统的各种功能<sup>[1]</sup>。数字上变频器是软件无线电中发射机的核心部分,它的基本功能是增加基带信号采样率并将其上变频到载波频率上,经过发射天线发射出去。采用专用芯片实现数字上变频器集成度高,应用方便,但是缺少灵活性,在软件无线电中的应用受到限制,因此研究使用可编程的 FPGA 实现数字上变具有重要意义。

半导体技术的发展使得 FPGA 的性能越来越高,目前较高性能的 FPGA 内嵌了丰富乘累加单元和 Block-Ram 单元,再凭借可编程特点和高速并行结构,FPGA 在越来越多的情况下可取代 DSP 和 ASIC 而成为未来数字信号处理的理想选择。FPGA 内置越来越多的成熟 IP 核,为研究和开发者提供了方便,缩短了开发周期。

本文研究了数字上变频原理,根据一组设计实例参数要求,利用 Matlab 仿真分析,提出了满足系统性能的高效插

值滤波器的结构,即积分梳状滤波器 CIC(Cascade Integrator-Comb Filter)和补偿滤波器(CFIR)级联的结构。在 FPGA 中采用 Altera 提供的 IP 核实现稳定可靠的数字上变频。

### 1 数字上变频原理

数字上变频器的基本工作原理是将基带信号通过脉冲成形滤波器进行处理,以适应带限信道和消除码间干扰(ISI),然后通过插值滤波器提高采样率,最后与正交载波进行数字混频。其原理框图如图 1 所示。

数字上变频器的核心部件是内插器和数字振荡器

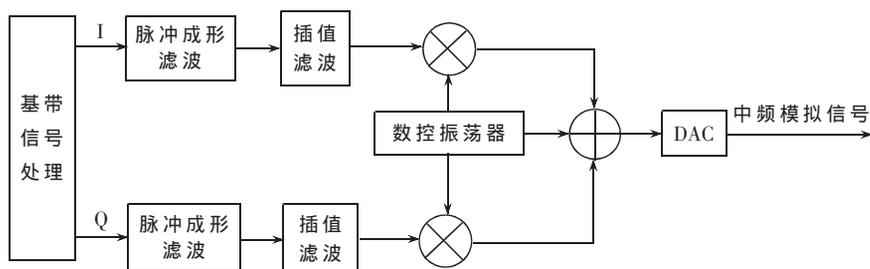


图 1 数字上变频原理框图

(NCO)。内插器通过在原始的采样间隔内增加新的采样点来提高信号的采样率,因此在频域内产生原始信号的镜像频谱,需要通过低通滤波器<sup>[2]</sup>。本设计采用积分梳状滤波器(CIC)和补偿滤波器(CFIR)级联结构来实现内插和低通滤波。上变频采用数字振荡器(NCO)实现。

## 2 插值滤波器的设计

### 2.1 积分梳状滤波器 CIC

积分梳状滤波器 CIC,又名 Hogenauer filters,具有结构简单、规整,需要的存储小等特点。由于它不需要乘法器,加之滤波器的所有系数均为 1,而且利用积分环节减少了中间过程的存储量,因此常常应用在高速采样(高速采样使得乘法器个数太多)和插值比很大(插值比大使得 FIR 滤波器的阶数过高,需要保存的系数太多)情况下。

积分梳状滤波器 CIC 一般由 Integrator 和 Comb 两个基本模块组成。Integrator 模块的差分方程为:

$$y[n]=y[n-1]+x[n]$$

其 Z 域上的传递函数为:

$$H_I(z)=\frac{1}{1-z^{-2}}$$

Comb 模块的差分方程为:

$$y[n]=x[n]-x[n-R]$$

其 Z 域上的传递函数为:

$$H_C(z)=1-z^{-R}$$

积分梳状滤波器 CIC 分为两种功能,分别为抽取器和内插器。本文主要关注 CIC 内插器。CIC 内插器是由  $N$  个 Comb 模块级联,以  $\frac{f_s}{R}$  的速率采样,再级联以  $N$  个 Integrator 模块,其采样率为  $f_s$ ,内插系数为  $R$ 。那么,内插器的 Z 域传递函数为:

$$H(z)=H_I^N(z)H_C^N(z)=\frac{(1-z^{-R})^{-N}}{(1-z^{-1})^{-2N}}=\left(\sum_{k=0}^{R-1}z^{-k}\right)^{-N}$$

积分梳状滤波器 CIC 其本质上等同于  $N$  个具有矩形冲击响应的滤波器的级联。但是在实现上却减少了复杂度与资源消耗。CIC 是一种在硬件实现上比较经济的滤波器结构。 $N$  越大,积分梳状滤波器 CIC 幅频响应越好<sup>[3]</sup>。

### 2.2 CFIR 滤波器

尽管积分梳状滤波器在插值比较大的情况下很有效,但是其响应缺少平坦通带响应和快速下降的过渡带。为了解决这个问题,需要在积分梳状滤波器 CIC 前面级联一级补偿滤波器 CFIR。CFIR 幅频响应函数:

$$G(f)=\left|MR\left(\frac{\sin\pi f/R}{\sin(\pi Mf)}\right)\right|^N\approx\left|\frac{\pi Mf}{\sin(\pi Mf)}\right|^N=|\text{sinc}^{-2}(Mf)|^N$$

其中  $M$  为滤波器的微分时间延迟, $R$  为插值系数, $N$  为 CIC 滤波器的级数<sup>[4]</sup>。

积分梳状滤波器 CIC 经过补偿滤波器 CFIR 的补偿后,其幅频响应具有近乎水平的通带和快速下降的过渡带。

《微型机与应用》2010 年 第 29 卷 第 24 期

积分梳状滤波器 CIC、补偿滤波器 CFIR 以及二者级联后的信号分别如图 2、图 3、图 4 所示。从图中可以看出 CIC 与 CFIR 级联后的幅频响应曲线通带平坦,过渡带陡峭,有很理想的幅频响应曲线。

## 3 数控振荡器 NCO 设计

数控振荡器 NCO(Numerically Controlled Oscillator)是数字上变频器的重要部件,用于实现基带信号到中频信号的频谱搬移。数控振荡器具有频率分辨率高、频率变化快、相位可连续性变化及生成的正余弦正交特性好等特点,数字化的相位和幅度可以实现高精度的数字调制解调。本设计中 NCO 采用 CORDIC 算法,不占用 RAM 和 DSP 资源,只消耗逻辑资源。基于 CORDIC 迭代算法的数控振荡器仅用移位寄存器和加法器就可产生正余弦信号,不但省去了传统 NCO 庞大的存储器资源,而且具备数控振荡器频率分辨率高、频率变化速度快、相位可连续性变化和生成的正

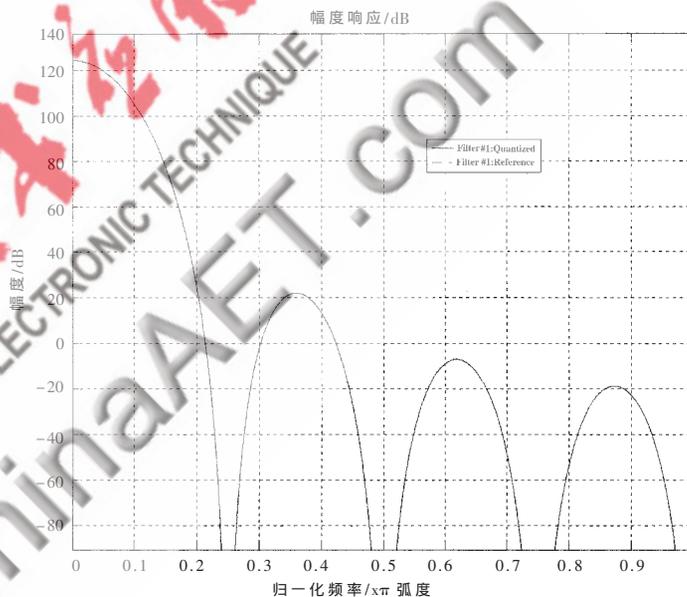


图 2 CIC 幅频响应曲线

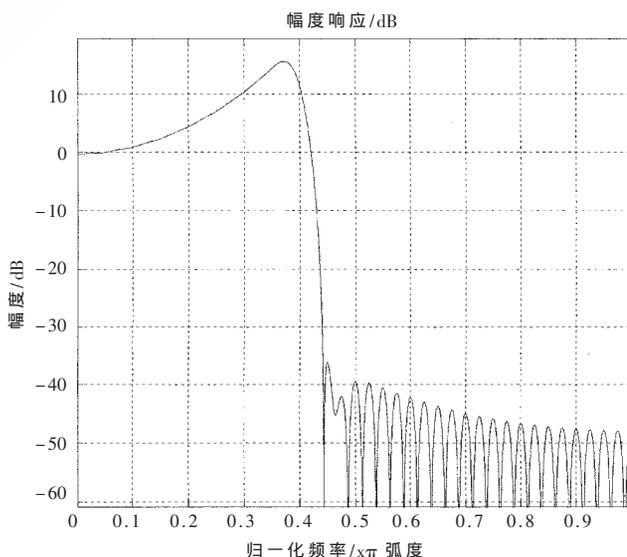


图 3 CFIR 幅频响应曲线

欢迎网上投稿 www.pcachina.com

17

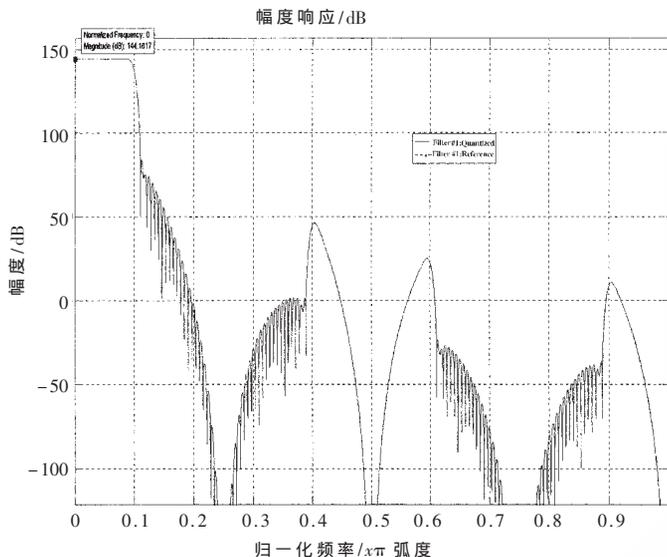


图4 CIC与CFIR级联幅频响应曲线

余弦正交特性好的优点<sup>[5]</sup>。本文设计的NCO可编程,无杂散,动态范围可达100 dB。

#### 4 硬件实现

本设计是在Altera QuatusII 8.0软件环境下实现的。在Altera FPGA EP2SGX90验证了数字上变频功能。由于数字上变频跟参数相关,不同的参数要求有不同的设计结构,因此本文以一组实际参数要求来介绍数字上变频如何在FPGA中实现。数字上变频参数要求如表1所示。

表1 数字上变频参数

D/A 速率	80 MHz
内插率	8
NCO 频率	10 MHz, 可编程
NCO 精度	32 bit
输入数据宽度	16 bit × 2 (I/Q)
输入数据时钟	10 MHz
输出数据宽度	16 bit
基带频响平坦度	0.05 dB
基带信号通带频率	1.0 MHz
基带信号截止频率	1.5 MHz

根据表1中数字上变频器的要求,在Matlab中仿真插值滤波器的参数。本设计采用2插值的补偿滤波器CFIR和4插值的积分梳状滤波器CIC级联结构。补偿滤波器CFIR不仅起到低通滤波器和2插值的作用,而且具备平滑CIC滤波器的作用。图4是参数 $R=4, M=2, N=8$ 时,补偿滤波器CFIR和积分梳状滤波器CIC级联后的幅频响应,从图中可以看到该幅频响应的混叠抑制达到100 dB。

FPGA EP2SGX90具有丰富的IP(Intellectual Property)资源。利用其FIR IP和CIC IP实现插值滤波,利用NCO IP实现上变频。其中FIR IP系数采用对称结构,这样节省一半的系数存储单元。数字上变频器在FPGA

中的实现框图如图5所示。由于补偿滤波器CFIR和插值滤波器CIC IP核的特点,输入信号不是连续的,因此在设计中需要在二者的输入端添加FIFO。采样率为 $F_s$ 的基带信号通过CFIR 2插值后采样率变为 $2F_s$ ,同样该信号再经过4插值CIC滤波器后采样率为 $8F_s$ 。FPGA采用流水结构,实现信号的实时处理。

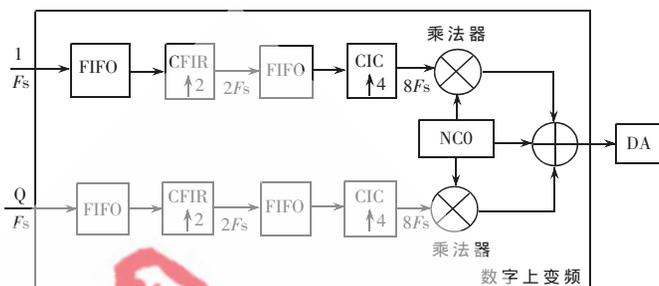


图5 FPGA中数字上变频实现框图

本文设计的数字上变频系统实现了通带频率1.0 MHz,截止频率1.5 MHz基带信号经过8插值上变频到载频10 MHz的调制信号。该数字上变频占用的主要FPGA EP2SGX90内部资源如表2所示。结果表明,该系统在占用少量资源的情况下实现了数字上变频功能。

表2 FPGA资源占用情况

主要资源	已占用数	总数	百分比/%
神经逻辑寄存器	12 929	72 768	18
查找表	10 847	72 768	15
块RAM数	38 220	452 044 8	<1
M512s	8	488	2
M4Ks	39	408	10
9-bit 单元 DSP 块	12	384	3

#### 5 结果分析

为了验证本文设计的数字上变频的性能,数据从数字上变频系统输出后经过AD9747芯片进行数模转换,模拟信号接到示波器上观察到的波形如图6所示。这里使用的是LeCory公司的序列号LCRY0409N01153的示波器。图中C3对应的是原始基带信号经过数模转化后

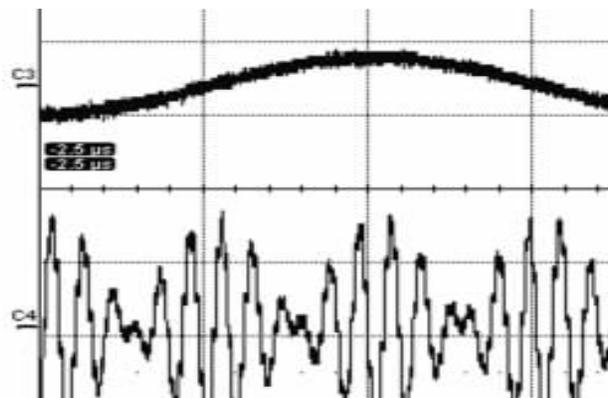


图6 基带信号和数字上变频信号数模转换后的模拟信号

## 硬件纵横

Hardware Technique

的模拟信号, C4 对应的是数字上变频后数模转化后的模拟信号。

本文研究了数字上变频的原理, 以实际工程需要为例介绍了使用 FPGA 设计数字上变频的过程。采用梳状滤波器和补偿滤波器级联的结构使数字上变频有很好的内插滤波器特性。同时根据 FPGA 中 CIC 和 FIR IP 核的时序特点, 设计了高效流水结构, 这对实际的工程设计有重要的指导意义。本文设计的数字上变频具有可编程、信号精度高、系统无杂散动态范围高达 100dB 的特点, 在 FPGA 中能稳定可靠地运行。

### 参考文献

- [1] 杨小牛, 楼才义, 徐建庭. 软件无线电原理与应用[M]. 北京: 电子工业出版社, 2001.
- [2] 胡广书. 数字信号处理-理论、算法与实现[M]. 北京: 清华

大学出版社, 1997.

- [3] Altera Corporation. CIC Megacore Function User Guide. 2009(11).
- [4] Altera Corporation. Understanding CIC Compensation Filters. Ver.1.0. 2007(4).
- [5] Altera Corporation. NCO Megacore Function User Guide. 2009(11).

(收稿日期: 2010-09-20)

### 作者简介:

张新胜, 男, 1956 年生, 高级工程师, 主要研究方向: 军事装备学及装备综合计划管理。

电子技术应用  
APPLICATION OF ELECTRONIC TECHNIQUE  
www.chinaAET.com