

# 基于单片机的数字通信系统位同步提取

王帆,王新新

(洛阳理工学院 计算机与信息工程系,河南 洛阳 471023)

**摘要:** 同步是通信系统中一个非常重要的实际问题。同步系统性能的降低会导致通信系统性能的降低,甚至使通信系统不能正常工作。因此,同步是信息能够正确可靠传输的前提。介绍一种基于单片机的锁相环位同步提取技术的原理及算法。

**关键词:** 位同步;数字锁相;通信系统;单片机

中图分类号: TN914.3

文献标识码: A

文章编号: 1674-7720(2010)23-0066-02

## Extraction of bit synchronization signal based on single-chip

WANG Fan, WANG Xin Xin

(Department of Computer and Information Engineering, Luoyang Institute of Science and Technology, Luoyang 471023, China)

**Abstract:** Synchronization is a very important practical problem in the communication system. In the communication system, reducing synchronous system function would cause communication system function to lower, even making the communication system can't work normally. Therefore, synchronous is the precondition that the information can be transferred corrected. This paper discusses an extraction technology of bit synchronization signal based on singlechip.

**Key words:** bit synchronization; digital phase lock; communication system; single-chip

在数字通信系统中,发送端按照确定的时间顺序,逐个传输数码脉冲序列中的每个码元,而在接收端必须有准确的抽样判决时刻才能正确判决所发送的码元,因此,接收端必须提供一个确定抽样判决时刻的定时脉冲序列。这个定时脉冲序列的重复频率必须与发送的数码脉冲序列一致,同时在最佳判决时刻(或称为最佳相位时刻)对接收码元进行抽样判决。可以把在接收端产生这样的定时脉冲序列称为码元同步,或称位同步。

实现位同步的方法和载波同步类似,有直接法(自同步法)和插入导频法(外同步法)两种,而直接法又分为滤波法和锁相法。本文介绍的方法就是用直接法中的锁相环实现的。

### 1 数字锁相位同步提取原理

数字通信系统接收端位同步提取通常采用如图1所示的数字锁相环 DPLL (Digital Phase Locked Loop)。DPLL 包括 3 个部件:

(1)数字鉴相器 DPD(Digital Phase Detector)比较接收码元与本地 DCO 输出的位同步时钟相位,输出反映相位差的数字信号。

(2)数字环路滤波器 DLF(Digital Loop Filter)对 DPD 输出相位误差数字信号滤波,去掉随机噪声的影响,输出较准确的相位误差数字信号。

(3)数控振荡器 DCO(Digital Controlled Oscillator)是数字电路构成的振荡器,输出与接收码元相同速率的位同步时钟脉冲 CLK,其相位受相位误差数字信号控制可提前或推迟,最后与接收码元相位锁定。

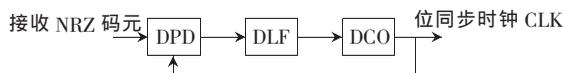


图1 位同步提取数字锁相环(DPLL)

DPD 及 DCO 是构成数字锁相环必不可少的部件,DLF 可视需要而加入。3 个部件各由多种形式的电路组成不同的数字锁相环。最典型的数字锁相环为超前-滞后型数字锁相环,又称为微分整流型数字锁相环,在码速率不高时可由图2所示单片机系统实现。图中,边缘检测又称为过零检测,它将输入数据信号 DK1 放大整形后,再将其跳变沿(整形前的过零点)变换为窄脉冲 ZCD,送至单片机的外部中断输入端 INT1。边缘检测中的延时电路可用几级门实现。微分整流电路与边缘检测

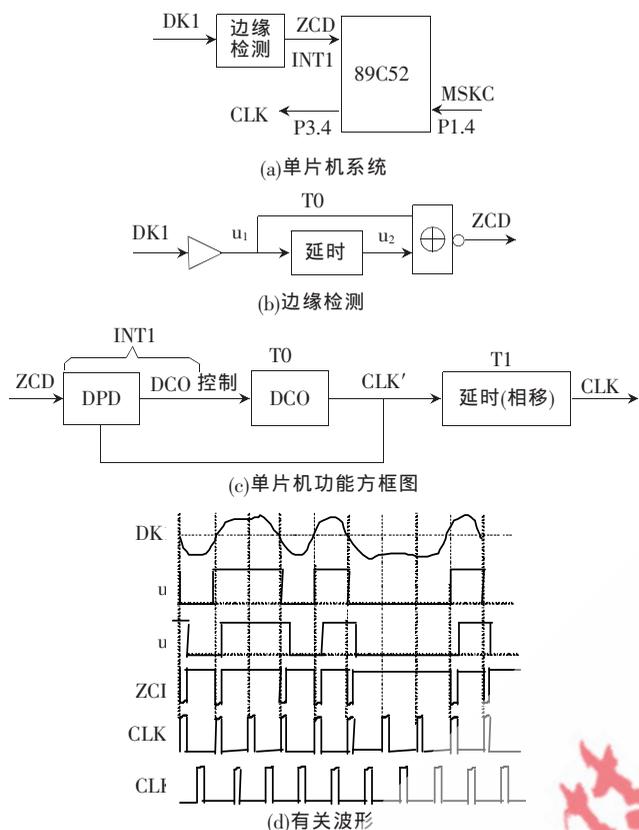


图2 单片机实现超前-滞后位同步数字锁相环

电路具有相同功能。

该数字锁相环未用 DLF。单片机内 T0 定时器及其中断服务程序实现 DCO 功能。在 DK1 无跳变沿(无 ZCD 负脉冲)时,单片机不进入 INT1 中断服务程序,T0 定时为输入码周期  $T_b$ 。在 DK1 有跳变沿时,进入 INT1 中断服务程序,首先读取 T0 当前值与预期值( $T_b/2$  时常数),通过比较确定 DCO 相位与 DK1 数据跳变沿相位关系是超前或滞后,据此调整 DCO 相位。若 DCO 相位超前,则设置 T0 下周定时为  $T_b+\delta$ ,使 DCO 相位推迟;若 DCO 相位滞后,则设置 T0 下周定时为  $T_b-\delta$ ,使 DCO 相位提前,最后实现 DCO 相位与 DK1 数据相位锁定。总之,INT1 中断服务程序实现 DPD 及 DCO 控制功能,T0 定时器及其中断服务程序实现 DCO 功能。T1 定时器及其中断服务程序实现延时即相移,使最后输出的位同步时钟 CLK 与 DK1(或 DK2)的相位差为 0 或 180°;当传输系统频带不受限、采用 MSK/FSK 调制解调方式时,DK1 为方波,接收端采用积分/采样/判决进行检测,两者相位差应为 0,即 CLK 与 DK1 数据边沿对齐;当传输系统频带受限、采用 GMSK/GFSK 调制解调方式时,DK2 (DK1 经 LPF 后的信号)为钟形脉冲,CLK 应对准 DK2 码元中点采样/判决,两者相位差为 180°或  $T_b/2$ ,如图 2(d)所示。T1 延时由 P1.4 输入信号 MSKC 控制。INT1、T0 及 T1 中断服务程序框图如图 3 所示,主程序完成 3 个中断源初始化及其他初始化后就踏步。

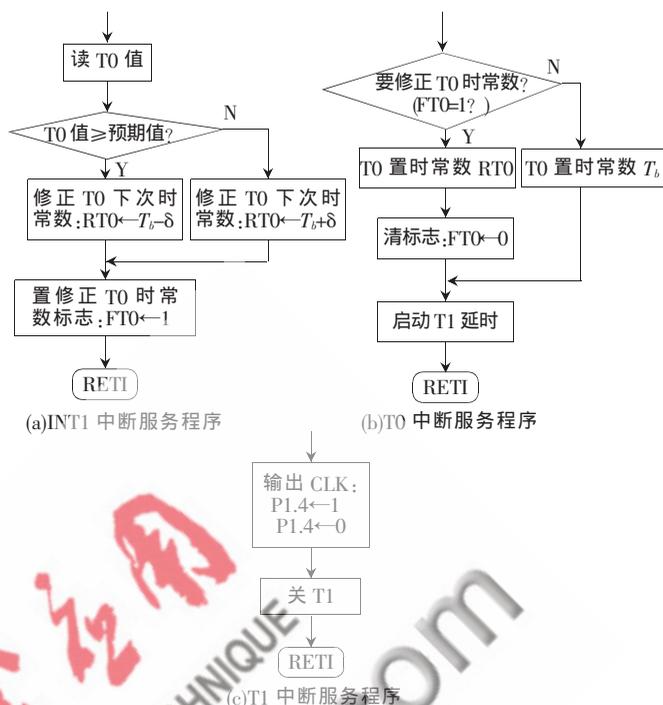


图3 单片机程序框图

注:RTO 为存储单元,FT0 为标志位

位同步提取数字锁相环由 CPU2 实现,其 P1.4 输入的控制信号 MSKC 来自 CPU1,由工作方式决定:在 FSK/MSK 工作方式时,MSKC=1;在 GMSK/GFSK 工作方式时,MSKC=0。

## 2 性能指标及算法

数字锁相环主要性能指标有相位误差  $\theta_e$ 、同步建立时间  $t_s$ 、同步保持时间  $t_c$ 、同步带  $\Delta f_s$  等。下面只介绍上述单片机构成的数字锁相环性能指标的计算公式。

### (1) 相位误差 $\theta_e$

数字锁相环相位只能量化调整。本单片机实现的数字锁相环的 DCO 时常数只能取  $T_b$ 、 $T_b+\delta$ 、 $T_b-\delta$  3 个值。由此得到 3 个有关的量:位同步时钟周期额定值  $T_b$ ,位同步时钟周期最大误差  $\delta$ ,位同步时钟周期最大抖动  $(T_b+\delta)-(T_b-\delta)=2\delta$ 。

以上 3 个量都可以用示波器观测到。其中,周期最大误差  $\delta$  对应的最大相位误差为:

$$\theta_e = 360^\circ \times \frac{\delta}{T_b} \quad (1)$$

### (2) 同步建立时间 $t_s$

同步建立时间为失去同步后重建同步所需最长时间。为求这个最长时间,令位同步脉冲相位与输入信号码元相位差为最大值  $T_b/2$ ,锁相环每调整一步能移动  $\delta_s$ ,故所需最大调整次数为:

$$N = T_b/2\delta$$

对接收的随机数字信号,可近似认为两相邻码元中出现 00、01、10、11 的概率相等,其中有数据跳变的占一

半。而对无 DLF 的数字锁相环而言,每发生数据跳变可调整相位一次,因此平均每  $2T_b$  s 可调整相位一次,故同步建立时间为:

$$t_s = N \cdot 2T_b = T_b^2 / \delta \quad (2)$$

有 DLF 的数字锁相环,要经过若干次比相才调整相位一次,故同步建立时间比式(2)大。

### (3)同步带 $\Delta f_s$

收发两端码元周期的额定值都为  $T_b$  (码速率  $f_b = 1/T_b$ ),但实际上两者都存在偏差,因而两者之间存在频差。接收端位同步锁相环能保持锁定的最大频差称为同步带  $\Delta f_s$ 。

设收发两端固有码元周期分别为  $T_1 = 1/f_1$  和  $T_2 = 1/f_2$ , 则:

$$|\Delta T| = |T_1 - T_2| = \left| \frac{1}{f_1} - \frac{1}{f_2} \right| = \frac{|f_2 - f_1|}{f_1 \cdot f_2} = \frac{\Delta f}{f_0} = \frac{\Delta f}{f_b} \quad (3)$$

式中,  $\Delta f$  为收发两端固有码元速率之差(频差),  $f_0$  为收发两端固有码元速率的几何平均值,可认为近似等于额定码元速率  $f_b$ 。如前所述,无 DLF 的数字锁相环平均每 2 个码元才能调整一次,调整量为  $\delta$  s, 则平均一个码元周期内能调整  $\delta/2$  s。显然,只有  $|\Delta T| \leq \delta/2$  时,才能保证锁相环同步(锁定),故同步带对应的收发码元最大周期之差为:

$$|\Delta T| = \delta/2 \quad (4)$$

由式(3)及式(4)得同步带为:

$$\Delta f_s = f_b^2 \cdot \delta/2 \quad (5)$$

有 DLF 的数字锁相环,调整相位的速率要比无 DLF

的低,故同步带比式(5)小。

由式(1)、式(2)、式(5)可知,3 个性能指标都取决于 DCO 周期调整步距  $\delta$ ;  $\delta$  愈大,同步带愈大,同步建立时间愈短,但相位误差却增大了。所以  $\delta$  应折中选取,在保证锁相环路能锁定(同步)的前提下,  $\delta$  尽可能取小些,以减小相位误差。

本设计采用单片机芯片实现数字电路相关器件,简化了相关器件复杂的逻辑电路设计,降低了系统的功耗和成本,提高了系统的可靠性。实现位同步的方法很多,本文讨论的是采用数字锁相环技术来提取位同步信号。在位同步提取中,如何缩小同步建立时间、降低位误差及增大同步保持时间是好的位同步设计的努力方向。

### 参考文献

- [1] 湛洪然. 单品机原理及实训教程[M]. 北京: 北京师范大学出版社, 2008.
- [2] 樊昌信. 通信原理[M]. 北京: 国防工业出版社, 2001.
- [3] 张厥盛, 郑继禹. 锁相环技术[M]. 西安: 西安电子科技大学出版社, 1994.
- [4] 田智生. 基于锁相环的精确自动增益控制电路[J]. 现代电子技术, 2005, 28(3): 16-17.
- [5] 毕成军. 基于 FPGA 的位同步信号提取[J]. 现代电子技术, 2006, 20(4): 121-123.

(收稿日期: 2010-07-11)

### 作者简介:

王帆, 男, 1982 年生, 硕士, 讲师, 主要研究方向: 现代通信, 智能交通中具有共性的信号处理, DSP 应用技术。