

基于 MCI45163P 的智能锁相频率合成器设计

曾素琼

(嘉应学院 电子信息工程学院, 广东 梅州 514015)

摘要: 设计基于 MCI45163P 的智能锁相频率合成器, 此系统是在经典频率锁相合成器电路的基础上, 加入单片机控制环节, 实现频率输出的自动控制、预置频率值、显示频率等功能。对系统的实现作了详细描述, 最后对系统作了实验验证及分析。

关键词: 锁相环; 锁相频率合成器; 压控振荡器 (VCO); 计数器

中图分类号: TP273; TN915

文献标识码: B

文章编号: 1674-7720(2010)22-0025-03

The design of intelligence PLL frequency synthesizer based on MCI45163P

ZENG Su Qiong

(School of Electronics and Information Engineering, Jiaying University, Meizhou 514015, China)

Abstract: In this paper, intelligence PLL frequency synthesizer based on MCI45163P is designed. The system, based on the classic phase-locked frequency synthesizer circuit, join the single-chip control link, to achieve automatic control of output frequency, preset frequencies and indicating features for the frequency. The realization of the system is described in detail. Finally, experimental verification and analyzed of the system are made.

Key words: phase-locked loop; PLL frequency synthesizer; voltage-controlled oscillator (VCO); counter

1 基于 MCI45163P 的锁相频率合成器系统设计

基于 MCI45163P 的锁相频率合成器系统框图如图 1 所示。环中的 $\div N$ 分频器采用可编程的程序分频器, $f_i = f_n$ 时, 环路锁定, 频率合成器输出频率为 $f_o = Nf_i = Nf_s/R$ 。式中 f_s 为参考频率, 通常是用高稳定度的晶体振荡器产生, 经过固定分频比的参考分频之后获得, 此处 $f_i = f_s/R$; 因 N 、 R 均可调, 输出频率源的频率点较丰富, 较容易满足各种场合的要求。

MCI45163P 是 Motorola 公司的 CMOS 大规模集成锁相频率合成器, 其内部功能块包括图 1 中虚线部分, MCI45163P 内部结构框如图 2 所示。主要集成了参考分频器、两个相位比较器和 4 位 BCD/N 分频器, 配合环路滤波和压控振荡器可以得到一个完整、实用的锁相频率合成器。

输出频率间隔和 13 位/R 计数器: 引脚 RA0 和 RA1

《微型机与应用》2010 年 第 29 卷 第 22 期

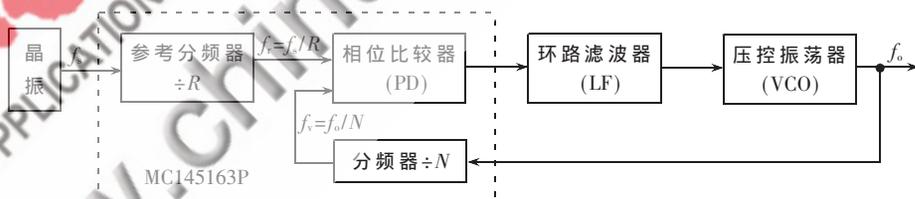


图 1 基于 MCI45163P 的锁相频率合成器系统框图

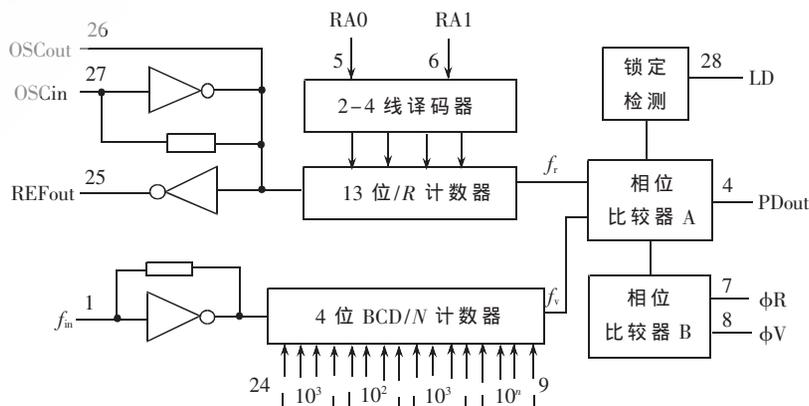


图 2 MCI45163P 内部框图

用来决定 MCI45163P 内部参考分频器的分频比, RA0、RA1 有四种组合决定参考分频器 (R 计数器) 的分频比

欢迎网上投稿 www.pcachina.com 27

硬件纵横

Hardware Technique

的情况:RA1、RA0=00 分频比 512;RA1、RA0=01 分频比 1 024;RA1、RA0=10 分频比 2 048;RA1、RA0=11 分频比 4 096。选择合适的分频比,可以得到对晶振频率 f_s 的分频,进而得到参考频率 $f_r=f_s/R$ 。因为频率合成器的输出频率 $f_o=Nf_r$,因此, f_r 也是输出频率的间隔(步进频率)。

输出频率和 4 位 BCD/N 计数器:MCI45163P 内部带有 4 位 BCD/N 计数器,通过设定 4 位 BCD 的数值,可以得到 N 计数器(分频)值。例如:4 位 BCD 数值设置为 1 000,则环路中 N 计数器(分频)的 N 值为 1000(引脚 24~9 为 0001 0000 0000 0000);4 位 BCD 数值设置为 0750,则环路中 N 计数器(分频)的 N 值为 0750(引脚 24~9 为 0000 0111 0101 0000)。频率合成器的输出频率 $f_o=Nf_r$ 。

2 MCI45163P 的应用设计

2.1 频率范围和频率步进设计

只从 N 分频的设置范围 3~9 999 来看,如果频率步进 f_r 设定为 1 kHz,那么 f_o 输出频率为 3 kHz~9 999 kHz,但要受到 VCO 输出频率覆盖范围的限制。实际选用的 VCO 器件 74LS628,环路处于锁定状态的测量频率范围在 0.7 MHz~9.999 MHz。另外,考虑到最后输出波形达到占空比为 50%的方波,因此可以在 VCO 输出信号后加一个 1/2 分频器进行整形、分频,这样输出波形质量较好。于是这里将频率步进 f_r 先设定为 2 kHz, $f_o=Nf_r=1.4$ MHz~19.998 MHz,即 f_o 的频率步进是 2 kHz;经过 1/2 分频器件得到的 $f_o'=f_o/2=0.7$ MHz~9.999 MHz,即最后输出信号 f_o' 的频率步进为 1 kHz,输出波形和步进同时达到要求,实际相当于双环锁相频率合成器。

2.2 BCD 编码接口设计

用 10 个按键 S0~S9 产生十进制 0~9 的 BCD 编码,4 个按键 S10~S13 用来切换不同位数,并用数码管实时显示当前 BCD 编码所对应的十进制数。电路框图如图 3 所示,其中以单片机 AT89C2051 为核心,编写 4×4 矩阵键盘的扫描控制处理程序,可以实现上述按键功能。采用该电路得到 BCD 编码,优点为可靠、方便,每次只需按下对应的位控制按键(S10~S13)和对应的 BCD 编码按键(S0~S9)。由上述可知,输出信号 f_o 的频率步进为 1 kHz,所以数码管显示 BCD 编码对应的十进制数就是当前 PLL 频率合成器的输出频率。

2.3 VCO 选择

TTL 系列中的 74LS624~74LS629 是 6 种比较常用的 VCO 集成电路。该系统选用压控振荡器 74LS628,器件内含 1 个 VCO、有双向输出(除 Y 输出引脚,有带 Z 输出引脚)、使能端、频段转换、可外接 R_{ext} 作温度补偿。

使用 74LS628 压控振荡器时应注意如下特性:

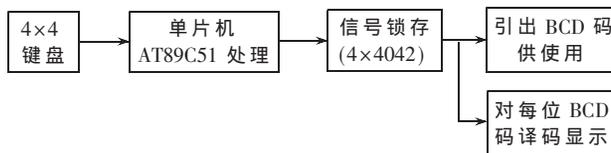


图 3 BCD 电路编码框图

(1) 脚频段转换控制电位 VRNG、13 脚电位 VFC 不变时,3、4 脚外接电容器 C_{ext} 越大,输出信号频率越低,有利于达到频率范围的下限 f_{min} ,但不利于频率范围的上限 f_{max} 。反之,结论相反。因此必须选择合适的 C_{ext} ,且需与 VRNG 配合好,才可得到所要的输出频率。

(2) 脚频段转换控制电位 VRNG、3、4 脚外接电容器 C_{ext} 都不变时,13 脚电位 VFC 越高,输出信号频率越高。13 脚电位 VFC 来自于 MCI45163P 与 LF 的控制信号动态控制 VCO 而达到锁定状态的输出 PDout;3、4 脚外接电容器 C_{ext} 应取合适的电容值:这样利用 2 脚频段转换控制电位 VRNG 的高低,就可以比较容易地实现输出频率 f_o 的频率覆盖范围。

3 整体电路设计

整体电路设计如图 4 所示。

图 4 中,接入 MCI45163P 的晶振为 2.048 MHz,若 RA1、RA0=01 即分频比为 1 024,则可设定为 2 kHz。经 4 位 BCD 编码可方便地设定 N 值,并可以由数码管显示当前 BCD 编码的十进制数,也即为当前 PLL 频率合成器的输出频率。VCO 的 Y 输出端通过电容交流耦合到 MCI45163P 的 1 脚,经过其内部 N 分频后与 f_r 比较,并由 4 脚 PDout 输出,再经 3.3 k Ω 电阻和 4.7 μ F 电容组成的积分型低通滤波器得到控制电压 V_c 。最后接在 VCO 的 13 脚。VCO 的 8 脚输出的信号送至 1/2 分频器分频并整形,输出信号频率 f_o' 。

对于 VCO 频段控制引脚 RNG(2 脚)这样处理:通过集成数值比较器对 BCD/N 分频的最高位 D3 进行分档,例如可以通过 DIP 开关设定数值比较器基准 BCD (B3~B0)为 0100 或 0011,当 D3 小于或超过基准后分别得到高或低电位 VRNG 信号。VRNG 接入 VCO 的 2 脚,实现

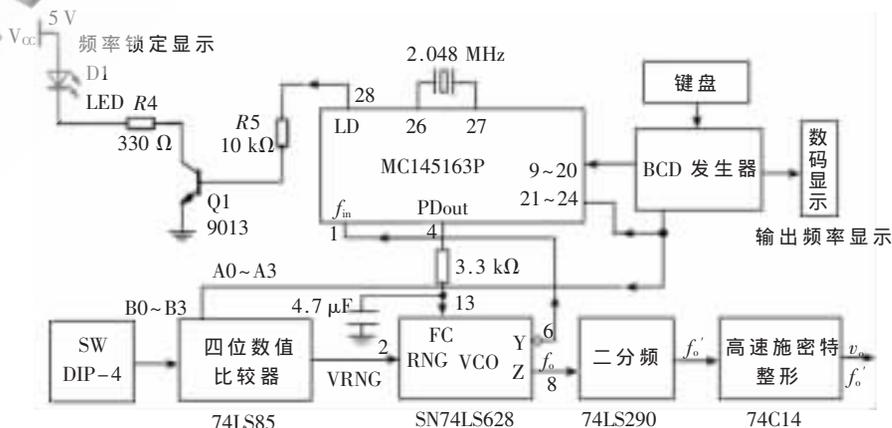


图 4 智能锁相频率合成器整体连接图

表 1 锁相环输出频率及各参数

晶振频率 $f_s=2.048$ MHz

$R_A R_{A0}$	R	$f_i=f_s/R$ (kHz)	N	VCO 输出频率 $f_o=Nf_i$ (MHz)	总输出幅度值 v_o/V 方波	总输出频率 $f_o'=f_o/2$		
						理论值/MHz	实测值/MHz	相对误差
01	1 024	2	1000	2	0.50	1.000	2.005	0.50
01	1 024	2	0750	1.5	0.50	0.750	0.752	0.26
01	1 024	2	0700	1.4	0.50	0.700	0.704	0.57
01	1 024	2	5000	10	0.50	5.000	5.008	0.16
01	1 024	2	6350	12.7	0.49	6.350	6.345	0.50
01	1 024	2	9000	18	0.49	9.000	8.996	0.78
01	1 024	2	9999	19.998	0.48	9.999	9.991	0.80

整个频率范围的覆盖。否则固定 VRNG 不变的前提下, VCO 无法实现频率范围的覆盖。

4 实验及结果分析

系统主要参数选择及实验结果如表 1。

实验结果分析:4 位 BCD 设置后, 数码管显示的十进制数值和用频率计测量的信号频率相一致, 验证了电路处于锁定状态, 同时满足前面提到的数码管显示 BCD 编码对应的十进制数就是当前 PLL 频率合成器的输出频率。系统达到了锁相频率合成, 输出频率源在 R 为 1 024 时, 输出频率范围:0.7 MHz~10 MHz, 输出频率步进 1 kHz; 锁相环中的频率步进 2 kHz, 信号源波形质量较好, 频率实测值与理论计算值误差较小, 相对误差在 0.8% 以内。改变 R 时, 输出频率范围可方便改变; 改变 N , 得到不同输出频率点。

本文设计的基于 MCI45163P 智能锁相频率合成器系统, 加入了单片机控制环节, 容易实现频率输出的自动控制, 增加了频率步进搜索、预置频率值、显示频率等功能, 能得到输出频率覆盖范围较大、输出频率步进较小 1 kHz (保证输出频率分辨率高)、锁相环频率步进较

大 2 kHz (保证频率转换时间较小)、波形质量较好 (杂波较少) 高频频率源。本设计具有一定的创新性, 利于对锁相频率合成芯片的应用研究和锁相频率合成技术的研究。

参考文献

- [1] 曾素琼. 基于低压电力线载波通信的电机控制系统设计[J]. 微型机与应用, 2009, 28(22): 26-28.
- [2] 曾兴雯, 刘及安, 陈健. 高频电路原理与分析[M]. 西安: 西安电子科技大学出版社, 2005.
- [3] 张厥盛, 郑继禹, 万心平. 锁相技术[M]. 西安: 西安电子科技大学出版社, 2003.
- [4] 庄卉, 黄苏华, 袁国春. 锁相与频率合成技术[M]. 北京: 气象出版社, 1996.

(收稿日期: 2010-07-27)

作者简介:

曾素琼, 女, 1967 年生, 副教授, 硕士, 主要研究方向: 电路与系统应用研究。