

激光告警系统的异步 FIFO 设计*

付 林

(中山职业技术学院 电子信息工程系, 广东 中山 528404)

摘 要: 介绍了在激光告警系统中采用异步 FIFO 解决 A/D 数据采样与 FPGA 数据处理模块之间的不同速率匹配问题。在分析异步 FIFO 设计难点基础上, 提出利用 Gray 码计数器作为读写地址编码, 有效地同步了异步信号, 避免了亚稳态现象的产生, 给不同速率间的数据传输提供了一种有效的解决方案。同时采用 Verilog 语言描述, 提高了硬件设计的可移植性, 减少了系统的复杂性, 提高了激光告警接收系统的可靠性。

关键词: 激光告警接收系统; 异步 FIFO; Gray 码

中图分类号: TN247

文献标识码: A

文章编号: 1674-7720(2010)21-0017-04

Design of asynchronous FIFO in laser warning receiver

FU Lin

(Electronic Information Engineering Department, Zhongshan Polytechnic College, Zhongshan 528404, China)

Abstract: The paper introduced the application of asynchronous FIFO in laser warning receiver can solve the conflict that the transport speed of two different clocks between A/D acquisition data and FPGA processing data. After analyzing the difficulty of asynchronous FIFO design, it adopts the Gray counter as the read-write address code to efficiently meet with the asynchronous signal, avoiding the metastability. It gives a method to transmit data between different velocity. The Verilog description language applied can improve the transplant of hard design, decrease the system complexity. All of the design is used to enhance the reliability of laser warning receiver system.

Key words: laser warning receiver; asynchronous FIFO; Gray code

快速在片激光告警接收系统中, A/D 信号采样频率与 FPGA 中数据处理系统的工作频率往往不一致, 因此在这种情况下, 为避免数据丢失, 需要设计一种数据缓存。本文采用 Verilog HDL 语言设计了一种异步 FIFO(时钟周期和相位相互独立), 它不仅提供数据缓冲, 而且能够实现不同时钟域间的转换等功能。

1 激光告警接收系统的数据采样和处理

对于高速在片激光告警接收系统, 具有较高的采样速率、低功耗、体积小以及相应的高抗干扰性能是提高其成功获取敌方激光武器有效数据的关键, 而采用线性 CMOS 芯片和提高系统的集成度是实现小体积、低功耗的最经济、最有效的途径。本系统采用 Xilinx 公司

Spartan-III 系列芯片 XC3S1500, 设计完成异步 FIFO 缓存, 包括采集控制电路、FFT 数据处理、时钟控制信号、接口电路等。激光告警接收系统的数据采样和处理框图如图 1 所示。

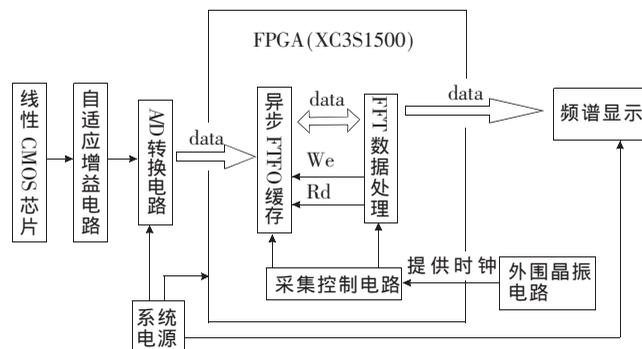


图 1 激光告警接收系统的数据采样和处理框图

* 基金项目: 国家自然科学基金资助项目(60378019)

2 异步 FIFO 设计

异步 FIFO 由读、写地址逻辑, 存储单元和空满标志逻辑四部分组成, 如图 2 所示。由图 2 可以看出, 整个系统分为两个独立的时钟域 (读时钟域和写时钟域), FIFO 的存储介质为一块双口 RAM, 可以同时进行读写操作。在写时钟域部分, 由写地址逻辑生成写控制信号和写地址; 在读时钟域部分, 由读地址逻辑生成读控制信号和读地址。空满标志信号, 由写指针和读指针通过异步比较器相互比较生成。对于异步 FIFO 设计主要有以下两个难点: 一是如何同步异步信号, 避免触发器亚稳态的产生; 二是如何根据 FIFO 的指针信号正确地判断 FIFO 的空满状态^[1]。

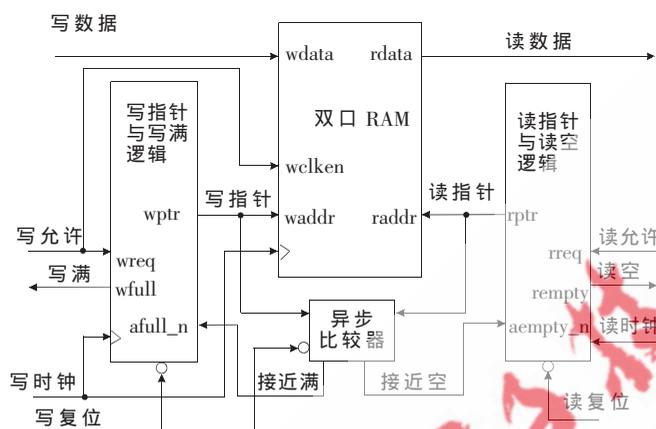


图 2 异步 FIFO 结构图

2.1 亚稳态问题的解决

在数字电路中, 触发器需要满足 setup/hold 时间要求。当一个信号被寄存器锁存时, 如果信号和时钟之间不能满足这个要求, data2 端的值就是不确定的, 这个过程称为亚稳态。如图 3 所示为常用异步时钟和亚稳态^[2]。

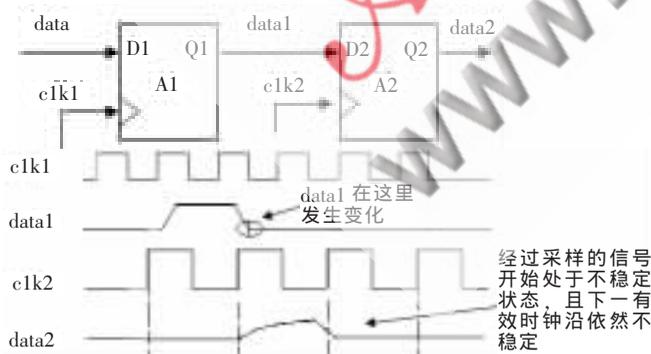


图 3 常用异步时钟和亚稳态

在异步 FIFO 中, 由于时钟之间周期和相位完全独立, 因此数据的丢失概率不为零。尽管亚稳态无法彻底消除, 但是可以通过下面方法将其降低到一个可以接受的范围之内。

(1) 对读地址/写地址采用 Gray 码设计。这是因为采

用二进制计数时所有位都可能变化, 不利于跨时钟域的同步。例如, 3 位二进制数从 3 变到 4 (即 011~100) 时, 所有位都发生了变化, 而 Gray 码的特点是每次只有一个数据位变化。由于同步多个异步输入信号出现亚稳态的概率远远大于同步一个异步信号的概率, 因此, 写地址指针和读地址指针均采用 Gray 码计数器, 可以保证一个时钟域的指针尽可能安全地被转换到另一个时钟域, 有效避免了亚稳态。

(2) 采用触发器来同步异步输入信号, 如图 4 中的两级触发器, 可以将出现亚稳态几率降低到一个很小的程度。

不过, 使用这种方法会增加一级延时。为了充分利用 FPGA 器件资源, 提高系统运行速度, 同时有效地避免亚稳态, 结合系统实际应用, 本设计采用 Gray 码设计读写地址。

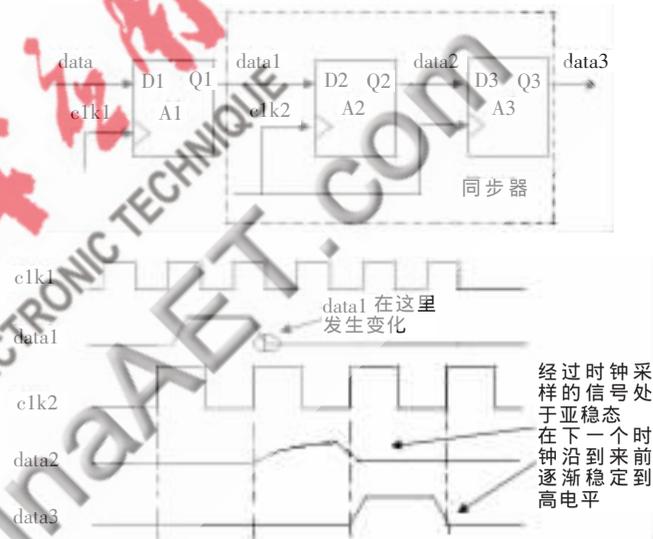


图 4 改进后的异步电路避免亚稳态情况

2.2 空满状态的判断

在异步 FIFO 设计中, 正确地产生“空”/“满”标志是最困难的部分, 主要有两个问题: (1) 异步时钟域问题, 由上分析可知, 可采用 Gray 码计数器解决; (2) 因为 FIFO “空”/“满”都表明读/写指针相等, 因此必须准确区分是读“空”还是写“满”。“空”、“满”状态的产生需要两个条件: ①对方向的判定: 即判定具体是写地址指针将要接近读地址指针, 还是读地址指针将要接近写地址指针; ②读写地址是否相等^[4]。

解决办法: 将 FIFO 地址空间按最高两位划分成 4 个象限, 每当读/写地址相等时, 通过对最高两位译码以产生正确的“空”/“满”标志。

若写指针比读指针滞后一个象限, 则 FIFO 为“接近满”状态, 此时置标志“direction”为 1, 并且锁存其值, 相应等式为:

$$\text{wire disrest}_n = \sim((\text{wptr}[n] \wedge \text{rptr}[n-1])) \& \sim((\text{wptr}[n-1]) \wedge \text{rptr}[n])$$

若写指针比读指针超前一个象限, 则 FIFO 为“接近

空”状态,此时置标志“direction”为 0,并且锁定其值,相应等式为:

```
wire dirclr_n=~((~(wptr[n]^rptr[n-1])&(wptr[n-1]^rptr[n])) | ~wrst_n
```

3 模块设计的 Verilog 实现^[3-4]

3.1 存储模块 RAM

为增加设计的可移植性,本设计的存储单元没有采用 ISE8.1 软件中的 IP 核,而是通过 Verilog HDL 语句设计一个二维数组,通过修改参数可得到相应数据宽度的输入/输出存储空间。主要语句如下:

```
module dp_ram(rdata, wdata, waddr, raddr, wclken, wclk);
    parameter DATA_WIDTH=12;
    parameter ADDR_WIDTH=10;
    parameter DEPTH=1<<ADDR_WIDTH;
    always @(posedge wclk)
        if (wclken) MEM[waddr]<=wdata;
        assign rdata=MEM[raddr];
endmodule
```

3.2 读/写、空/满标志逻辑模块

读写地址设计中引用了 Gray 码,因 Gray 码是一种在相邻计数之间只有一位发生变化的编码方式,用 Gray 码做地址计数可以消除在电路中的模糊现象,避免亚稳态。Gray 码可以借助二进制计数器实现。

3.3 异步比较器

异步比较器用于判断比较读指针、写指针的大小,输出控制信号,判断存储器中数据是“接近满”还是“接近空”。其主要程序语句如下:

```
module async_cmp(aempty_n, afull_n, wptr, rptr, wrst_n);
    always @(posedge high or negedge dirset_n or negedge dirclr_n)
        if (! dirclr_n) direction <= 1'b0;
        else if (! dirset_n) direction <= 1'b1;
        else direction <= high;
endmodule
```

3.4 异步 FIFO 模块及 RTL 级硬件电路^[5]

利用 Verilog 硬件设计描述语言,在 Xilinx 公司 ISE 8.1 软件开发环境中编译后得出如图 5 所示的异步 FIFO 模块。

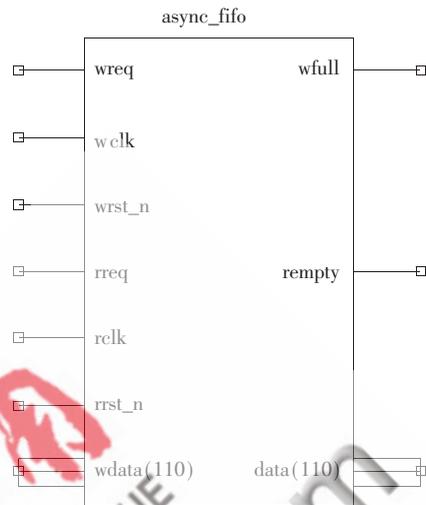


图 5 编译后生成的异步 FIFO 模块

采用综合工具 Synplify Pro 软件对该设计进行综合,得出 RTL 级硬件电路结果图如图 6 所示。

3.5 芯片资源利用

表 1 列出了设计高速在片激光告警接收系统的异步 FIFO 占用 FPGA(XC3S1500)芯片内部资源的情况。由表 1 可知, FIFO 模块完成后,还有大量的资源可以利用,因此剩余资源可用于实现 FFT 数据处理、采集控制、显示等功能,从而在一块芯片上完成多种功能,可有效减少激光告警接收机的体积,朝小型化发展。

表 1 FPGA 芯片 XC3S1500 耗用资源

类型	逻辑资源	所用逻辑	利用率/%
slice	13 312	804	6
Flip flops	26 624	931	3
LUTs	26 624	2 209	8
IOBs	221	32	14

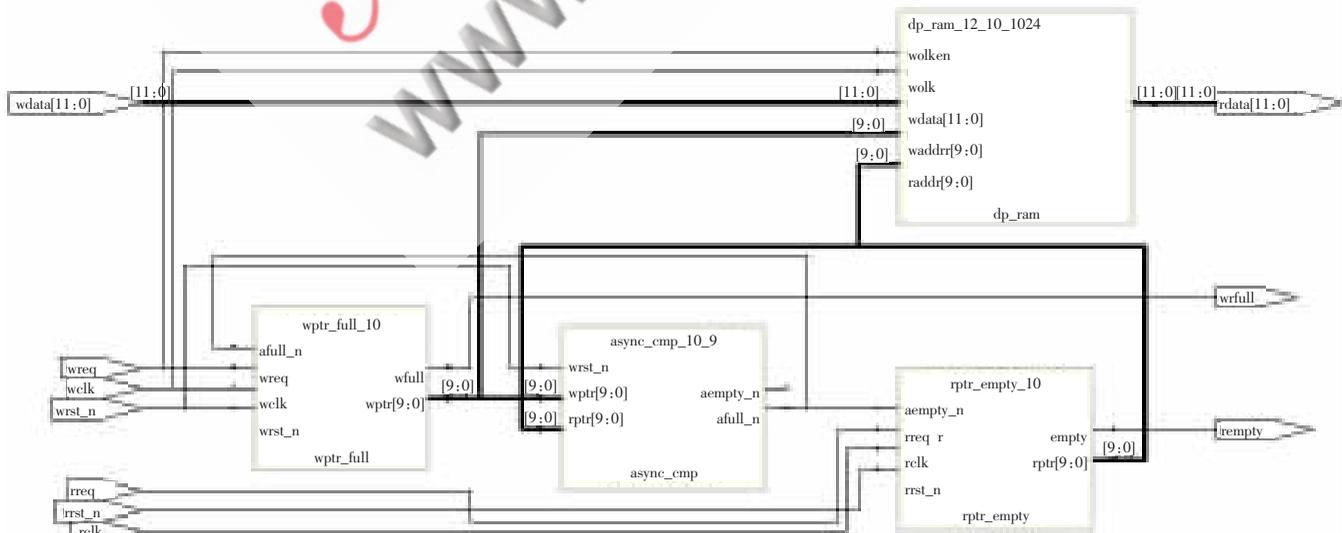


图 6 RTL 级硬件电路

4 系统波形仿真

读写时钟异步使得 FIFO 存储器的输入和输出数据速率不相等,在读操作时钟频率高于写操作时钟频率时,可能出现“读空”状态;当写操作时钟频率高于读操作时钟频率时,可能出现“写满”状态。在高速在片激光告警接收系统中,数据读取时钟比写时钟要高,本文选取第一种情况进行仿真。无论是“读空”还是“写空”,对于异步 FIFO 来说,读取的数据一定等于写入的数据。利用 Modelsim SE 6.0 仿真软件进行仿真,其波形如图 7 所示。结果表明,该设计是正确的。

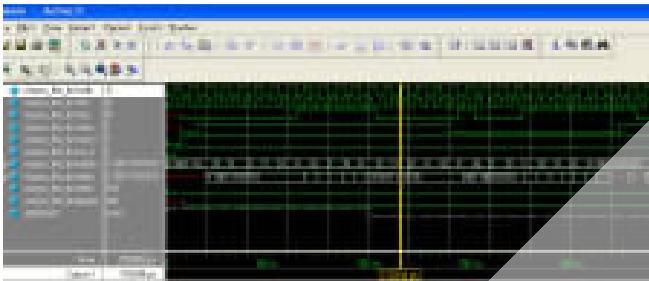


图 7 异步 FIFO 仿真波形图

本文提出的 FIFO 设计方法解决了不同时钟域间的数据缓冲和时钟转换功能问题,避免了数据的丢失;通过运用 Gray 码计数器一次只变换一位的特点,有效地同步了异步信号,避免了亚稳态的产生;与二

进制计数器相比,还能减少线路切换,进而减少功率的消耗^[3];采用 Verilog HDL 语言描述设计,可移植性好、生成的硬件电路面积小、速度快、系统可靠性高。目前,该 FIFO 设计已经在所研制的激光告警接收系统中得到应用。

参考文献

- [1] 黄平,何虎刚,徐定杰.导航接收机的非对称异步 FIFO 设计[J].弹箭与制导学报,2008(2):265-268.
- [2] 杨军,孔兵,宋克俭,等.基于 FPGA 的高速异步 FIFO 存储器设计[J].云南大学学报(自然科学版),2007,29(6):560-565.
- [3] 刘波.精通 Verilog HDL 语言[M].北京:电子工业出版社,2007.
- [4] (美)CZLETTZ MD,著. Verilog HDL 高级数字设计[M].张雅琦,李镛,等译.北京:电子工业出版社,2006.
- [5] 简宏伦.精通 Verilog HDL:IC 设计核心技术实例详解[M].北京:电子工业出版社,2005.

(收稿日期:2010-06-05)

作者简介:

付林,男,1980年生,硕士,讲师,主要研究方向:光电检测。