

一种高速跳频接收机的改进设计方案

罗红玲¹, 尚海英², 卜祥元², 安建平²

(1.福建省石狮电力有限责任公司, 福建 石狮 362700;

2.北京理工大学 信息科学技术学院, 北京 100081)

摘要: 提出了一种新的利用接收机前端双多锁相环(PLL)和基带直接数字频率合成(DDS)共同实现高速跳频的设计方案, 根据系统的特点确定动态范围、发射功率、接收灵敏度等关键指标, 进行了高速跳频制导接收机的总体方案、射频前端和基带基本算法框架设计, 实现了 76 000 跳/s 的跳频速率, 减小了接收机的体积, 同时降低了功耗。理论分析和测试结果表明, 接收机达到了较高的性能。

关键词: 高速跳频; 制导接收机; 混合扩频; 直接下变频; 接收机设计

中图分类号: TN929.5

文献标识码: A

文章编号: 1674-7720(2010)19-0059-04

An improved design of high-speed frequency hopping receiver

LUO Hong Ling¹, SHANG Hai Ying², BU Xiang Yuan², AN Jian Ping²

(1. Power Co. Ltd., Shishi 362700, China;

2. School of Information Science Technology, Beijing Institute of Technology, Beijing 100081, China)

Abstract: A high speed frequency hopping receiver is proposed, which utilizes the front-end pair of multi-phase-locked loop (PLL) and baseband direct digital synthesizer(DDS). The novel scheme achieves a 76000 jump/s frequency hopping rate and decreases the volume of receiver, while reducing the power consumption. According to the characteristics of the system for dynamic range, transmit power, receive sensitivity and other key indicators, the high-speed frequency hopping receiver overall program guidance, the RF front-end and baseband basic algorithm framework are designed. Theoretical analysis and test results show that the proposed receiver can achieves high performance.

Key words: high-speed frequency hopping; guided receiver; hybrid spread spectrum; direct down conversion; receiver design

飞行器制导接收机的任务是在飞行过程中不断接收引导指令, 保证飞行器沿预定轨道飞行。由于对抗干扰、抗截获性能的严格要求, 飞行器制导系统的通信体制目前都在向快速跳频(FH)的方向发展。同时由于制导接收机搭载在飞行器上, 其体积和功耗受到了严格的限制。一般而言, 根据跳频源的不同, 传统的快速跳频接收机主要有两种实现方案: 一种是基于多锁相环(PLL)频率合成跳频源的方案, 其主要优点是可在高的本振频率, 且功耗较低, 缺点是受限于环路锁定时间而难以实现高速跳频; 另一种是基于直接数字频率合成(DDS)跳频源的方案, 其主要优点是频率转换时间短、容易实现高速跳频, 缺点是 DDS 输出频率低, 要工作在高的本振频率必须经过变频, 这样就使其结构复杂, 且功耗较高。另外, 由于 DDS 输出杂散抑制差, 接收机的性能也

受到一定影响^[1]。

本文提出了一种利用接收机前端双 PLL 和基带 DDS 共同实现高速跳频的改进设计方案, 给出了一种基于高速跳频体制的飞行器制导接收机方案, 实验结果表明, 改进方案较好地解决了本振泄漏问题和 I、Q 两个通道的平衡问题, 提高了系统性能。

1 系统特点和实现方案

飞行器制导系统的主要特点是必须具有优良的抗干扰、抗截获性能, 同时制导接收机的体积和功耗严格受限。

采用直接序列(DS)扩频/快速跳频混合扩频体制是提高抗干扰、抗截获性能的有效途径。直接序列扩频信号具有较好的抗宽带干扰能力, 而快速跳频信号具有较好的抗窄带干扰能力, DS/FH 混合扩频体制在同时兼容

网络与通信 Network and Communication

DS系统和FH系统抗干扰、抗截获能力的同时还克服了单纯DS系统的远近效应问题。跳频速率对DS/FH混合扩频系统的抗干扰、抗截获能力具有决定性的影响。

制导通信系统采用了FH/DS/MSK混合扩频调制体制。其主要性能指标如下:

工作频段:1.7 GHz~1.9 GHz

工作体制:FH/DS/MSK

跳频范围:200 MHz

跳频点数:200个频点,间隔1 MHz

跳频速率:76 000跳/s

码片速率:5 Mb/s

为了满足体积和功耗的要求,制导接收机放弃了“DDS跳频+二次变频”的超外差方案,而采用“双PLL跳频+基带数字跳频”的直接下变频方案,利用双PLL频率合成和基带数字部件共同实现76 000跳/s的跳频速率。整个接收机包括射频前端、基带数字信号处理和电源部分,其体积为120 mm×60 mm×30 mm。

利用双PLL和基带数字部件共同实现高速跳频的方法是分组实现跳频,即将200 MHz频带内的跳频频点分成若干组,也即若干个子频带,每个子频带带宽40 MHz,包含40个跳频频点(频点间隔1 MHz)。子频带之间可以重叠或不重叠。首先由双PLL实现2 000跳/s的子频带跳变,再由DDS在0.5 ms时间间隔内实现子频带内40个频点间的38次跳变,实现76 000跳/s的跳频速率。

2 高速跳频制导接收机总体设计

2.1 接收机结构

接收机采用直接下变频拓扑结构,将接收到的射频调制信号直接进行一次性下变频解调,从而得到基带输入信号。由于省去了中频变换环节,能够大大减少外围元器件数量、印制电路板面积和功耗,但需要解决好本振泄漏问题和正交数据解调时I、Q两个通道的平衡问题。

图1是制导接收机组成框图。

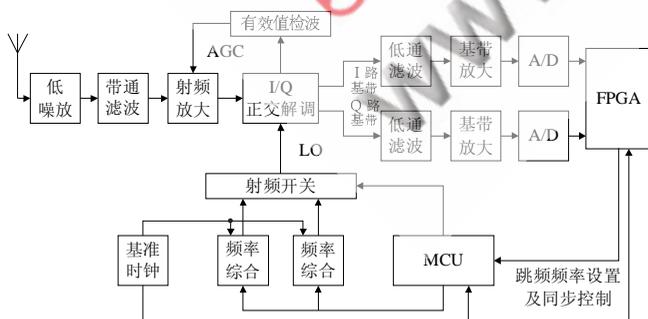


图1 制导接收机结构框图

跳频频率范围为1.7 GHz~1.9 GHz的射频调制信号从天线输入,其输入电平范围约为-97 dBm~-27 dBm。为了降低整机的噪声系数,首先经过低噪声放大器进行适当增益放大,再经过中心频率为1.8 GHz、带宽为

200 MHz的带通滤波器抑制带外噪声后送给具有自动增益控制功能的射频放大器放大,然后进行直接下变频,其中AGC电压取自下变频信号的检波输出。下变频电路带有对本振进行 $\pm 45^\circ$ 移相的功能部分,直接下变频后输出正交的两路基带信号,经过低通滤波和放大后送给A/D变换器,其幅度可通过AGC起控点的调节来控制,以满足A/D变换器的要求。基带数字信号处理部分由300万门的FPGA构成,完成跳频同步、DS解扩、MSK解调和信道解码等功能。

FPGA产生跳频同步控制信号和ADC采样时钟,与MCU通过高速SPI接口和外部中断接口进行控制信息的交换。MCU接收到起跳时间和预置频率的初值后,控制频率综合器产生所需的本振信号,送给下变频器。为了满足高速跳频的要求,采用双PLL频率综合器,以完成2 000跳/s的频率跳变。

2.2 接收机相关指标

(1) 噪声系数NF

噪声系数主要取决于射频前端第一级的增益或损耗。根据目前低噪声放大器的实际器件水平,考虑接头和馈线损耗,可取接收机噪声系数为 $NF \approx 1.5$ dB。

(2) 接收机灵敏度 $P_{in, \min}$

不考虑DS扩频的因素,则码速率 R_b 为5 Mb/s(也即直扩后码片速率)。取成形滤波的滚降系数 $\alpha=0.35$,则实际中频带宽为:

$$B=5 \times (1+\alpha)=5 \times 1.35 \approx 6.75(\text{MHz}) \quad (1)$$

虽然零中频带宽为40 MHz,但经过跳频同步和数字低通滤波后,实际带宽约为6.75 MHz。

对于MSK相干解调,误码率为 10^{-4} 时, $E_b/N_0 \approx 8.4$ dB^[2]。则所要求的接收机中频输出信噪比为

$$(SNR)_{o, \min}=(E_b/N_0)(R_b/B)=8.4+10 \lg(5/6.75)=7.1(\text{dB}) \quad (2)$$

接收灵敏度

$$P_{in, \min}=-174+NF+10 \lg B+(SNR)_{o, \min}=-174+1.5+10 \lg(6.75 \times 10^6)+7.10=-97.1(\text{dBm}) \quad (3)$$

需要说明的是频率合成器相位噪声对接收机灵敏度的影响。相位噪声会限制接收机的信噪比,降低数字解调器的性能。当相位噪声恶化到一定程度时,即使不断增大信噪比,系统误码率也是不归零的,而是趋向于一个门限^[3]。这时接收灵敏度已不再满足公式(3)。

(3) 发射机输出功率

设系统备余量 E 为10 dB,收、发天线增益 G_r 、 G_t 分别为0 dB和6 dB。

由于最大路径损耗:

$$L_{s, \max}=32.45+20 \lg d_{\max}+20 \lg f_{\max}=32.45+20 \lg 80+20 \lg 1900=136.1(\text{dB}) \quad (4)$$

故所需发射机输出功率为:

$$P_{out}=L_{s, \max}+P_{in, \min}-G_r-G_t+E=136.1-97.1-6-3+10=40.0(\text{dBm}) \quad (5)$$

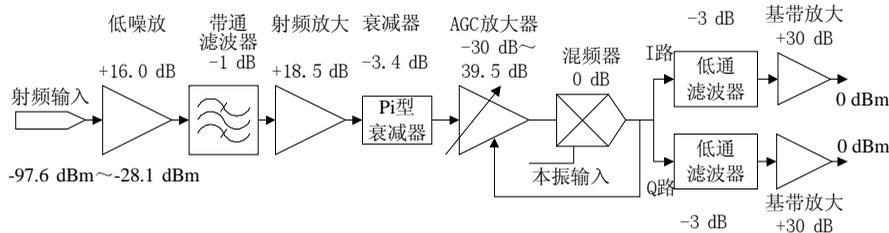


图2 接收机各部分的增益预算

即 10 W 发射功率。

(4)动态范围

根据实际工程项目要求,信号视距传输距离 d 的范围为: $100\text{ m} \leq d \leq 80\text{ km}$ 。

对应于最小接收距离 d_{\min} ,其最小路径损耗为:

$$L_{s,\min} = 32.45 + 20\lg d_{\min} + 20\lg f_{\min} = 32.45 + 20\lg 0.1 + 20\lg 1700 = 77.1\text{ (dB)} \quad (6)$$

最强接收信号电平为:

$$P_{out} + G_t - L_{s,\min} + G_r = 101\lg(10 \times 10^3) + 6 - 77.1 + 3 = -28.1\text{ (dBm)} \quad (7)$$

最弱接收信号电平为:

$$P_{out} + G_t - L_{s,\max} + G_r = 101\lg(10 \times 10^3) + 6 - 136.1 + 3 = -87.1\text{ (dBm)} \quad (8)$$

动态范围为 59 dB。实际设计时要留有抗衰落余量,根据所选器件的动态范围为 69.5 dB,可取接收信号电平范围为 $-97.6\text{ dBm} \sim -28.1\text{ dBm}$ 。接收机各部分的增益预算将按此电平范围来进行。

2.3 接收机内部增益预算

接收机内部各部分的增益预算如图2所示。

3 接收机前端的设计实现

3.1 低噪声放大器(LNA)

低噪声放大器按照噪声系数和增益兼顾的原则设计^[4]。器件选用 MGA-61563。其工作点选择为: $V_{d1} = 3\text{ V}$, $I_{d1} = 20\text{ mA}$,输入、输出 $50\ \Omega$ 匹配。

图3、图4、图5分别给出了LNA的正/反向增益、噪声系数和输入/输出驻波比。

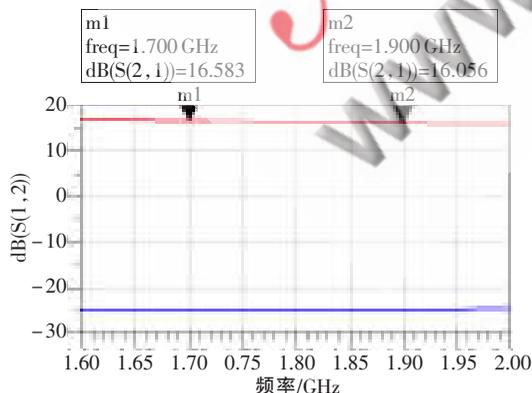


图3 低噪声放大器的正、反向增益

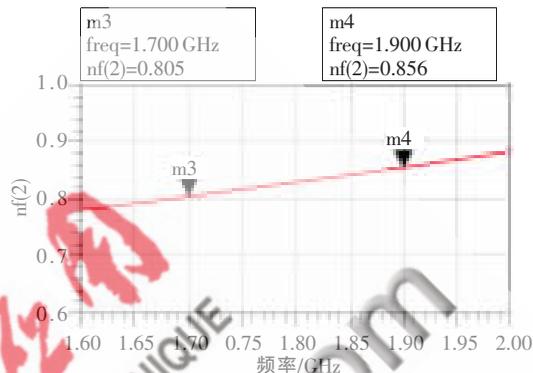


图4 低噪声放大器的噪声系数

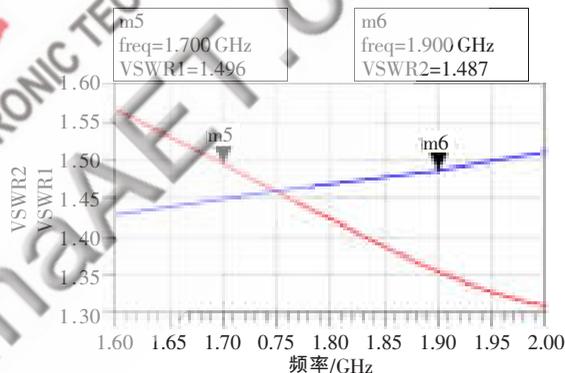


图5 低噪声放大器的输入、输出驻波比

约为 1 dB, $50\ \Omega$ 匹配。采用发卡式(hairpin)平行耦合微带线设计,所占用的线路板面积为 $32\text{ mm} \times 22\text{ mm}$ 。

图6、图7分别是 hairpin 滤波器的结构外形和平面电磁场仿真特性。

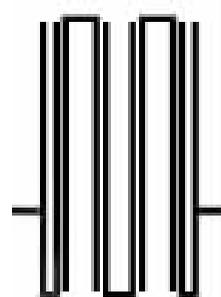


图6 射频前端滤波器的结构外形

3.2 射频前端带通滤波器

射频前端带通滤波器的指标如下:中心频率 $f_0 = 1.8\text{ GHz}$,带宽 $BW_{-3\text{ dB}} = 200\text{ MHz}$, $BW_{-40\text{ dB}} = 600\text{ MHz}$,插损

3.3 双 PLL 频率综合器

本振跳频源由双 PLL 频率综合器构成,采用温补晶振(TCXO)作为参考频率。由 MCU 控制射频开关以交替

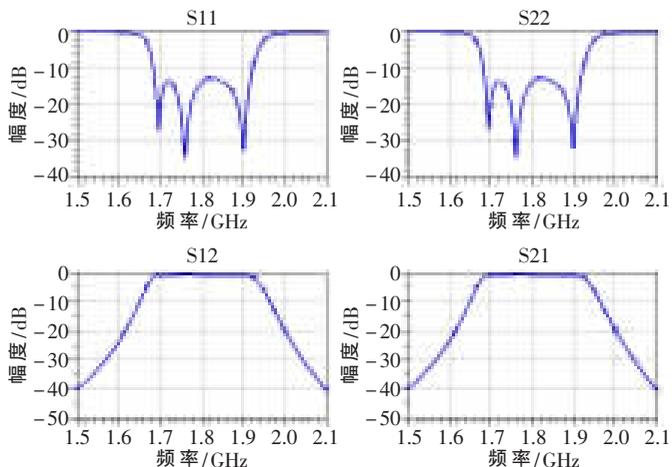


图7 射频前端滤波器的平面电磁场仿真特性

输出 2 个 PLL 综合的本振信号,跳频速率为 2 000 跳/s。采取如下的控制策略:

先对环 1 进行初始频率预置。在跳频切换时刻之前首先对环 2 进行下一时刻的频率预置,然后切换到环 1 的输出。如此循环往复,交替切换两个 PLL 的输出。

采用这种策略可以放宽对每个 PLL 锁定时间的要求,更好地保证了跳频源输出本振信号的杂散特性。图 8 是实测的 PLL 输出相位噪声和杂散特性。

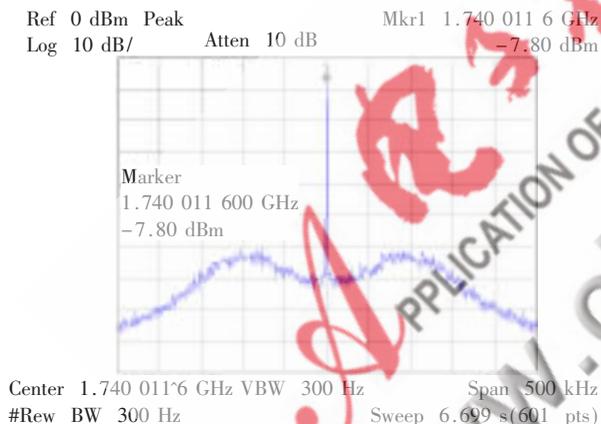


图8 PLL 输出相位噪声和杂散特性

频率综合器关键参数指标如下:

每个 PLL 的环路带宽 200 kHz, 锁定时间小于 50 μ s, MCU 频率预置时间小于 2 μ s;

射频开关完成双环切换所需时间为几十纳秒^[5]。

锁相环采用 ADF4360-3, 射频开关采用吸收式单刀双掷开关 HMC349MS8G, 隔离度约 60 dB@1.8 GHz。

3.4 下变频器与自动增益控制

直接下变频器集成了可变增益放大器(VGA), 其变换增益具有 69.5 dB 的动态范围, 可与基带输出检波器一起实现自动增益控制功能。下变频器选用 AD8347, 其解调带宽 90 MHz, I/Q 幅度平衡度 0.3 dB, 正交相位误差典型值 $\pm 1^\circ$ ^[6]。

对高速跳频信号而言, AGC 瞬态特性是一个非常关

键的指标, 必须减小电路时间常数, 以保证能够及时跟踪输入信号幅度的变化。具体措施是减小 VGA 控制输入端的滤波电容值。

3.5 基带低通滤波和放大

射频前端跳频同步后的 I/Q 基带信号带宽约为 20 MHz, 基带低通滤波器采用 5 阶 LC 椭圆函数滤波器的形式, L、C 的值要精心选取, 以满足 I、Q 通道平衡和相位误差的要求。基带放大器采用 AD8347 内部集成的放大器, 能够保证正交通道幅度的平衡。最终输出幅度可通过 AGC 起控点的调节来控制。基带低通滤波器的纹波为 0.3 dB, 放大器增益为 30 dB。图 9 是基带低通滤波器的频率响应特性。

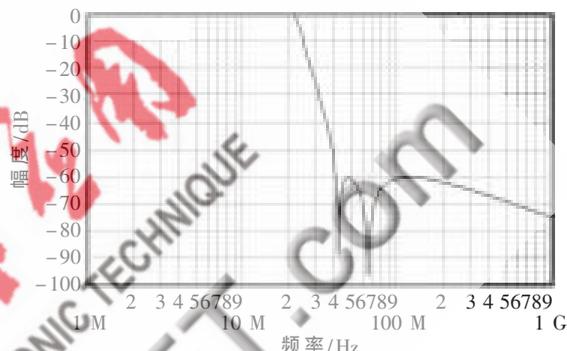


图9 基带低通滤波器频率响应

3.6 电路板的选材和布局

接收机射频前端部分单独采用一块电路板, 面积为 118 mm \times 58 mm。电路板采用 4 层设计, 高频模拟部分单独占一面, MCU 数字控制部分和电源部分占另一面。LNA 部分和 LO 部分分别屏蔽处理。上、下两面电路板选用 Rogers RO4350B 板材, 其介电常数在 10 GHz 以下时为 3.48, 损耗角正切为 0.003 7^[7]。中间使用 FR4 板材。

4 基带部分及其基本算法框架

基带数字信号处理部分主要包括 FPGA 及双路 ADC。ADC 采样时钟由 FPGA 提供, 采样频率为 80 MHz。基带数字信号处理算法均由 FPGA 完成。图 10 是基带数字信号处理的基本算法框架。

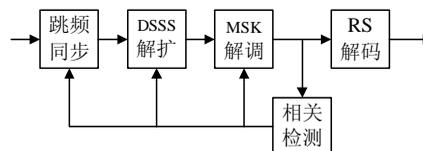


图10 基带数字信号处理算法框架

采用延迟锁定的方法实现跳频同步、DS 扩频伪随机序列同步和 MSK 相干载波的同步。由于系统采用了多进制正交 DS 扩频和 (31, 25)RS 编码, 对于 5 Mc/s 的码片速率, 达到的最高信息速率为 625 Kb/s。

针对实际工程项目的需要, 本文提出了利用双 PLL 和基带数字部件共同实现高速跳频的改进方案, 确定了

制导接收机相关指标参数,采用“双PLL跳频+基带数字跳频”的直接下变频方案实现了76 000跳/s的高速跳频,同时兼顾了系统对体积和功耗的限制要求。设计的高速跳频制导接收机较好地解决了本振泄漏问题和I、Q两个通道的平衡问题,提高了系统性能。

参考文献

[1] 梅文华,王淑波,邱永红,等.跳频通信[M].北京:国防工业出版社,2005.
[2] 曹志刚,钱亚生.现代通信原理[M].北京:清华大学出版社,1992.
[3] 徐启刚,张辉.频率合成器相位噪声对跳频通信系统的

影响[J].空间电子技术,2006(4):46-50.

[4] (美)LUDWIG R, BRETCHKO P 著.射频电路设计—理论与应用[M].王子宇,张肇仪,徐承和,等译.北京:电子工业出版社,2002.
[5] Hittite Microwave Corporation. HMC349MS8G/349MS8GE datasheet. v02.0607[EB/OL]. 2002.
[6] Analog Devices Inc. AD8347 datasheet[Z]. 2005.

(收稿日期:2010-04-08)

作者简介:

罗红玲,女,1967年生,学士,主要研究方向:电力传输微波通信。

