

# 基于 Hyperlynx 的 DDR2 嵌入式系统设计与仿真

李国亮

(广州凯媒通讯技术有限公司, 广东 广州 510665)

**摘要:** 介绍了 DDR2 嵌入式系统的仿真模型以及 Hyperlynx 仿真工具, 并基于 Hyperlynx 仿真工具对 IBIS 模型进行仿真分析, 给出了一个具体的 DDR2 嵌入式系统的设计过程和方法。

**关键词:** DDR2; 嵌入式系统; Hyperlynx; IBIS 模型

中图分类号: TN41

文献标识码: A

文章编号: 1674-7720(2010)15-0019-03

## Design and simulation of DDR2 embedded system based on Hyperlynx

LI Guo Liang

(Guangzhou CASA Communications Ltd., Guangzhou 510665, China)

**Abstract:** This paper introduced simulation model for DDR2 embedded system and Hyperlynx simulation tool. IBIS model for the DDR2 memory chip is analyzed based on Hyperlynx. The process and method for an embedded system are showed in detail.

**Key words:** DDR2; embedded system; Hyperlynx; IBIS model

现代电子设计和芯片制造技术正在飞速发展, 电路的复杂度、元器件布局以及布线密度、开关速度、时钟和总线频率等各项指标参数都呈快速上升趋势。当上升时间超过传输延时的 1/6 时, 反射、串扰、振荡以及传输线效应等涉及到的时序、信号完整性(SI)、EMI 等一系列问题决定着产品设计的成败。特别是 DDR2 系统, 可支持高达 9.6 GB/s 的带宽(FB-DIMMs), 时钟频率高达 0.9 GHz<sup>[1-2]</sup>, 高速 DDR2 系统的信号完整性和时序问题, 已经成为设计能否成功的关键因素之一。因此, 在印制电路板(PCB)设计完成之前, 运用仿真工具对 PCB 进行板级的信号完整性仿真和时序分析, 进行分析和设计的优化, 可以发现调试过程中可能产生的问题, 从而可节约成本、缩短产品的设计周期。

### 1 模型的选取

在基于计算机分析信号完整性和时序分析的过程中, 建立实际驱动 IC 的模型十分关键。目前主要有三种可以用于 PCB 板级信号完整性分析的模型: SPICE 模型、IBIS 模型和 AMS 模型<sup>[3-5]</sup>。

IBIS 模型由于采用 IN 和 V/T 表的形式来描述 I/O 单元和引脚的特性, 不但方便易得, 而且不依赖于不同的仿真工具, 计算量较小。

SPICE 模型需要 IC 厂商提供详细、准确描述 I/O 单

元的内部设计和晶体管制造参数这些涉及到知识产权的机密数据, 所以 SPICE 模型不易获取。其分析精度主要取决于模型参数的来源(即数据的精确性)以及模型方程式的适用范围。使用不同仿真工具进行 SPICE 模型仿真时, 会产生不同的分析精度。

AMS 建模语言与 IBIS 模型同样也是数据形式来描述 IC 的特性, 可以应用在多种不同类型的仿真工具中。AMS 模型在 PCB 板级信号完整性分析中的可行性和计算精度毫不逊色于 SPICE 和 IBIS 模型, 但目前支持的仿真工具还不是很多。

综合比较上述三种模型, 由于 IBIS 模型的方便、快捷、具有必要的精确度以及精度不依赖于仿真工具的优点, 本文选取 IBIS 模型进行仿真。

### 2 仿真工具的选取

Mentor 公司推出的仿真工具其功能十分强大, Hyperlynx 可进行多电路板分析, 包括趋肤效应、电介质损耗效应、损耗传输线效应的精确模拟, 具有数千兆位信号的内部符号干扰图表分析功能; 可为多位激励源、抖动、眼图和眼罩定义区域; 可以建立随频率变化的过孔模型而进行分析; 进行差分信号模拟和分析来对包括差分阻抗和不同终端负载的优化; Terminator Wizard 能够分析并计算出使用包括串联终端、并联、并联交流电和差分

《微型机与应用》2010 年 第 29 卷 第 15 期

最佳的终端方案;通过辐射法和传输线电流分析来发现 EMC 故障问题;支持所有的 PCB 布线和布局程序<sup>[6-7]</sup>。

Hyperlynx 还可方便地采用 IBIS 或 HSPICE 模型进行仿真,自带 7 000 个通用 IC 模型库,或根据数据簿信息运用可视化 IBIS 编辑器允许测试和编辑 IBIS 模式来创建用户的模型。Hyperlynx 还具有界面友好、方便易用的优点。综合 Hyperlynx 的优点,本文选取 Hyperlynx 进行仿真分析。

### 3 设计实例

下面给出应用 Hyperlynx7.7 前仿真工具 Linesim 和级仿真工具 Boardsim 利用 IBIS 模型对基于 MIPS 架构的 XLS606 CPU 的信号线进行分析。

CPU 的最大外频为 1 GHz,内存选用 Micron 公司的 DDR2-800,信号线走中间层,参考上下两层地,因为信号工作频率达到 400 MHz,故布线密度大,很容易出现信号完整性问题。

布线前仿真可以根据 PCB 对信号完整性的要求,帮助设计者合理布置元器件、规划系统时钟网络以及确定关键线网的端接策略。在布线过程中跟踪设计,随时反馈布线效果,确定 PCB 布线的约束规则,如参数设置和布线约束等(这里不详细叙述)。

在运用 CAD 设计工具设计得出具有关键元件布局和关键网络的走线的基本元素的 PCB 后,综合考虑如电气、电磁兼容性(EMC)等因素对信号完整性(SI)的影响以及这些因素之间的相互作用,从而进行 Boardsim 布线后的仿真分析与验证。下面选取一些重要的 DQ、DQS、MA 网络进行分析。在进行完整 PCB 的布线后,可以通过 Boardsim 导入 PCB 文件。图 1 为地址/控制线在 Boardsim 中的显示图,图 2 为差分对 DQS 在 Boardsim 中的显示图。

在相关网站上下下载该处理器和该型号内存的 IBIS 模型。根据 JESD79-2C DDR2 SDRAM SPECIFICATION 的说明要求,可以知道地址/命令/控制信号以及 DQS 差分对或时钟信号的 DC 和 AC 工作标准对 DDR2-800 要求如表 1 所示。根据上述指标可以得出眼图的数据,然后设置叠层编辑器来设置特性阻抗值,导入 CPU 以及存储器的 IBIS 模型,根据实际设计设置网络中上拉电阻以及滤波电容的实际值,可以读出有效特性阻抗值  $Z_0=54.3 \Omega$ ,以及每位周期的值。因为信号频率为 400 MHz,所以每位周期设置为 1.25 ns。

从图 3 眼图可以看出,信号在不同 DIMM 内部和外部的信号质量是不同的,在没有端接电阻以及布线、阻抗调整的情况下,运行 400 MHz

表 1 JESD79-2C DDR2 SDRAM SPECIFICATION<sup>[1]</sup>的说明要求

	过冲/V	下冲/V	高电平最小值/V	低电平最大值/V	上升斜率/(V/ns)	每位周期/ns	眼图宽度/ps	编码
地址/命令/控制信号	>1.9	<-0.3	1.1	0.7	2	1.5	750	PRBS
DQS 差分对或时钟信号	>2.3	<-2.3	0.5	-0.5	1	1.25	875	PRBS



图 1 地址/控制线在 Boardsim 中的显示图



图 2 差分对 DQS Boardsim 中的显示图

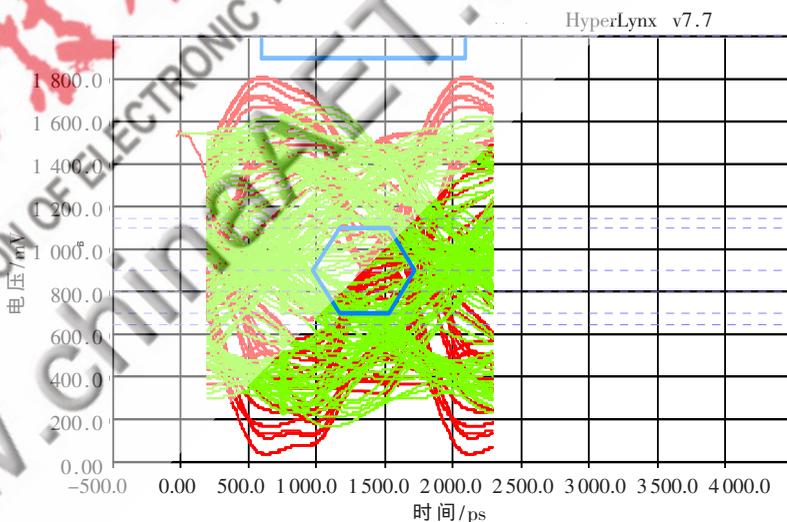


图 3 修改布线和端接电阻以及阻抗值等设计前的仿真眼图

的频率信号十分差,眼图的宽度、高度、上升斜率等关键指标都不符合 JEDEC 对 DDR2-800 的 DC/AC 规范。

图 4 为修改 Layout 布线和端接电阻以及阻抗值等设计后的仿真眼图,从图 4 可以明显直观地看到,修改之后信号状况大大改观,而且可以直接读出眼宽、高电平值、低电平值、采样眼宽等信号眼图的重要数据,以便于确定硬件和 PCB 设计。

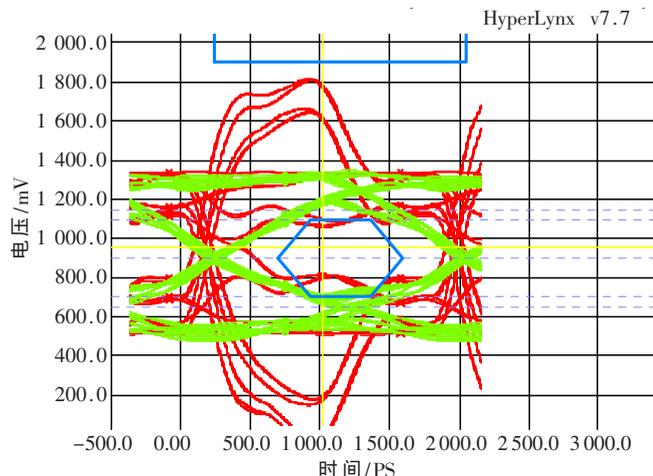


图4 修改布线和端接电阻以及阻抗值等设计后的仿真眼图

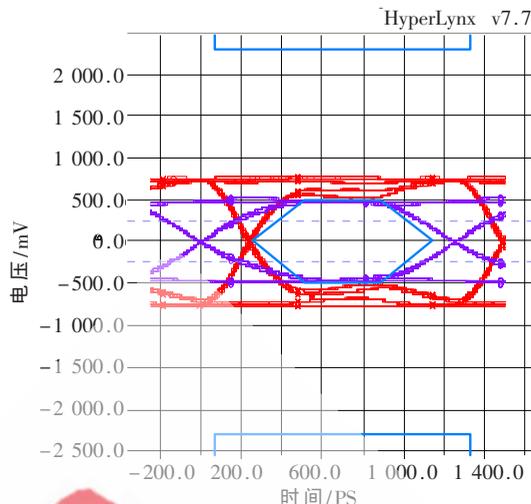


图5 差分信号的仿真结果眼图

同理,可以对重要的差分信号和时钟信号进行仿真。而DDR2中新增加的ODT(On Die Termination)功能在仿真中可以得到体现。通过不设置以及设置ODT的值,可以直观地在眼图以及客观地在仿真结果数据一栏中得出合成差分信号的质量。图5为差分信号的仿真结果眼图。

通过眼图和数据,可以确定最优差分阻抗和ODT值的设置。

高速信号的PCB优化设计,可以在PCB的设计阶段,运用Hyperlynx仿真工具和IBIS驱动模型,对高速信号设计中的关键信号进行完整性仿真和时序分析。EMI仿真、分析和优化,可以发现PCB制好后调试中可能出现的问题,从而可以节约成本、缩短产品的设计时间。

参考文献

[1] Jeduc Standard. JESD79-2C. DDR2 SDRAM specification[S]. Jeduc Solid State Technolodge Association, MAY. 2006.

[2] Micron Technology Inc. DDR2: the new DRAM standard[S]. 2006.

[3] 胡海欣,曹跃胜.高速PCB的仿真技术[J].计算机工程与设计,2005,26(3):711-713.

[4] 蒋建军.应用于微机高速线路设计的IBIS模型研究[J].信息技术,2005(8).

[5] 张钦.嵌入式储存系统的仿真与实现[J].计算机工程,2007,33(12).

[6] Mentor Graphics Company. Hyperlynx GHZ/EXT datasheet [DB]. 2005.

[7] Mentor Graphics Company. Hyperlynx tutorial[G]. 2002.

(收稿日期:2010-04-06)

作者简介:

李国亮,男,1981年生,硕士,工程师,主要研究方向:GMTS相关电路板的硬件设计以及相关电源设计,嵌入式、单片机项目的软硬件开发。